



J.V. Baxter- 2

388367

388367

SECCION TECNICA  
CLASIFICACION I.P.C.  
CLASE 1104  
SUBCLASE K

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA  
POR: "SISTEMAS PARA TRANSMISION DE DATOS EN CANALES DE MODULACION  
EN CODIGO DE IMPULSOS" A NOMBRE DE STANDARD ELECTRICA, S.A. CON  
DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5

Resumen de la descripción

Se trata de un sistema para sustituir bits de datos y extraer esos bits de datos de por lo menos un canal de un sistema de comunicación de inteligencia (voz) PCM TDM. Los bits de datos no tienen que estar sincronizados con la corriente normal de bits PCM. La corriente normal de bits PCM utiliza  $n$  posiciones de bit, empleándose una posición de bits para señalización y/o sincronización y  $(n-1)$  posiciones de bits para conducir la inteligencia. Bits de datos en número igual o menor que  $(n-2)$  sustituyen a los de información en un canal PCM seleccionado. Los bits de datos están agrupados en un extremo de las  $(n-1)$  posiciones de bits y se inserta un bit de marcador en una posición de bit adyacente al último bit de datos. El emplazamiento del bit del marcador

POOR  
QUALITY

388367



2.

15 en las  $(n - 1)$  posiciones de bit indica el número y la frecuencia de repetición de los bits de datos. La posición del bit de marcador dentro de las  $(n - 1)$  posiciones de bit se utiliza en el receptor para extraer los bits de datos de la corriente de bits PCM y para volver los bits de datos a su frecuencia original de repetición para utilización posterior.

20 Antecedentes del invento

El invento se refiere a un sistema de comunicaciones eléctricas en el que las conexiones se establecen en forma multiplex de división en el tiempo (TDM) utilizando modulación en código de impulsos (PCM), y en el que hay facilidades para manejar datos binarios.

25 Donde hay una red de PCM sirviendo a un número de abonados, hay facilidades para una transmisión barata y plena de datos binarios de elevada velocidad. Este invento busca extender la utilidad de tal red mediante la provisión de datos binarios en una cantidad de velocidades de bits diferentes.

30 Resumen del invento

Una característica del presente invento es la provisión de un sistema de comunicación de inteligencia en modulación en código de impulsos en multiplex en división en el tiempo, teniendo cada combinación de código de modulación de código de impulsos  $n$  posiciones de bit, siendo  $n$  un número entero mayor que tres, utilizándose una posición de bits para señalización y/o sincronización y utilizándose  $(n - 1)$  para fines de comunicación de inteligencia, y capaz de permitir la comunicación con bits de datos binarios utilizando las

35

40  $(n - 1)$ , posiciones de bit de las seleccionadas de los canales mul-

388367



3.

tiplex de división en el tiempo, que comprende: un generador de bits de datos binarios que tienen que transmitirse; primeros medios acoplados al generador para almacenar los bits de datos binarios; segundos medios acoplados al generador para contar el número de bits de datos binarios almacenados durante el intervalo de tiempo de un canal multiplex de división en el tiempo, no excediendo el número de  $(n - 2)$ ; terceros medios acoplados a los medios primeros y segundos para combinar los bits de datos binarios almacenados y un bit de marcador cuya combinación sustituirá las  $(n - 1)$  posiciones de bits de inteligencia normal en uno de los canales multiplex de división en el tiempo, estando agrupados los bits de datos binarios juntos en un extremo en las  $(n - 1)$  posiciones de bit estando dispuesto el bit de marcador adyacente al último de los bits de datos binarios, definiendo la posición del bit de marcador dentro de las  $(n - 1)$  posiciones de bits el número y la frecuencia de repetición de los bits de datos binarios asociados; cuartos medios acoplados a los terceros medios para transmitir una combinación de la posición de un bit, los bits de datos binarios y el bit de marcador; quintos medios acoplados a los cuartos medios para recibir la combinación transmitida; sextos medios acoplados a los quintos medios para almacenar los bits de datos binarios y de marcador; y séptimos medios acoplados a los medios quintos y sextos para generar impulsos de reloj que tienen una frecuencia de repetición determinada por la situación del bit del marcador, controlando los impulsos de reloj la lectura de los sextos medios en la frecuencia de repetición.

Otra característica del presente invento es la provisión

388367



de un sistema de transmisión de inteligencia de modulación en código de impulsos en multiplex en división en el tiempo, en el que  
70 cada combinación de código de modulación en código de impulsos tiene  $n$  posiciones de bits, siendo  $n$  un número entero mayor que tres, utilizándose una posición de bits para señalización y/o sincronización y  $(n - 1)$  posiciones de bits para fines de comunicación de inteligencia, y capaz de transmitir bits de datos binarios utilizando las  $(n - 1)$  posiciones de bit de cada canal multiplex de división en el tiempo que comprende: Un generador de bits de datos binarios que tienen que transmitirse; primeros medios acoplados al generador para almacenar los bits de datos binarios; segundos medios acoplados al generador para contar el número de los bits de datos binarios almacenados durante el intervalo de tiempo de un canal multiplex de división en el tiempo, no excediendo el número de  $(n - 2)$ ; y terceros medios acoplados a los medios primeros y segundos para combinar los bits de datos binarios almacenados y un bit de marcador, cuya combinación sustituirá las  $(n - 1)$  posiciones de bits de inteligencia normal en uno de los canales multiplex de división en el tiempo, estando agrupados juntos los bits de datos binarios en un extremo de las  $(n - 1)$  posiciones de bits, estando dispuesto el bit de marcador adyacente al último de los bits de datos binarios, definiendo la posición del bit de marcador dentro de las  $(n - 1)$  posiciones de bit el número y la frecuencia de repetición de los bits de datos binarios asociados.  
80  
85  
90

Una característica más del presente invento es la provisión de un sistema de recepción de inteligencia en modulación en código de impulsos en multiplex en división en el tiempo, teniendo cada combinación de código de modulación de impulsos  $n$  posi-

95



ciones de bit, siendo  $n$  un número entero superior a tres, utilizándose una posición de bits para señalización y/o sincronización y  $(n-1)$  posiciones de bit para fines de comunicación de inteligencia, en el que por lo menos un conjunto de bits de datos binarios se transmiten desde un terminal distante utilizando las  $(n-1)$  posiciones de bits de por lo menos uno de los canales multiplex de división en el tiempo, comprendiendo el conjunto de bits de datos binarios bits de datos binarios cuyo número no excede de  $(n-2)$  agrupados juntos en un extremo de las  $(n-1)$  posiciones de bits y un bit de marcador adyacente al último del conjunto de bits de datos binarios, definiendo la situación del bit de marcador dentro de las  $(n-1)$  posiciones de bit el número y frecuencia de repetición de los bits de datos del conjunto de bits de datos binarios que comprende : un generador del conjunto de bits de datos binarios; primeros medios acoplados al generador para almacenar el conjunto de bits de datos binarios; y segundos medios acoplados al generador y a los primeros medios para generar impulsos de reloj que tiene una frecuencia de repetición determinada por la situación del bit del marcador, controlando los impulsos de reloj de lectura de los primeros medios a la frecuencia de repetición.

Breve descripción de los dibujos

Los antes mencionados y otros objetos y características de este invento quedarán más claros con referencia a la descripción siguiente dada *junt*, con el dibujo que se acompaña en el que:

La figura 1 es una tabla que define los símbolos lógicos empleados en las figuras 2 y 3;

La figura 2 es un diagrama lógico de un transmisor de datos de acuerdo con los principios del presente invento; y

388367



6.

La figura 3 es un diagrama lógico de un receptor de datos  
125 de acuerdo con los principios del presente invento.

Descripción de la realización preferida

Una forma del sistema PCM de área local considerado tiene una estructura de cuadro que comprende veinticuatro canales de conversación, cada uno de ellos con ocho dígitos o bits binarios.

130 Uno de estos bits de cada combinación de código se utiliza para señalización y/o sincronización, dejando siete bits para una inteligencia tal como la voz. Si se utilizasen todos estos bits para datos binarios, habría una capacidad máxima de datos de 56 Kbits (kilobits) por segundo, suponiendo una frecuencia de muestra, esto  
135 es una frecuencia de repetición de canal de 8 KHz (kilohertzios). Para utilizar esto completamente, el generador de datos de abonado debe estar sincronizado con el reloj de PCM. Para evitar este inconveniente solamente se utilizan seis de los siete bits a lo sumo para datos, y el séptimo bit que está modulado en posición se utiliza  
140 para bit de marcador para indicar la frecuencia de datos.

Los datos entrantes de un abonado se almacenan cada período de cuadro en un almacén intermedio y se cuenta el número de impulsos de reloj de ese cuadro. Esta cuenta determina la posición del bit de marcador, que indica al receptor la frecuencia de bits  
145 de datos o de repetición. En el receptor se reconoce la posición del bit de marcador y se utiliza para controlar un oscilador de fase fija que lee los datos almacenados a la frecuencia original de repetición de datos o de bits.

Con el tipo de sistema PCM al que nos hemos referido antes, se consigue un margen de funcionamiento de 16-48KHz, como se  
150 ha indicado en la tabla siguiente:

# 388367



7.

<u>Frecuencia de bits de datos</u>	<u>Bits de datos por cuadro</u>	<u>Estructura de canal de datos</u> <u>Espacios de Tiempo 2-8</u>
48	6	X X X X X X 1
155 40	5	X X X X X 1 0
32	4	X X X X 1 0 0
24	3	X X X 1 0 0 0
16	2	X X 1 0 0 0 0

160 Como se ha mencionado, el bit o espacio de tiempo 1 está reservado para sincronización y/o señalización, de forma que los bits de datos (X en la tabla anterior) recogidos en el cuadro precedente se insertan en la corriente de bits, comenzando con el bit o el espacio de tiempo 2. Después del último bit de datos, se inserta un binario "1" y los demás bits situados (si hubiera alguno) se llenan con binario "0". Así, la posición del primer "1" que se lee desde el extremo de la derecha de la combinación, indica la velocidad de los bits de datos.

170 Si el generador de datos es sincrónico con el sistema PCM, entonces hay un número constante de bits de datos en cada cuadro, pero si la fuente no es sincrónica, el contador de frecuencia adopta uno de los dos estados, dependiendo de que el margen de anchura de banda sea adecuado para la velocidad de bits de datos. Para determinar la frecuencia media, el receptor integra estas cuentas en un período suficientemente largo.

175 Es necesario transmitir información de frecuencia antes de que comience un mensaje de datos para asegurar que el receptor está en "bloqueo de frecuencia" con el transmisor.

### Transmisor de datos (figura 2)

Este, como el receptor, utiliza una forma normalizada

388367



8.

180 y fácilmente disponible de lógica NOR, y, por lo tanto, en algunos  
casos se necesitan puertas adicionales o sus equivalentes utilizados  
como inversores (puertas NOT). También es necesario en algunos casos  
utilizar dos o más de estos dispositivos en serie para asegurar que los  
impulsos llegan en ciertos lugares en el tiempo correcto. Las puer-  
185 tas y los otros elementos utilizados en estas formas no se han des-  
crito específicamente.

Los datos entrantes de un abonado entran en un registrador  
de cambio de seis pasos SR, cada paso del cual es un flip - flop JK.  
Esta entrada de datos se hace bajo el control del reloj de datos du-  
rante cada tiempo de cuadro, escribiéndose allí los datos aplicando al  
190 reloj de activación a mitad de camino entre el período de símbolos  
de datos. Al final del período de cuadro, se leen los datos del re-  
gistrador SR con los 1.536 Kbit/segundo del reloj digital PCM al ca-  
nal de conversación PCM que tiene que utilizarse, esto es el canal n.  
195 Para hacer esta lectura, se coloca un biestable A en una posición de  
tiempo o bit D3 dentro del canal n en uso, habiendo ocho posiciones  
de bit de tiempo "D" inmediatas dentro del canal n. Con el biesta-  
ble A colocado, la puerta NOR 1, controlada allí, se abre para dejar  
pasar la corriente de impulsos de 1.535 Kc/s al registrador de cambio  
200 SR a través de la puerta NOR2 y los inversores 3 y 4. Los bits de  
datos, por lo tanto, pasan a través de una de las puertas N.r - 5-9  
controlados por el registrador SR y la puerta NOR G1 a la salida.  
Para ésto el biestable F se coloca en D1 del canal n para abrir la  
puerta NOR G2 a los bits de datos desde la puerta G1. Estos bits  
205 pasan a la salida a través de la puerta NOR 16 y un flip - flop JK  
10 que temporiza el reloj de PCM. Después de que ha pasado el últi-  
mo bit al registrador SR, los biestables A y E se reponen en D8 para

388367



9.

210 cortar el suministro de los impulsos de reloj PCM de 1.536 KHz, que  
son controlados por el biestable A. El biestable E se colocó en D1  
(este es en la posición de bit 1) del canal  $n$  para permitir que pasa-  
sen los impulsos de reloj a través de las puertas 1 y 2 cuando se repon-  
215 nía A.

El almacén SR puede recibir ahora más datos. Puesto que  
el período de canal de 5,2 microsegundos es inferior a la mitad  
215 de un período de reloj a la frecuencia superior de bits de datos  
(este período es por lo menos de  $10^4$  microsegundos), no hay pérdi-  
da de datos.

Es necesario asegurar que no se escriben datos en el regis-  
trador SR durante la lectura. Esto se hace utilizando medio regis-  
220 trador de cambio HSR para retardar el borde del impulso de activación  
que temporiza la lectura a través de medios de puerta NOR 11. Este  
medio registrador de cambio es en efecto, un biestable de puertas  
montado con puertas NOR individuales. El biestable del registrador  
HSR es ajustado por la salida del reloj de datos y un impulso de  
225 blancas que se dejan pasar juntos por las puertas NOR 12. El im-  
pulso de blancas es generado por un flip-flop R-S, B, y como puede  
verse en sus controles, se obtiene de las puertas NOR 14 y 15, abar-  
cando el impulso de blancas un período del canal  $(n - 1)$ , dígito  
8 al canal  $(n + 1)$ , dígito 2. La fase inversa del reloj de datos  
230 se abre con el mismo impulso de blancas en la puerta NOR 13 para  
reponer el biestable de HSR. Como hay un riesgo de conmutación  
no coincidente de este biestable, se inserta un retardo de 100 mi-  
crosegundos D para quitar los impulsos espúreos de duración infe-  
rior a ésta.

388367



10.

235 El contador de reloj CC que consiste de tres biestables JK o flip - flops, cuenta el número de impulsos de reloj de datos durante un período de cuadro.

240 Este contador está controlado desde el medio registrador de cambio HSR, controlado él mismo por el reloj de datos, de forma que cuenta los impulsos de reloj de datos, y, por lo tanto, el número de bits de datos durante un período de cuadro. La cuenta se estatiza para utilizarla durante la transmisión de datos para situar el bit de marcador. Esto reduce la corriente de reloj de datos isócrona a una serie de cuentas discretas de frecuencia al final de cada cuadro. El contador CC se repone a través de la puerta NOR G3  
245 al final de cada cuadro en un canal de tiempo ( $N + 1$ ), dígito 1.

La cuenta de frecuencia indica cuantos bits del registrador de cambio son datos. Estos bits de datos, cuando están insertos en el espacio de tiempo de canal  $n$  deben retener sus posiciones de bit relativas, ocupando el bit 1 el canal  $n$ , posición del dígito 2.  
250 Esto se consigue leyendo el registrador SR desde su etapa apropiada según está controlada por las puertas 5-9 que a su vez están controladas por la cuenta del contador CC. La cuenta del contador CC está determinada por una de las puertas NOR 17-21 y a través de la apropiada de las puertas NOT 22 controla la puerta asociada 5-9  
255 para leer el registrador SR a la puerta G1. La puerta de salida 16 que controla el biestable de salida JK o el flip - flop 10 se abre bajo el control de un biestable o flip - flop RS C un período de dígito antes de que el primer impulso de lectura de reloj se aplique al registrador SR, principalmente, en el canal  $n$ , posición de bit D2 facilitado por la puerta NOR 27.  
260

El biestable o flip - flop F controla la posición en la que

388367



11.

se inserta el bit marcador indicador de frecuencia, colocándose en el canal n, período de dígito 1, y no se repone hasta que se han leído en el registrador SR el número apropiado de bits de datos. Este último control se hace también desde el contador de reloj CC. a través de puertas NOR 28 controladas por los inversos de D4 a D8, cuyas salidas están acopladas a la puerta NOR 33. El dígito que repone el flip-flop F a través de la puerta NOT 34 se inyecta también, a través de la puerta G4 en el espacio de tiempo inmediatamente posterior al último bit de datos, después del cual cualquier sitio restante de bits se llena con espacios (binario "0") antes de abrirse con un impulso que abarca el período del canal n.

El flip - flop de salida JK 10 vuelve a temporizar los bits de datos, bajo el control del reloj PCM, esto es la entrada de reloj de 1.536 KHz al flip - flop 10. La corriente PCM de conversación multiplexada está, naturalmente, inhibida durante el canal n, y la señal compuesta que normalmente comprende tanto la conversación PCM como los datos se envía por el cable de pares a la frecuencia de reloj digital de 1.536 KHz.

La cooperación entre el registrador SR y el contador CC puede restablecerse de la forma siguiente. Cuando los datos de 16 Kbits están presentes, solamente dos bits entran en el registrador SR y estos aparecen en los dos pasos de la izquierda, para 24 Kbits de datos hay tres bits en los tres pasos de la izquierda del registrador SR y así sucesivamente. Así, para datos de 16 Kbits, el registrador SR es leído permitiendo solamente la puerta 5, para datos de 24 Kbits, solamente se permite la puerta 6, para datos de 32 Kbits, solamente se permite la puerta 7 y así sucesivamente-. En todos los casos la lectura se hace a la frecuencia superior de 1.536 Kbits

388367



12.

a través de solamente una de las puertas 5-9 que alimentan la puerta G1.

Mientras que los datos están entrando en el registrador SR, el contador CC cuenta el número de impulsos de datos que entran en el registrador SR. Aquí, al final del período de cuadro en el que se almacenan los datos en el registrador SR, la cuenta del número de impulsos de datos está representada por la cuenta del contador CC. Esta cuenta se decodifica con una adecuada de las puertas 17-21 y la salida de estas puertas se invierte mediante las puertas 22-26. Una de estas puertas tiene una salida para permitir la asociada de las puertas 5-9. De aquí, los datos están fuera de tiempo del registrador SR a través de la adecuada de las puertas 5-9. Esta operación es efectivamente una comparación entre el número de bits de datos del registrador SR y la cuenta del contador CC con una lectura del registrador SR que está permitido cuando el número y la cuenta son iguales.

Como ya se ha indicado, para un número particular  $x$  de bits de datos, y semejantemente para ese número  $x$  de impulsos de reloj, solamente una de las puertas 17-21 será abierta por el contador CC. Por ejemplo, si  $x = 4$ , entonces está presente una cuenta de 4 en el contador CC y se abre la puerta 19. Su salida es invertida por la puerta 24, y para permitir además la puerta 7, la puerta 30 es permitida para dejar que pase un impulso  $\overline{D6}$  a la puerta 33. Este impulso ocurre en un momento tal que llega a la salida del flip-flop 10 después del último de los cuatro bits de datos. Consecuentemente, la puerta G2 deja pasar los cuatro bits de datos al canal en uso en sus posiciones de bit o espacios de tiempo 2-3-4-5. Entonces el impulso  $\overline{D6}$  a través de las puertas 33 y 34

388367



13. invierte el flip-flop F de forma que la puerta G4 deja pasar ahora el  
320 impulso D6 y los "0" siguientes.

Receptor de datos (figura 3)

La información de datos del canal  $n$  se escribe en cuadros  
alternos en dos registradores de cambio SR1 y SR2 bajo el control  
de un biestable JK o flip - flop JKA que se conmuta a la frecuencia  
325 de cuadro PCM. La puerta de entrada NOR G12 del registrador de cambio  
SR1 recibe la salida A del flip - flop JKA, la entrada PCM del separa-  
rador B2 y la salida "1" del flip-flop RS G ajustado al canal de tiem-  
po  $n$ , dígito 2 por medio de la puerta NOR G 14. La puerta de entrada  
NOR G13 del registrador de cambio  $\bar{R}$  SR2 recibe la salida  $\bar{A}$  del flip-  
330 flop - JKA, la entrada PCM del separador B2 y la salida "1" del flip-  
flop G. Este empleo de los dos almacenes en el extremo receptor evi-  
ta unos requerimientos estrictos de fase que tendrían que ser cumplidos  
por el oscilador de bloqueo de fase del reloj de datos 37 que se dis-  
cutirá más tarde.

335 Como en el transmisor, la temporización es tal que el pri-  
mer impulso de reloj escrito se aplica a través del separador B1 y de  
la puerta NOR G10 ó G11, dependiendo de cual de los SR1 y SR2 está  
recibiendo, medio dígito más tarde que la aplicación de datos a SR1  
ó SR2 a través de las puertas G12 ó G13. Esto evita ambigüedades  
340 en la colocación de los almacenes debido a los retardos variables en-  
tre los datos y los relojes.

La puerta G10 recibe la entrada de reloj PCM del separador  
B1, la entrada A del flip - flop JKA y la salida "1" del flip- flop  
RS H que se coloca en el canal de tiempo  $n$ , dígito 2, por medio de  
345 la puerta G14, reponiéndose el flip-flop H por el reloj de PCM du-  
rante el tiempo de dígito D8 por la puerta NOR G15. El impulso de

388367



14.

reloj actual para el registrador de cambio SR1 es suministrado a través de la puerta NOR G16 acoplada a la salida de la puerta G10 y la salida de la puerta NOR G17. La puerta G17 está bajo el control del reloj de datos, a través de medios de puertas NOR P1 y P2 y la salida "1" del flip-flop P, y la salida de la puerta NOT G18 a través de la puerta NOR G19. La puerta G19 está bajo el control del inverso del reloj de datos, la salida B del flip-flop JKB y la salida de la puerta NOR 28 que a su vez está controlada por la salida de la puerta NOR G12 a través de la puerta NOT 44 y la salida B del flip-flop JKB. La salida de la puerta G16 es invertida por la puerta NOT G20.

La entrada G11 recibe la entrada de reloj PCM del separador B1, la entrada  $\bar{A}$  del flip-flop JKA y la salida "1" del flip-flop H. El impulso de reloj actual para el registrador de cambio SR1 es suministrado a través de la puerta NOR G21 acoplada a la salida de la puerta G11 y la salida de la puerta NOR G22. La puerta G22 está bajo el control del reloj de datos, a través de las puertas NOR P1 y P2 y la salida "0" del flip-flop P, y la salida de la puerta NOT G23 a través de la puerta NOR G24. La puerta G24 está bajo el control del inverso del reloj de datos, la salida B del flip-flop JKB y la salida de la puerta NOR 39 que a su vez está controlada por la salida de la puerta NOR G13 a través de la puerta NOT 45 y la salida B del flip-flop JKB. La salida de la puerta G21 es invertida por la puerta NOT G25.

Cada uno de los registradores SR1 y SR2 consisten en siete flip-flops JK, escribiéndose y leyéndose los datos en forma serie y leyéndose siempre desde el terminal "1" de JK7 y JK7' (en el extremo de la derecha). Como cada impulso de reloj mueve los



datos a lo largo de un paso, es necesario tener un paso de almacenamiento extra o suprimir el primer impulso de reloj de lectura.

Lo último se hace utilizando puertas NOR P1 y P2 y el flip - flop RS P. El flip - flop P controla el momento en el que las puertas de salida NOR 35 y 36 de los registradores de cambio SR1 y SR2 se abren.

380 Para leer, el canal de datos entrante que tiene que leerse se identifica y los siete dígitos se escriben en SR1 ó SR2 por el reloj de dígito de PCM, entrando los datos a través de un separador B2. La frecuencia del reloj de datos del receptor es determinada por la integración de la frecuencia de los datos entrantes sobre un número relativamente grande de cuadros en el integrador 37'. La clave para la recuperación de esta frecuencia de recuperación de datos por integración es la posición del bit de marcador dentro de las posiciones de bit PCM del canal n. Los resultados de esta determinación

385 colocan el reloj de datos del receptor 37 en su condición apropiada a la frecuencia a la que tienen que leerse los datos en los registradores SR1 ó SR2. Si el canal previo de datos estaba en el registrador SR1, entonces es leído por el reloj de datos reconstruido en fase correcta durante 125 microsegundos. Cuando se ha vaciado el

390 registrador SR1, esto es reconocido y el reloj de lectura se conmuta al registrador SR2 por el flip - flop JK JKB, habiendo sido escrito entre tanto el registrador SR2. Esto continúa con el reloj de datos que se conmuta alternativamente entre los registradores SR1 y SR2.

El reconocimiento referido a lo anterior ocurre cuando una condición

400 de registrador de cambio es 1000000, condición que significa que el registrador está vacío. Esto es detectado por las puertas NOR G12 y G13, que controla en una forma obvia el biestable antes mencionado JKB a través de puertas NOR - 38-43 y puertas NOT 44-47.

388367



17

16.

En un espacio de tiempo de canal de datos, además del  
405 primer dígito que se utiliza para señalización y/o sincronización,  
hay  $S$  dígitos de datos ( $S \leq 6$ ), un dígito de marcador o bit y  
( $6 - S$ ) espacios. Puesto que los datos están dispuestos de tal forma  
que ocupan siempre los lugares de dígitos de dos hacia adelante,  
cuando se han leído todos los datos de un registrador de cambio,  
410 el primer dígito después de los datos está en la primera etapa  
(pasos JK7 ó JK7') de los registradores de cambio SR1 y SR2, es  
una marca 1 el bit de marcador y es seguido por espacios de relleno  
o "0". Esto explica la detección de 100000 como una indicación  
de "vacío".

415 El flip-flop JKB se conmuta por impulsos derivados de los  
impulsos de reloj de datos, esto es la fase inversa de los impulsos  
de reloj, que son dejados pasar a través de las puertas, 40, 41 y 43  
cuando los datos han sido leídos correctamente de los registradores  
de cambio SR1 y SR2. La lectura de los registradores SR1 y SR2  
420 por los impulsos de reloj de datos a través del flip-flop P y las  
puertas 35 y 36 y el flip-flop de conmutación JKB por el inverso  
del reloj de datos evita ambigüedades del período de recuento.

El receptor tiene un control automático de frecuencia de  
"parada final" que asegura que si la frecuencia de reloj de datos  
425 reconstruida es incorrecta, se aplica una señal de corrección máxi-  
ma al oscilador de reloj de datos. Cuando la frecuencia de datos  
reconstruida es correcta, predomina el control de fase. Esto se  
consigue comparando la fase de una onda cuadrada de 4 Kc/s. A ge-  
nerada por el biestable JKA, que es disparado inmediatamente antes  
430 de que ocurra el canal tratado, con otra forma de onda B de 4 Kc/s.,  
controlada por el tiempo en que son leídos los registradores SR1 y



SR2 y generada por el flip-flop JKB. Como puede verse en la figura 3, el comparador es un conjunto de puertas NOR - 48 - 50 que hace la función OR EXCLUSIVA.

435 Las entradas de ajuste y liberación del flip-flop JKB están conectadas directamente a las salidas del flip-flop JKA y solamente dejan pasar al almacén en las transiciones negativas del reloj de datos. Si la frecuencia del reloj de datos es demasiado elevada (rápida) se lee el registrador de cambio pronto durante  
440 el cuadro, y sin embargo el flip-flop JKB no cambia su estado hasta el primer borde de reloj de datos activador después de que ha cambiado el flip-flop JKA. El flip-flop JKA cambia su estado en el canal ( $\underline{n} - 1$ ), el período de dígito 8 a través de la puerta NOR 51. De esta forma se hace un control si el reloj de datos  
445 es demasiado rápido, puesto que la condición de intentar leer un registrador de cambio antes de que se haya escrito en él se vence también. Cuando el reloj de lectura es demasiado rápido es necesario dejar pasar otros impulsos de reloj a los registradores de cambio en cuestión SR1 ó SR2.

450 Si la frecuencia de lectura de reloj es demasiado baja (lenta) entonces durante el período de cuadro de 125 segundos el almacén del registrador de cambio no se vacía de forma que los impulsos de reloj de datos no pueden disparar el flip-flop JKB, disparándose, sin embargo, este flip - flop JKB por el  
455 Ch ( $\underline{n} - 1$ ), impulsos D2 a través de la puerta 42. Esto permite el período máximo de tiempo para que sea leído cada registrador de cambio antes de que se conmute la forma de onda de reloj, y de nuevo el tiempo en el que se conmuta el flip - flop JKB con relación al del flip - flop JKA de unos medios de

388367



18.

460 control. Cuando se ha disparado el flip-flop, JKB, se utiliza el borde de cambio de su salida para cerrar las puertas 38 y 39 dejando pasar estos impulsos de disparo. De esta forma la probabilidad de que unos impulsos erróneos disparen el flip-flop JKB se evita.

465 Cuando la frecuencia de datos reconstruida es correcta, predomina el control de fase. El comprador de fase OR EXCLUSIVO antes mencionado da una forma de onda cuadrada de 8 Kc/s. en su salida cuyo ciclo depende de la relación de fase de las entradas A y B. El bucle que comprende un integrador y un amplificador 52 está dispuesto para excitar la fase de la entrada B hacia una relación de cuadratura con la entrada A, siendo ésta la posición de error de fase cero. La separación de la posición de cuadratura depende de la cantidad de ganancia en el bucle. El oscilador del reloj 37 que alimenta el reloj local es un oscilador de fase controlada, y su control, comprende el comparador ya mencionado  
470 que incorpora un bucle de control de fase. El efecto de esto es que la fase de la onda de 4 Kc/s. derivada del flip - flop JKA y la salida del flip - flop JKB se comparan y el reloj local se ajusta para ponerlas de acuerdo.

480 Aunque se han descrito en lo que antecede los principios del invento en relación con aparatos específicos debe sobrentenderse claramente que esta descripción se ha hecho únicamente a título de ejemplo y no como una limitación de alcance del invento según se establece en sus objetos y en las reivindicaciones que se acompañan.

485 Este invento corresponde a una solicitud de patente formulada en Inglaterra el 17 de Febrero de 1970, señalada con el No. 7530/70 y se acoge por lo tanto a los beneficios que otorgan los



convenios internacionales vigentes.

----- N O T A -----

490 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un sistema para transmisión de datos en canales de modulación en códigos de impulsos en el que cada combinación de código de modulación en código de impulsos tiene  $n$  posiciones de bit, 495 siendo  $n$  un número entero mayor que tres, empleándose una posición de bit para señalización y/o sincronización y  $(n - 1)$  posiciones de bit para fines de comunicación de inteligencia y capaz de transmitir bits de datos binarios utilizando dichos  $(n - 1)$  posiciones de bit de cada canal multiplex de división en el tiempo que comprende: 500

una fuente de bits de datos binarios que tienen que transmitirse;

primeros medios acoplados a dicho generador para almacenar dichos bits de datos binarios;

505 segundos medios acoplados a dicho generador para contar el número de dichos bits de datos binarios almacenados durante el intervalo de tiempo de un canal multiplex de división en el tiempo, no excediendo dicho número de  $(n - 2)$ ; y

510 terceros medios acoplados a dichos medios primeros y segundos para combinar dichos datos binarios almacenados y un bit de marcador cuya combinación sustituirá a dichas  $(n - 1)$  posiciones de bit de inteligencia normal en uno de dichos canales multiplex de división en el tiempo, estando agrupados dichos bits de datos juntos en un extremo de dichas  $(n - 1)$  posiciones de bit, estando

*hij*

388367



20.

515 dispuesto dicho bit de marcador adyacente al último de dichos bits de datos binarios, definiendo la posición de dicho bit de marcador dentro de dichas ( $n - 1$ ) posiciones de bit el número y la frecuencia de repetición de dichos bits de datos binarios asociados con él.

2.- Un sistema como el del punto 1 en el que dichos primeros medios comprenden un registrador de cambio que tiene ( $n - 2$ ) posiciones.

3.- Un sistema como el del punto 1 en el que dichos segundos medios comprenden cuartos medios acoplados a dicho generador para generar impulsos de reloj en sincronismo con dichos bits de datos binarios, controlando cada uno de dichos impulsos de reloj la inserción de uno de dichos bits de datos binarios en dichos primeros medios,

525 quintos medios acoplados a dichos cuartos medios para contar dichos impulsos de reloj, y

530 sextos medios acoplados a dichos primeros medios y dichos quintos medios para comparar el número de dichos bits de datos binarios almacenados en dichos primeros medios con la cuenta de dichos quintos medios y para insertar dicho bit de marcador en la posición adecuada dentro de dichas ( $n - 1$ ) posiciones de bit y para liberar dichos primeros medios y dichos quintos medios cuando dicho número y dicha cuenta están de acuerdo.

535 4.- Un sistema para transmisión de datos en canales de modulación en código de impulsos con un sistema receptor en el que cada combinación de código de modulación en código de impulsos tiene 540  $n$  posiciones de bit, siendo,  $n$  un número entero mayor que tres utilizándose una posición de bit para señalización y/o sincronización y ( $n - 1$ ) posiciones de bit que se utilizan para fines de comunica-

*[Handwritten signature]*



545 ción de inteligencia, en la que por lo menos un conjunto de bits de  
datos binarios se transmiten desde un terminal distante utilizando  
dichos ( $n - 1$ ) posiciones de bit de por lo menos uno de los canales  
multiplex de división en el tiempo, comprendiendo dicho conjunto de  
bits binarios, bits de datos binarios cuyo número no excede de  $(n - 2)$   
agrupados juntos en un extremo de dichas ( $n - 1$ ) posiciones de bit y  
un bit de marcador adyacente al último de dicho conjunto de bits  
550 binarios de datos, definiendo la posición de dicho bit de marcador  
dentro de dichas  $(n - 1)$  posiciones de bit el número y la frecuencia  
de repetición de los bits de datos de dicho conjunto de bits de datos  
binarios y que comprende:

un generador de dicho conjunto de bits de datos binarios;  
555 primeros medios acoplados a dicho generador para almacenar  
dicho juego de bits de datos; y

segundos medios acoplados a dicho generador y a dichos pri-  
meros medios para generar impulsos de reloj que tienen una frecuencia  
de repetición determinada por la situación de dicho bit de marcador,  
560 controlando dichos impulsos de reloj la lectura de dichos primeros me-  
dios a dicha frecuencia de repetición.

5.- Un sistema como el del punto 4 en el que dichos primeros  
medios comprenden un registrador de cambio que tiene ( $n - 1$ ) pasos.

565 6.- Un sistema como el del punto 4 en el que dicho generador  
comprende una pluralidad de conjuntos de bits de datos binarios, y di-  
chos primeros medios comprenden dos registradores de cambio cada uno de  
los cuales tiene ( $n - 1$ ) pasos, utilizándose dichos registradores de  
cambio alternativamente en cuadros alternos de la señal multiplex de  
división en el tiempo.

570 7.- Un sistema para transmisión de datos en canales de modu-

14.

388367



22.

lación en código de impulsos en el que cada combinación de código de modulación en código de impulsos tiene  $n$  posiciones de bit, siendo  $n$  un número entero mayor que tres, utilizándose una posición de bit para señalización y/o sincronización y utilizándose 575 ( $n - 1$ ) posiciones de bit para fines de comunicación de inteligencia, y capaz de permitir la comunicación con bits de datos binarios utilizando dichas ( $n - 1$ ) posiciones de bit de los canales seleccionados multiplex de división en el tiempo que comprende:

Un generador de bits de datos binarios que tienen que 580 transmitirse; primeros medios acoplados a dicho generador para almacenar dichos bits de datos binarios;

Segundos medios acoplados a dicho generador para contar el número de dichos bits de datos binarios almacenados durante el intervalo de tiempo de un canal multiplex de división en el tiempo, no excediendo dicho número de ( $n - 2$ ); 585

terceros medios acoplados a dichos medios primeros y segundos para combinar dichos bits de datos binarios almacenados y un bit de marcador cuya combinación sustituirá a dichas ( $n - 1$ ) posiciones de bit de la transmisión normal en uno de dichos canales multiplex de división en el tiempo, estando agrupados dichos bits de datos juntos en un extremo de dichas ( $n - 1$ ) posiciones de bit, estando dispuesto dicho bit de marcador adyacente al último de dichos bits de datos binarios, definiendo la posición de dicho bit de marcador dentro de dichas ( $n - 1$ ) posiciones de bit el número y la frecuencia de repetición de dichos bits de datos binarios asociados con él; 590 595

cuartos medios acoplados a dichos terceros medios para transmitir una combinación de dicha posición de bit, dichos bits

*hcf*



de datos binarios y dicho bit de marcador;

600                   quintos medios acoplados a dichos cuartos medios para recibir dicha combinación transmitida;

                  sextos medios acoplados a dichos quintos medios para almacenar dichos bits de marcador y de datos binarios; y

                  séptimos medios acoplados a dichos medios quintos y sextos  
605 para generar impulsos de reloj que tienen una frecuencia de repetición determinada por dicha situación de dicho bit de marcador, controlando dichos impulsos de reloj la lectura de dichos sextos medios a dicha frecuencia de repetición.

8.- Un sistema como el del punto 7 en el que dichos primeros  
610 medios comprenden un registrador de cambio que tiene  $(n - 2)$  etapas.

9.- Un sistema como el del punto 7 en el que dichos segundos medios incluyen:

                  octavos medios acoplados a dicho generador para generar  
615 impulsos de reloj en sincronismo con dichos bits de datos binarios, controlando cada uno de dichos impulsos de reloj la inserción de uno de dichos bits de datos binarios en dichos primeros medios,

                  novenos medios acoplados a dichos octavos medios para contar dichos impulsos de reloj, y

620                   decimos medios acoplados a dichos primeros medios y dichos novenos medios para comparar el número de dichos bits de datos binarios almacenados en dichos primeros medios con la cuenta de dichos novenos medios y para insertar dicho bit de marcador en la posición adecuada dentro de dichas  $(n - 1)$  posiciones de bit y  
625 para liberar dichos medios primeros y novenos cuando dicho número y dicha cuenta coinciden.

*Ref.*

388367



24.

630 10.- Un sistema como el del punto 7 en el que una pluralidad de dichos canales multiplex de división en el tiempo contienen dicha combinación transmitida, y dichos sextos medios comprenden dos registradores de cambio cada uno de los cuales tienen ( $n - 1$ ) pasos, utilizándose dichos registradores de cambio alternativamente en cuadros alternos de la señal multiplex de división en el tiempo.

11.- Un sistema para transmisión de datos en canales de modulación en código de impulsos.

635 Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de veinticuatro hojas escritas por una sola cara.

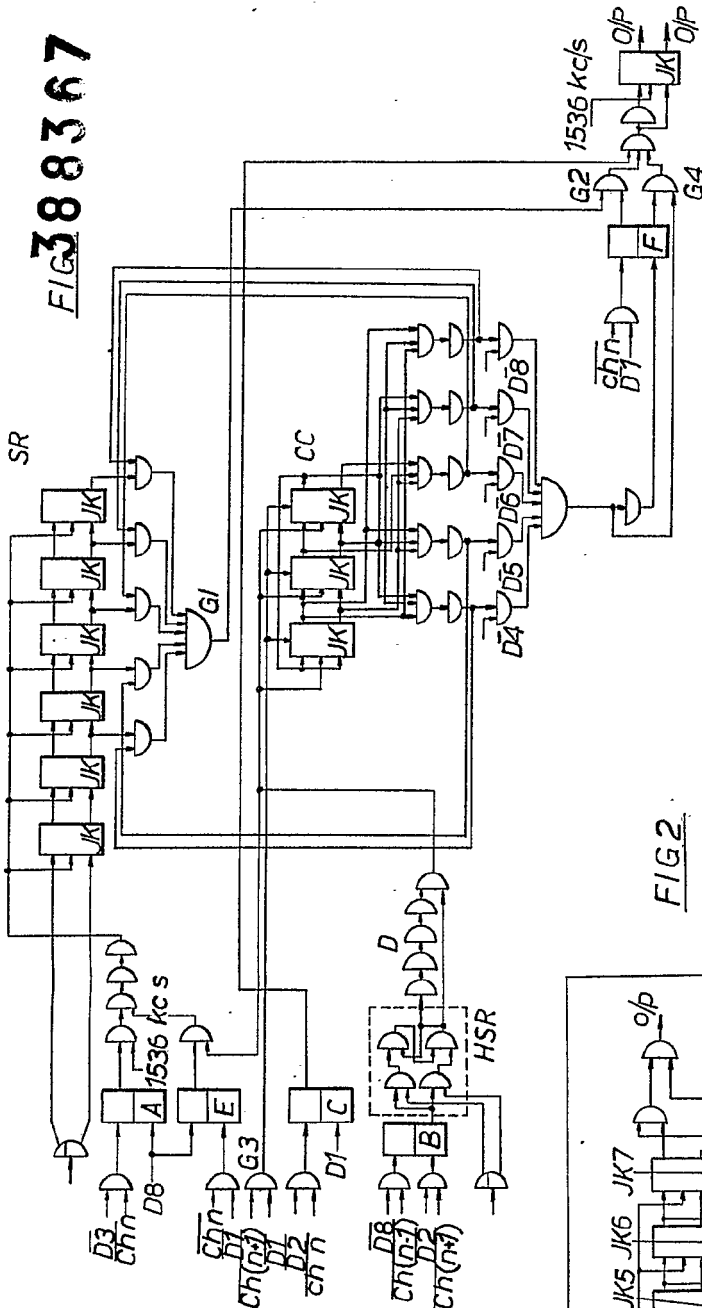
Madrid,

17 FEB. 1971



M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

FIG 388367



388367

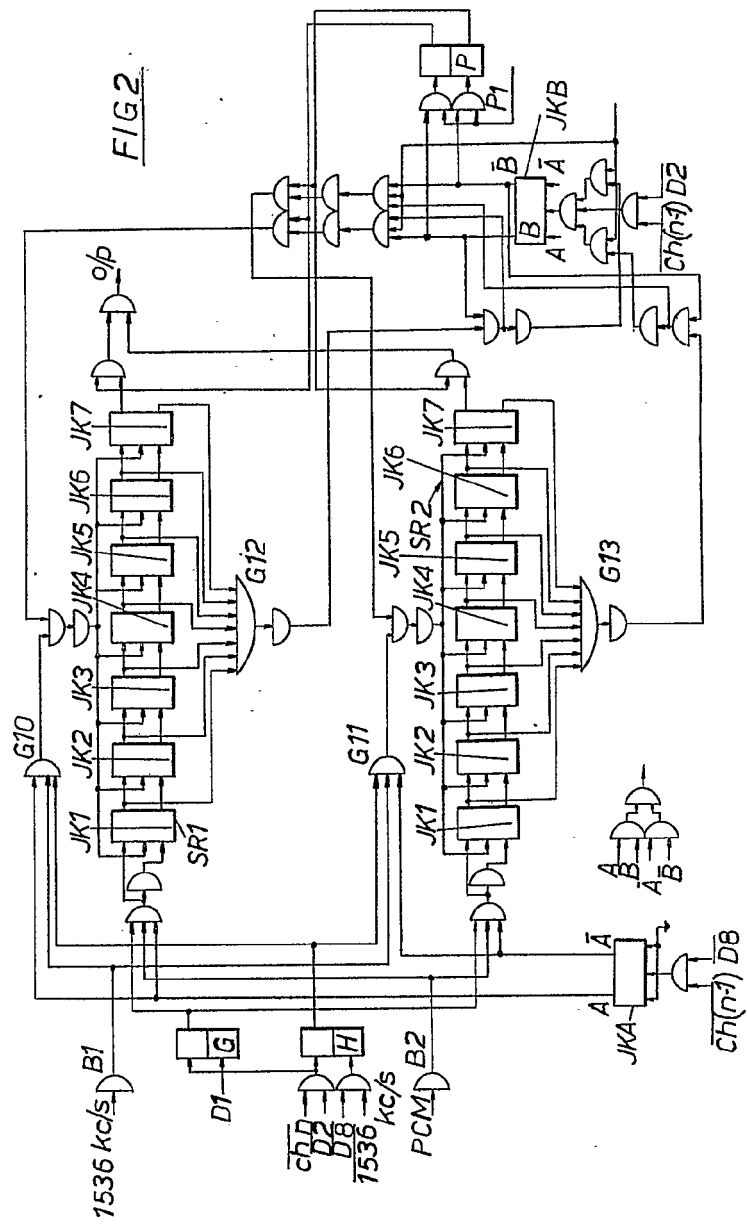


FIG 2

17 FEB. 1971



*M. J. Santamaria*  
 M. G. SANTAMARIA  
 VICESECRETARIO GENERAL

388367

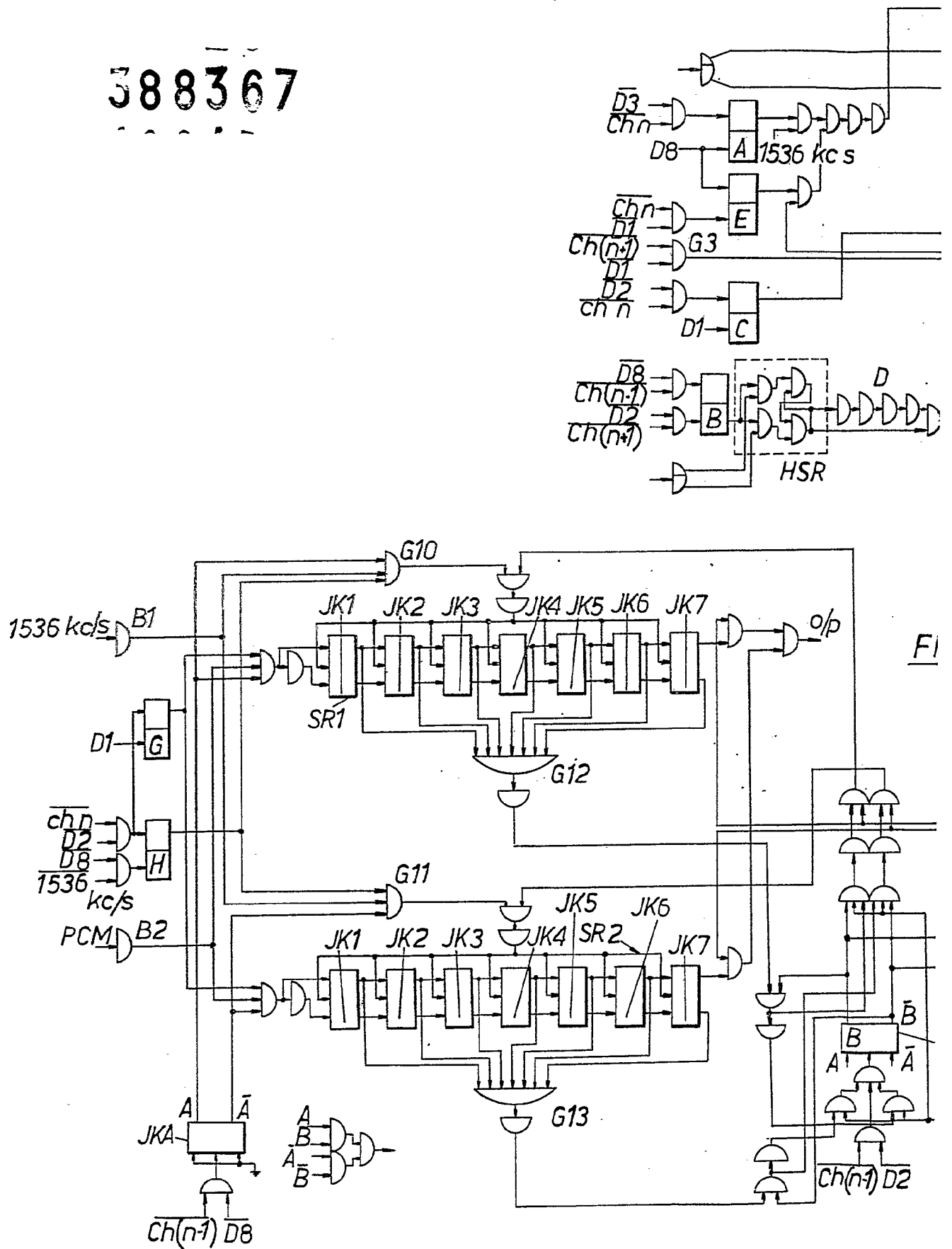
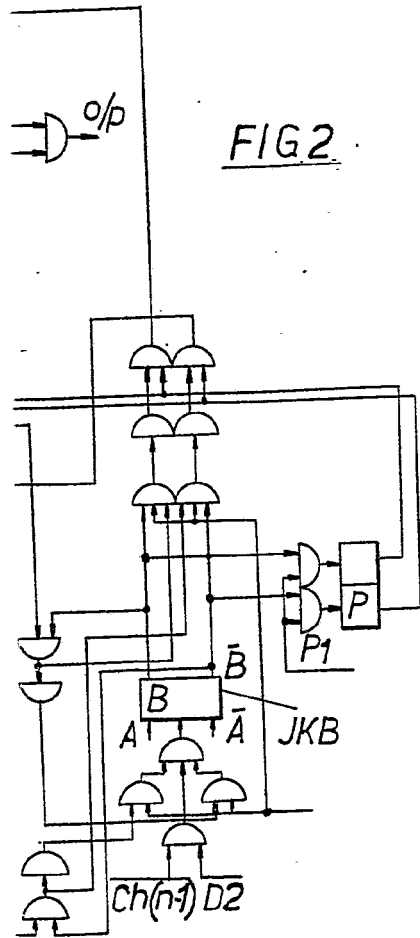
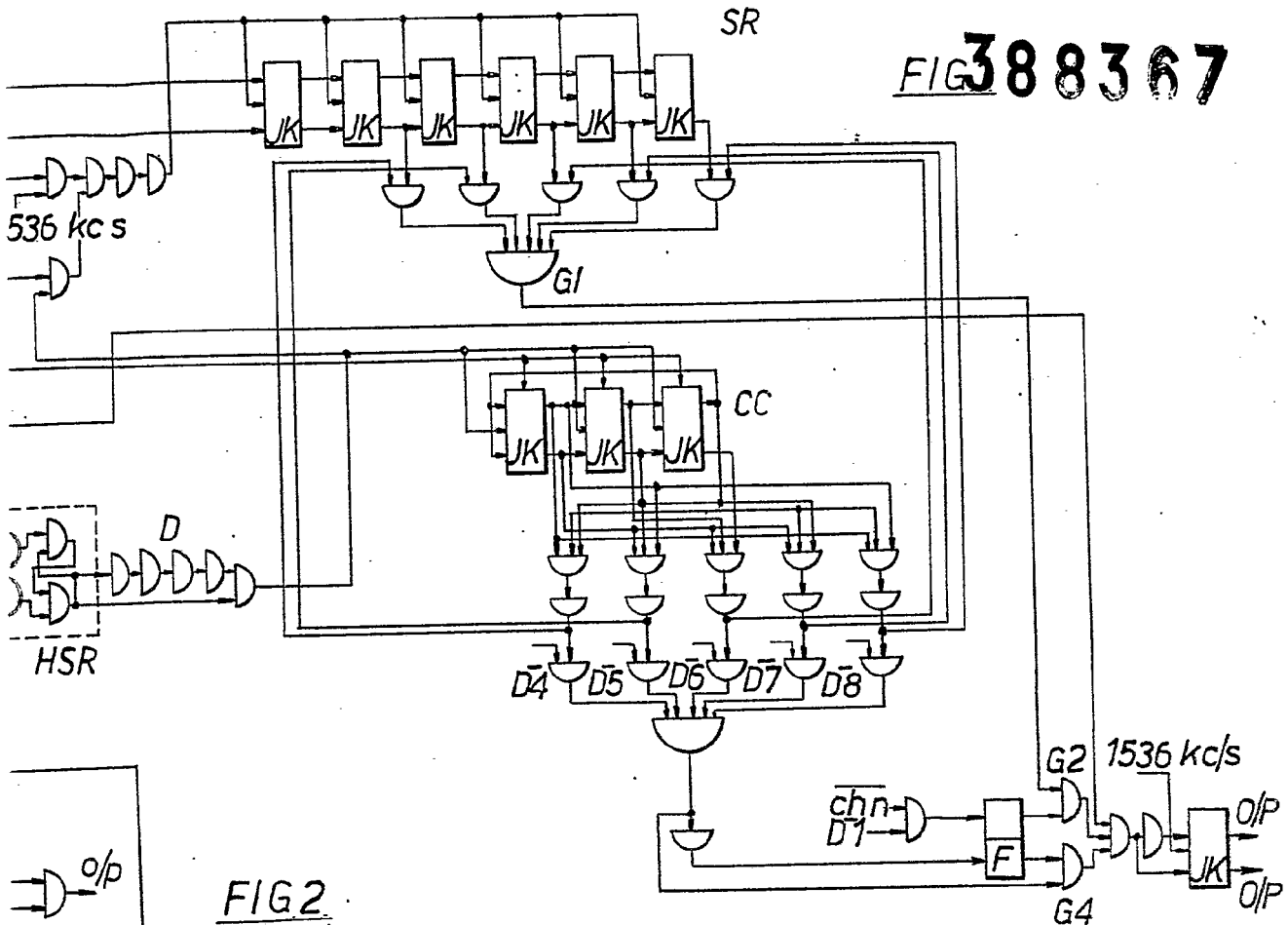


FIG 388367



17 FEB. 1971



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL