

387993¹

P.- 47.066

PHB 32038

16 MAR 1970



Memoria descriptiva

CLASE INTERNACIONAL	H01
SUBCLASE	L

para solicitar PATENTE DE INVENCION por 20 años

a nombre de N.V. PHILLIPS' GLOEILAMPENFABRIEKEN

entidad / ~~de nacionalidad~~ holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda.

por: " UNA DISPOSICION DE CIRCUITO INTEGRADO SEMICONDUCTOR"

(Clase Internacional H01L)

POOR
QUALITY

387993

16 MAR 1971



La presente invención se refiere a circuitos integrados semiconductores que comprenden un cuerpo semiconductor parte del cual es de un tipo de conductividad, al menos una primera, una segunda y una tercera región adyacentes a dicha parte, estando aisladas dichas regiones una de otra, extendiéndose cada una hasta una superficie del cuerpo semiconductor, formando cada una una unión p-n con la parte de un tipo de conductividad, y comprendiendo cada una un elemento de circuito.

En una de las formas de circuito semiconductor integrado comúnmente conocidas, hay una pluralidad de islotes presentes en una capa epitáxica de un primer tipo de conductividad, usualmente de tipo n, situada en un substrato de gran resistividad de un material del tipo de conductividad contrario (tipo p). Los islotes están definidos en la capa epitáxica por unas regiones de menor resistividad de un material del mismo tipo de conductividad que el substrato, regiones que se extienden atravesando la capa epitáxica desde su superficie al substrato.

Las regiones se forman por difusión, y normalmente se denominan zonas de separación o aislamiento. En los islotes hay presentes unos elementos de circuito semiconductores, formados por difusión de impurezas en las porciones de superficie de los islotes, a través de unas aberturas practicadas en una capa protectora aislante o "máscara" aplicada sobre la superficie de la capa epitáxica.

La interconexión de los diversos elementos de circuito presentes en los islotes se consigue mediante unas partes de capa metálica que hacen contacto con unas por-



ciones de superficie de los diversos elementos de circuito y que se extienden además por encima de la capa protectora aislante. La separación eléctrica entre elementos de circuito individuales en los diferentes islotes se logra polarizando en sentido inverso las uniones p-n existentes entre los islotes (tipo n) y las zonas de aislamiento y substrato. (tipo p).

5 Cuando un elemento de circuito es un transistor bipolar como, por ejemplo, un transistor n-p-n de regiones de emisor y de base difundidas, el material primitivo de un islote de tipo n en una capa epitáxica de tipo n constituye la región de colector del transistor. Un condensador o un diodo pueden formarse, en un circuito integrado, como unión p-n entre un islote de material de un primer tipo de conductividad (por ejemplo, de tipo n) y una región del tipo de conductividad contrario (el tipo p) formada en el islote.

10 En el proyecto y desarrollo de disposiciones de circuito realizadas en la forma de circuitos semiconductores integrados arriba indicada, se ha visto que es posible dejar pasar señales espurias, causantes de efectos de retroacción no deseados, desde un transistor formado en uno de los islotes a un transistor formado en otro islote, por un camino que comprende la capacidad de colector a substrato de cada transistor y la conducción en masa del substrato. Un camino de acoplamiento parásito tal como éste que da lugar a señales espurias resulta, según se ha visto, especialmente predominante en un circuito integrado que comprenda un amplificador por transistor de alta ganancia y alta frecuencia. Se ha podido

38799316 MAR 1964



comprobar asimismo que de igual manera podrían pasar seña
les espurias, causantes de efectos de retroacción no de-
seados, entre elementos de circuito cualesquiera (es de-
cir, no necesariamente transistores) que estén en islotes
5 diferentes y tengan una región que forme una unión p-n
con el substrato.

Es, pues, objeto de la presente invención un modo
de eliminar esencialmente el efecto de retroacción o reali-
mentación de dichas señales espurias en la realización de
10 circuito integrado de ciertos tipos de disposiciones de
circuito.

A tal fin, un circuito integrado conforme a la in-
vención se caracteriza porque el elemento de circuito de
la primera región y el de la segunda región están dis-
15 puestos en contrafase, siendo la impedancia del circuito
constituido por la unión p-n entre la primera región y
dicha parte, la resistencia de la parte de cuerpo semi-
conductor entre la primera y la tercera regiones y la
unión p-n entre dicha parte y la tercera región sustan-
20 cialmente igual a la impedancia del circuito formado por
la unión p-n entre la segunda región y la parte menciona-
da, la resistencia de esta parte entre la segunda y la
tercera regiones y la unión p-n entre dicha parte y la
tercera región.

25 El circuito integrado puede comprender, por ejem-
plo, tres islotes limitados por unas zonas separadoras o
de aislamiento y que tienen cada uno un elemento de cir-
cuito, en los que dos de dichos elementos de circuito
están conectados en contrafase y constituyen, por ejem-
plo, el paso o etapa de salida de un amplificador. La



tercera región está dispuesta en el circuito integrado de manera tal que dicha región queda situada en el punto nodal de un diseño de distribución de potenciales eléctricos que puede aparecer en el substrato a consecuencia de las señales espurias que pasen desde cada elemento de circuito del par en contrafase al elemento de circuito de la tercera región.

Las tensiones o voltajes en dichas regiones de los elementos de circuito conectados en contrafase estarán en oposición de fase, de manera que las señales espurias que pasen desde estas regiones a la citada región situada en el punto nodal se anularán en el punto nodal, con el resultado de que el efecto de realimentación de las señales espurias queda eliminado en el elemento de circuito de la tercera región.

En una forma de realización del invento en la práctica, por lo menos un islote adicional, en el que hay formado un elemento de circuito con una región que forme unión p-n con el substrato del circuito integrado, puede estar situado en el circuito integrado de tal modo que su elemento de circuito tenga la mencionada región del mismo situada en un punto nodal de dicho diseño de distribución de potenciales eléctricos, de manera que se elimine el efecto de retroacción o realimentación de dichas señales espurias también en el elemento de circuito de este otro islote.

Recíprocamente, en el caso por ejemplo, de que el elemento de circuito del tercer islote esté asociado con la etapa de salida de un amplificador, el efecto de retroacción de las señales espurias que pasen desde dicho

387993



elemento de circuito a los dos elementos de circuito de las otras dos regiones puede eliminarse conectando dichos dos elementos de circuito en contrafase, y situando sus regiones en el circuito integrado de manera que dichas
5 regiones de estos dos elementos de circuito queden situadas en puntos de potencial correspondiente del diseño de distribución de potenciales eléctricos que pueda aparecer a consecuencia de las señales espurias provenientes del elemento de circuito de la tercera región.

10 En una forma de realización del invento en la práctica, las regiones de por lo menos otro par de elementos de circuito conectados en contrafase en unas regiones respectivas, de las cuales una región forme unión p-n con el substrato del circuito integrado, pueden tener sus regio-
15 nes citadas situadas igualmente de modo que se elimine el efecto de retroacción de dichas señales espurias también en estos elementos de circuito.

En algunos casos es conveniente y/o ventajoso disponer, para una aplicación particular, un amplificador de
20 transistores que tenga una etapa de salida en contrafase. También sería posible en algunos casos disponer la de entrada o una etapa intermedia de un amplificador como etapa en contrafase. En cada uno de estos casos, como es bien sabido, durante el funcionamiento del amplificador
25 habrá, en los colectores de los transistores en contrafase, unas tensiones de igual magnitud pero en oposición de fase. También es posible que haya dos elementos de circuito de otro tipo (por ejemplo, condensadores), de una disposición de circuito, que puedan conectarse como par en contrafase: esto es que tengan tensiones de igual



magnitud y en oposición de fase presentes en uno de los electrodos de los mismos, durante el funcionamiento de la disposición.

5 Así, se prevé que el presente invento tenga una aplicación general en la realización de circuitos integra- dos que incluyan un par de elementos de circuito en con- trafase, en los casos en que haya de eliminarse el efecto de retroacción o realimentación de señales espurias que aparezca del modo antedicho. Una particular aplicación del
10 invento se tendría en la realización, en forma de circuito integrado, de un amplificador de transistores de alta fre- cuencia y gran ganancia, proyectado específicamente con una etapa de salida en contrafase.

15 En la aplicación práctica del invento en la cual las señales espurias de los elementos conectados en con- trafase pasan a la tercera región, el diseño de distribu- ción de potenciales eléctricos dependerá de la situación o posición de las dos regiones en que se formen los dos transistores u otros elementos de circuito que constituyan
20 el par en contrafase, y también de la forma del diseño completo de difusión de aislamiento del circuito integra- do. Habilitando una disposición simétrica en estos dos aspectos, puede hacerse que los puntos nodales se hallen a lo largo del eje central del circuito integrado. Puede
25 no ser también posible lograr una simetría en los dos aspectos mencionados, y en ese caso no habrá puntos noda- les a lo largo del eje central del circuito integrado; pero las posiciones de éstos pueden hallarse por solu- ción de la ecuación de Laplace correspondiente ($\nabla^2\phi = 0$, donde ϕ es el potencial eléctrico). Esto puede hacerse

387993

16



sea empleando una analogía de depósito o cuba electrolítica, sea por medio de métodos de relajación con una calculadora numérica.

5 En la aplicación práctica del presente invento en la que las señales espurias pasan desde la tercera región a los elementos conectados en contrafase, tienen aplicación las mismas consideraciones, salvo que en este caso son los puntos de potenciales correspondientes (y no los puntos nodales) del diseño de potenciales eléctricos los
10 que hay que determinar.

La realización de un amplificador de transistores de varias etapas, de alta frecuencia y elevada ganancia, conforme al presente invento, puede traer consigo el uso de una etapa de salida en contrafase que tenga dos transistores formados en unos islotes respectivos del circuito integrado, y el transistor o los transistores de una o más etapas precedentes, y preferiblemente por lo menos la etapa de entrada, formados en otro u otros islotes situados, como antes se ha dicho, en uno o más
15 puntos nodales del diseño de distribución de potenciales eléctricos en el substrato del circuito integrado. Alternativamente, la etapa de entrada y/o por lo menos una de las etapas intermedias del amplificador puede estar constituida por un par de transistores en contrafase formados
20 en unos islotes respectivos que estén situados en puntos de potencial correspondiente del diseño de distribución de potenciales eléctricos en el substrato, debido a estar formada en otro islote la etapa de salida del amplificador.

25 La invención puede aplicarse también para eliminar el efecto de retroacción de señales espurias entre tran-



sistores u otros elementos de circuito, de disposiciones de circuito de diferentes tipos que estén formadas en el mismo circuito integrado.

5 Para que la invención pueda comprenderse de modo más completo, se hará referencia en lo que sigue, a título de ejemplo, a los dibujos adjuntos, en los cuales:

- la figura 1 representa en sección recta un circuito integrado en el que hay formados dos transistores;

10 - la figura 2 ilustra esquemáticamente el camino de realimentación entre las regiones de colector de los dos transistores del circuito integrado de la fig. 1;

- la figura 3 ilustra esquemáticamente la situación de los islotes en un circuito integrado conforme a la invención;

15 - la figura 4 ilustra esquemáticamente el camino de realimentación entre las regiones de colector de los transistores del circuito de la fig. 3;

- la figura 5 representa esquemáticamente la situación de los islotes en otro circuito integrado conforme al presente invento; y

20

- la figura 6 ilustra esquemáticamente los caminos de realimentación o retroacción entre las regiones de colector de los transistores del circuito de la fig. 5

25 Con referencia a los dibujos, el circuito semiconductor integrado de la fig. 1 comprende dos regiones 1 y 2 que forman unión p-n con la parte 4 del cuerpo semiconductor. Las regiones (1,2) están dispuestas a modo de islotes en una capa epitáxica 3 de tipo n dispuesta en un substrato 4 de material de tipo p de gran resistividad, que forma la parte 4.

387993

16 MAR



Los islotes 1 y 2 están definidos en la capa epitáxica 3 por unas regiones de baja resistividad 5, 6, y 7, de material de tipo p, que se extienden a través de la capa epitáxica 3, desde la superficie de ésta hasta el sustrato. Las regiones 5, 6 y 7 están formadas por difusión y se denominan normalmente zonas de separación o aislamiento. Encada uno de los islotes 1 y 2 hay formado un transistor bipolar, por difusión de impurezas en las porciones de superficie de los islotes 1 y 2, a través de unas aberturas practicadas en una capa aislante o máscara protectora (no representada) de la superficie de la capa epitáxica 3. En cada uno de los islotes 1 y 2, el material de tipo n es el colector del transistor; la base del transistor es una región 8 (o 9) de un material de tipo p formada dentro del islote, y el emisor del transistor es una región 10 (u 11) de tipo n⁺, de un material de tipo n más conductor, dentro de la región de base 8 (o 9). Una región 12 (o 13) de tipo n⁺, de material más conductor, permite establecer conexión con la región de colector 1 (o 2).

La conexión de los dos transistores y las interconexiones entre ellos se lograrían mediante unas partes m de capa metálica que hacen contacto con las porciones de superficie de los transistores.

El aislamiento o separación eléctrica entre los dos transistores de los dos islotes se obtiene polarizando en sentido inverso las uniones p-n entre los islotes 1 y 2 de tipo n y el sustrato 4 de tipo p, y las zonas de aislamiento 5, 6 y 7. Ahora bien, existe una fuente importante de potencial de realimentación o retroacción a

lo largo de un camino que recorre el substrato 4 por medio de las capacidades de región de colector a substrato de los dos transistores. Este camino de retroacción se indica esquemáticamente en la fig. 2, en la que los dos transistores están representados en 14 y 15; sus capacidades de región de colector a substrato están representadas en 16 y 17; y la conducción en masa del substrato 4 está representada por la malla o agrupación de resistencias 18.

10 Si uno de los dos transistores se sustituye por dos transistores situados en islotes separados, habrá entonces un camino de retroacción entre el colector de cada uno de estos dos transistores y el colector del otro transistor. Esto se ilustra esquemáticamente en la fig. 3, que muestra un substrato 19 dotado de islotes 20, 21 y 22, con unos transistores 23, 24 y 25 que se suponen formados respectivamente en estos islotes. Las capacidades de región de colector a substrato de los transistores están representadas por los condensadores 26, 27 y 28, y los caminos de resistencia aportados por la conducción en masa del substrato 19 están representados por la malla de resistencias 29. La fig. 4 ilustra esquemáticamente la simetría de la malla o retícula 29 de resistencias que se obtiene cuando el islote 20 está situado simétricamente en relación con los islotes 21 y 22, respecto al eje central del circuito integrado. La conexión de los dos transistores 24 y 25 en contrafase dará por resultado que sus tensiones de colector se hallen en oposición de fase, de modo que las tensiones de realimentación que aparezcan en el colector del transistor 23, procedentes de los colectores

387993



16 MAR 1977

de los transistores 24 y 25 y por los caminos de retroac-
ción, serán de igual magnitud pero estarán en oposición
de fase, por lo cual se anularán entre sí en el colector
del transistor 23. Se supone que con esta simetría los
5 puntos nodales de potencial eléctrico debidos a las ten-
siones de retroacción o realimentación se hallarán a lo
largo del eje central del circuito integrado. Como antes
se ha dicho, pueden usarse las ecuaciones de Laplace para
hallar los puntos de potencial cero para situar el tran-
1 0 sistor en posición, para poder de ese modo eliminarse los
efectos de las tensiones de realimentación en los casos
en que no sea posible lograr una disposición simétrica.

Las figs. 5 y 6 ilustran la aplicación del invento
para eliminar los efectos de las tensiones de realimenta-
15 ción desde una primera etapa de transistores a otros dos o
más transistores o etapas de transistores en islotes res-
pectivos de un circuito integrado. En la fig. 5, dicha
primera etapa de transistores está dispuesta en forma de
etapa en contrafase que comprende dos transistores 30 y
20 31 contenidos en islotes respectivos 32 y 33, y cada uno
de los otros dos o más islotes 34 y 35 comprenden una
etapa respectiva de transistor, representada por los tran-
sistores 36 y 37 en ellos indicados. Los transistores 36
y 37, por ejemplo, pueden estar también conectados en
25 contrafase. La región 38 representa un diseño de difu-
sión de aislamiento hipotéticamente alto, en el substrato
39 del circuito integrado. Las resistencias 40 representan
la conducción en masa del substrato 39, y las capacidades
41-44 representan las respectivas capacidades de región
de colector a substrato de los transistores 30, 31, 36 y



5 37. Situando cada uno de los islotes 34 y 35 en un punto nodal del diseño de distribución de potenciales eléctricos que pueda aparecer en el substrato 39 a consecuencia de las señales espurias que vengan del colector de cada uno de los transistores en contrafase 30 y 31, se obtiene una disposición de realimentación simétrica como la indicada en la fig. 6. Así se elimina el efecto de retroacción o realimentación de las señales espurias en cada uno de los islotes 34 y 35.

10 Aun cuando la descripción que antecede se refiere únicamente al caso en que el acoplamiento de retroacción se efectúa desde el par conectado en contrafase a la tercera región, es evidente que resulta igualmente aplicable al caso inverso, salvo que en este último caso los requisitos de simetría estarán en relación con los puntos de potencial correspondiente en el diseño de distribución de potenciales eléctricos, y no con los puntos nodales.

15 Esta solicitud que corresponde a la presentada en Gran Bretaña el 6 de Febrero de 1970 nº 5808/70, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

25

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente

387993

16



de Invención en España, por VEINTE años son los siguientes:

5 1.- Una disposición de circuito integrado semiconductor que comprende un cuerpo semiconductor una parte del cual es de un tipo de conductividad, al menos una primera, una segunda y una tercera regiones adyacentes a dicha parte, estando aisladas dichas regiones una de otra, extendiéndose cada una hasta una superficie del cuerpo semiconductor, formando cada una una unión p-n con la parte de un tipo de conductividad, y comprendiendo cada una un elemento de circuito, caracterizada porque el elemento de circuito de la primera región y el de la segunda región están conectados en contrafase, siendo la impedancia del circuito constituido por la unión p-n entre la primera 10 región y dicha parte, la resistencia de la parte de cuerpo semiconductor entre la primera y la tercera regiones y la unión p-n entre la parte antes citada y la tercera región, sustancialmente igual a la impedancia del circuito formado por la unión p-n entre la segunda región y la parte mencionada, la resistencia de esta parte entre 20 la segunda y la tercera región y la unión p-n entre dicha parte y la tercera región.

25 2.- Una disposición según la reivindicación 1, caracterizada porque una cuarta región que está aislada de la primera, de la segunda y de la tercera regiones se encuentra junto a dicha parte y se extiende hasta dicha superficie del cuerpo semiconductor, forma una unión p-n con la parte de cuerpo semiconductor y comprende un elemento de circuito, siendo la impedancia del circuito formado por la unión p-n entre la cuarta región y dicha par-

ME

387993



te, la resistencia de la región entre la cuarta región y la primera y la unión p-n entre dicha parte y la primera región sustancialmente igual a la impedancia del circuito formado por la unión p-n entre la cuarta región y la parte de cuerpo semiconductor, la resistencia de la región entre la cuarta y la segunda regiones y la unión p-n entre dicha parte y la segunda región.

3.- Una disposición según la reivindicación 2, caracterizada porque los elementos de circuito de la tercera región y los de la cuarta región están conectados en contrafase.

4.- Una disposición según una cualquiera de las reivindicaciones precedentes, caracterizada porque el circuito integrado comprende un amplificador de transistores cuya etapa de salida está formada por los elementos de circuito conectados en contrafase de la primera y segunda regiones consistentes en transistores, comprendiendo la tercera región un transistor de una de las etapas precedentes del amplificador.

5.- Una disposición según la reivindicación 4, caracterizada porque el elemento de circuito de la tercera región está asociado con la etapa de entrada del amplificador.

6.- Una disposición según una cualquiera de las reivindicaciones precedentes, caracterizada porque la tercera y la cuarta regiones están dispuestas simétricamente con relación a la primera y a la segunda regiones.

7.- "Una disposición de circuito integrado semiconductor "

ME

387993

16 MAR.



Al y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de dieciseis hojas escritas a máquina por una sola cara.

Madrid, 16 MAR. 1971
p.a.

MCE

Alberjo de ~~Manresa~~
Por Pedra *[Signature]*

387993 16 MAR 1938

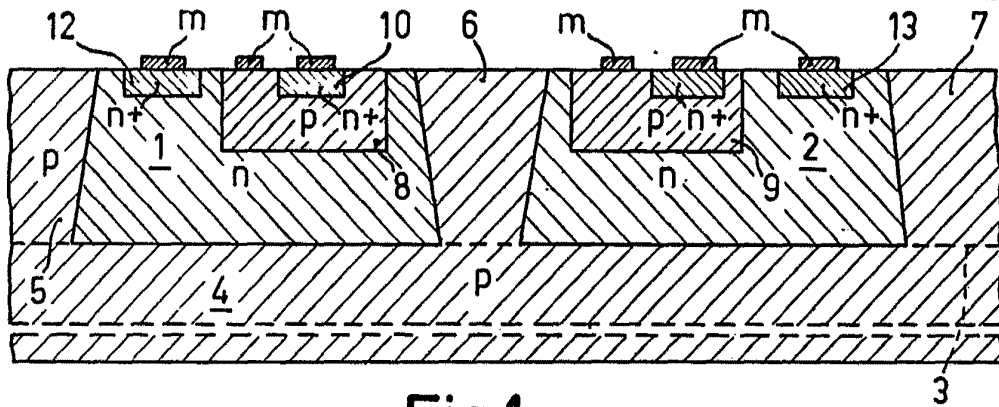


Fig. 1

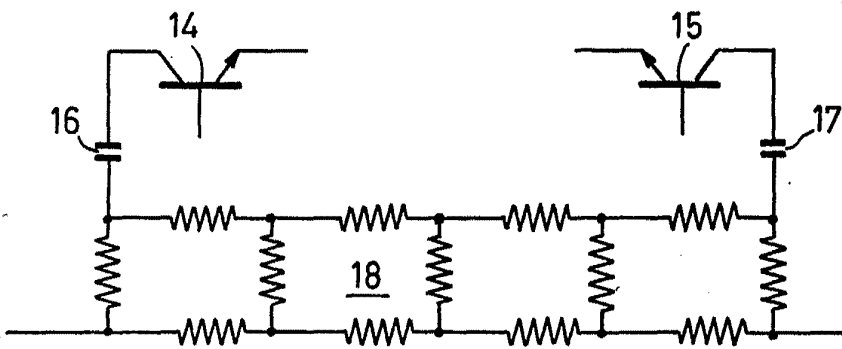


Fig. 2

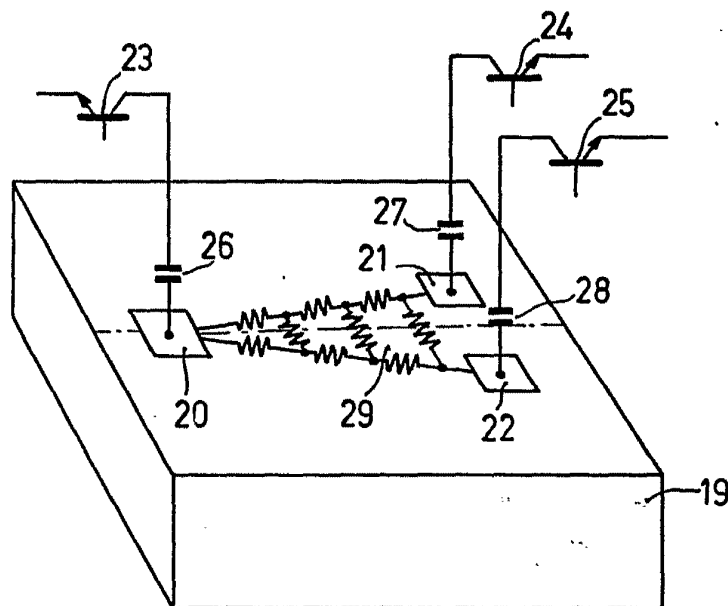


Fig. 3

16 MAR 1937

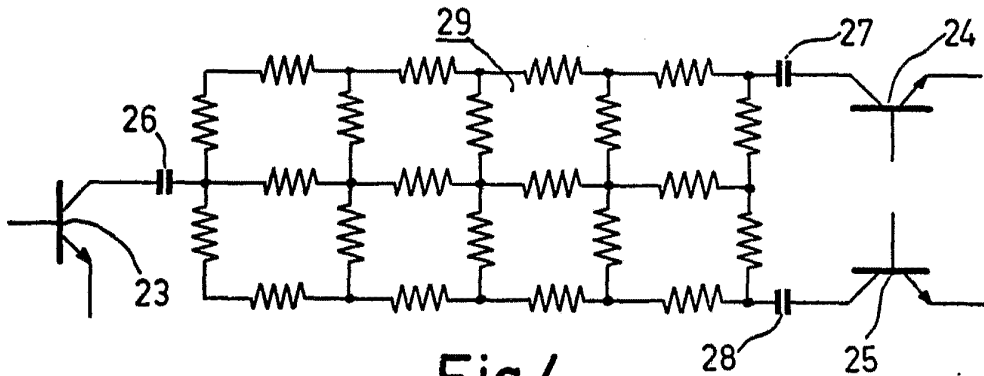


Fig.4

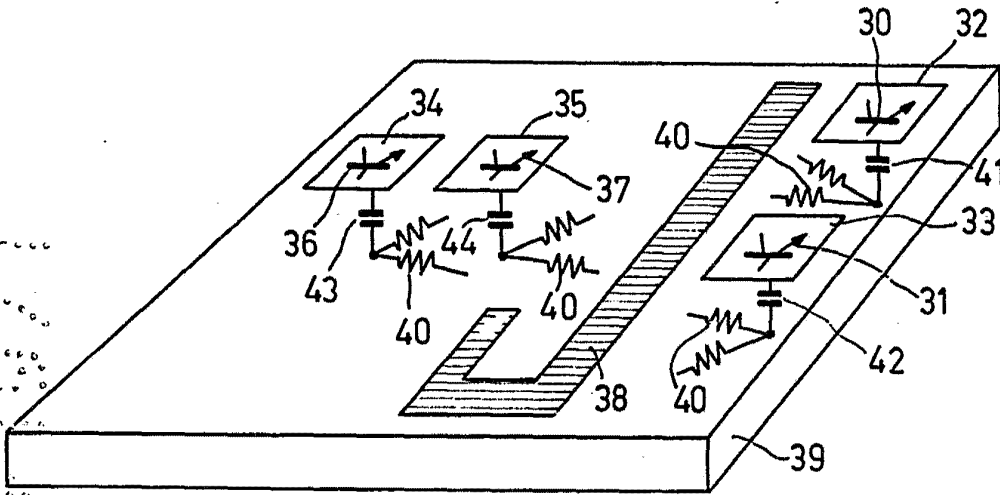


Fig.5

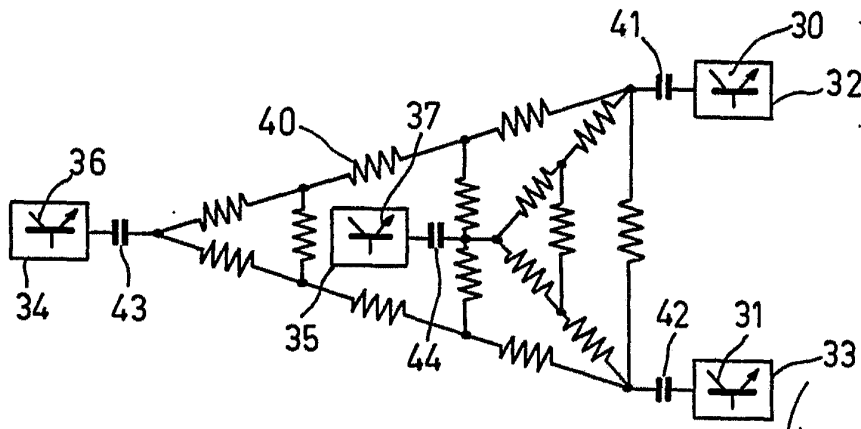


Fig.6