

- 4 FEB.



387 954

MEMORIA DESCRIPTIVA.

PATENTE DE INVENCION.

P A I S : ESPAÑA.

DURACION : 20 AÑOS.

**OBJETO : "PERFECCIONAMIENTOS INTRODUCIDOS EN LOS
"APARATOS DE CONTROL DIGITAL PARA CON-
"TROLAR LA CIRCULACION DE CORRIENTE DES-
"DE UNA FUENTE DE C.A. A UNA CARGA".**

A nombre de : GENERAL ELECTRIC COMPANY.

**Residente en : SCHENECTADY (New-York),
1, River-Road.**

Nacionalidad : ESTADOUNIDENSE.

ANULADO

**PROHIBIDA LA CONSULTA
Y LA EXPEDICION DE
COPIAS Y CERTIFICACIONES**

(P. 3.198 - CG.).
(Dkt. 21-SV-B463).

- 4 FEB 1971



El presente invento se refiere a una técnica de disparo digital y al aparato que utiliza tal técnica para controlar la circulación de corriente desde una fuente de c.a. a una carga. Más específicamente, el presente invento se refiere a

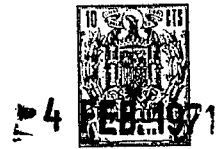
5.- un sistema de control digital para controlar la conducción de rectificadores controlables colocados entre una fuente de c.a. y una carga. Este invento se refiere al sistema descrito en la solicitud de Patente nº. 387.953, presentada simultáneamente con ésta y titulada "Perfeccionamientos introducidos en

10.- los aparatos de control digital para controlar la circulación de corriente desde una fuente de c.a. a una carga", y cedida al mismo cesionario que este invento, cuya solicitud de Patente es aquí incorporada como referencia.

Los sistema de control de motores del tipo descrito anteriormente usan a menudo amplificadores de corriente en que

15.- unos rectificadores controlados varían la circulación de energía eléctrica entre una fuente de c.a. y un motor. Por rectificadores controlados se quiere dar a entender una familia de dispositivos que presentan una impedancia de bloqueo relativamente alta a la circulación de energía eléctrica hasta que

20.- estos rectificadores controlados son polarizados en sentido directo y simultáneamente les son aplicadas señales de disparo a un electrodo de mando. En este momento, los rectificadores controlados proporcionan una impedancia muy baja a la circulación de corriente y continúan normalmente conduciendo co-



- riente hasta que son polarizados en sentido inverso y/o el nivel de circulación de corriente a través de ellos decrece por debajo de un nivel de corriente de mantenimiento mínimo necesario para conservar conduciendo estos rectificadores controlados. Los rectificadores controlados . Los rectificadores controlados incluyen dispositivos semiconductores tales como rectificadores controlados de silicio y dispositivos de tubo tales como ignitrones y tiratrones. La cantidad de corriente transferida a la carga del sistema es controlada por la variación de la duración de conducción de los rectificadores controlables. La duración de conducción de los rectificadores controlables es función del punto durante la forma de onda de c.a. en que son puestos en conducción. Este punto es denominado ángulo de disparo.
- 40.- El control del ángulo de disparo de los rectificadores controlables es realizado por circuitos denominados generalmente circuitos de disparo. Tales circuitos de disparo actúan en respuesta a una señal de entrada, indicativa de la corriente deseada para generar un impulso de disparo en el ángulo de disparo apropiado. Hablando en términos generales, el ángulo de disparo es directamente proporcional a la señal de entrada.
- 50.- Los circuitos de disparo de la técnica anterior han sido generalmente del tipo analógico, funcionando en respuesta a una señal de entrada cuya magnitud indica el ángulo de disparo deseado. Tales circuitos de disparo son compatibles con sistemas de la técnica anterior que han sido principalmente analógicos en su funcionamiento.
- 55.- Con el desarrollo de las técnicas y equipos digitales se está haciendo cada vez más deseable utilizar circuitos



digitales. Por tanto, se está haciendo muy común reemplazar elementos de un sistema analógico por circuitos digitales equivalentes funcionalmente.

En sistemas que utilizan rectificadores controlables para controlar la circulación de corriente desde una fuente de c.a. a una carga, se han usado circuitos digitales para generar las señales de mando del sistema y para realizar las operaciones aritméticas necesarias para derivar la señal de entrada para controlar la conducción de los rectificadores controlables. Esta señal, en forma digital, es luego convertida en una señal analógica para usar con circuitos de disparo analógicos convencionales. Esta práctica, sin embargo, da como resultado algún sacrificio inherente de la confiabilidad que está disponible en un sistema de control totalmente digital.

Es un objeto del presente invento proporcionar un sistema de control totalmente digital que vigila continuamente las señales indicativas de las características reales de una carga controlando al mismo tiempo la circulación de corriente desde una fuente de c.a. a una carga.

Es otro objeto de este invento proporcionar un sistema de control totalmente digital que controla la conducción de rectificadores controlables en respuesta a resultados vigilados continuamente de la conducción de estos rectificadores controlables.

Es otro objeto de este invento proporcionar un circuito de disparo digital mejorado para rectificadores controlables que proporciona señales de disparo en respuesta a características vigiladas continuamente de una carga para los rectificadores controlables.



Es aún otro objeto de este invento proporcionar un método mejorado de transferencia de corriente desde una fuente de c.a. a una carga que proporcione circuitos de control totalmente digitales para usarlos en la vigilancia continua de las características reales de una carga que recibe la corriente.

90.- Brevemente expuesto, el presente invento, funciona para generar una señal de error digital que se usa para controlar directamente la conducción de rectificadores controlables sin convertir antes la señal a un voltaje analógico. La lógica de detección de fase hace que un número preajustado positivo o negativo sea introducido en un contador reversible en el punto más temprano en la forma de onda de fase en que pueden ser disparados los rectificadores controlables. El

95.- contador reversible cuenta o descuenta luego desde este número preajustado hacia el cómputo cero. El contenido del

100.- contador reversible es comparado continuamente con la señal de error digital en un comparador que hace que un impulso de disparo sea alimentado en al menos uno de los rectificadores controlables cuando el contenido variable del contador

105.- reversible se hace igual o superior a la señal de error digital.

El objeto de este invento se señala particularmente y se reivindica claramente en la parte final de la solicitud.

110.- El invento tanto en cuanto a su organización como a su método de funcionamiento puede comprenderse mejor con referencia a la siguiente descripción tomada conjuntamente con los dibujos adjuntos en los que:

La figura 1 es un diagrama de bloques de un sistema

115.- que es una realización preferida del invento.



La figura 2 es un diagrama de tiempos que ilustra la realización en el tiempo de la entrada trifásica de c.a. y el funcionamiento de la lógica de detección de la fase mostrada en las figuras 1 y 3.

120.- La figura 3 es un diagrama detallado de la lógica de detección de la fase mostrada en forma de bloques en la figura 1.

La figura 4 es un diagrama lógico detallado de una parte de uno de los circuitos de disparo de la figura 1, que incluye un contador reversible.

125.- La figura 5 es un diagrama lógico detallado para una de las unidades contadoras de la figura 4.

La figura 6 es un diagrama lógico detallado de otra parte de uno de los circuitos de disparo de la figura 1, que incluye un comparador digital.

130.- La figura 1 muestra un diagrama de bloques de un sistema de control que constituye una realización del presente invento. La corriente es transferida desde una fuente de c.a. tal como el transformador trifásico indicado generalmente

135.- por 1 a una carga tal como el motor de c.c. 2 por una pluralidad de juegos de rectificadores controlables polarizados en sentidos opuestos tales como los SCR 3a, 3b, 3c, 4a, 4b, 4c. Los SCR son iniciados a conducción por circuitos de disparo tales como 5a, 5b y 5c que actúan para generar un impulso de disparo para el SCR apropiado en el momento deseado durante la forma de onda de c.a.

140.-

El sistema de la figura 1 es un sistema de control digital y funciona en respuesta a una señal de mando en forma digital como la generada por un generador de mando digital

145.- 6. La forma precisa de señal de mando digital no es importan-

24 FEB. 1970



- te para el propósito del presente invento. Puede comprender, por ejemplo, un tren de impulsos cuya frecuencia es indicativa de la velocidad del motor deseada o, alternativamente, un número digital cuya magnitud es indicativa de la velocidad deseada. Además, la forma particular del generador de
- 150.- mando digital 6 no es importante para los propósitos del presente invento pero puede comprender, por ejemplo, un multiplicador de frecuencia de impulso u otro generador de frecuencia variable en el caso en que la salida es un tren de impulsos de frecuencia variable. Similarmente, si la salida es un
- 155.- número digital, cualquiera de los varios métodos bien conocidos para generar un código digital de bitios múltiple será suficiente para el generador de mando digital 6.
- La salida del generador de mando digital 6 es una primera
- 160.- entrada a un generador de error digital 7. La otra entrada al generador de error digital 7 viene desde un dispositivo de realimentación 8 que está acoplado y es movido por el motor 2. El dispositivo de realimentación 8 puede comprender, por ejemplo, un simple generador de impulsos cuya frecuencia
- 165.- de salida es proporcional a la velocidad del motor que se está controlando. El propósito del generador de error digital 7 es comparar el mando digital desde el generador de mando digital 6 con la salida del dispositivo de realimentación 8 y generar una señal de error resultante para iniciar la
- 170.- conducción de los rectificadores controlables interpuestos entre la fuente de c.a. 1 y el motor 2. Para los propósitos del presente invento, el generador de error digital 7 es mostrado con una señal de salida que es designada en esta memoria como una señal de error y que es preferiblemente tomada
- 175.- desde un contador o registrador digital dentro del generador



de error 7. La forma o codificación de la señal de error es importante sólomente en la medida en que debe ser compatible con las señales digitales utilizadas en circuitos de disparo 5a, 5b y 5c que serán descritos más adelante.

- 180.- Estos circuitos de disparo son de forma digital y están adaptados para tomar la salida del generador de error digital 7 y generar un impulso de disparo para un SCR apropiado en respuesta a la magnitud y sentido del error digital. Es necesario establecer un intervalo de control para cada SCR
- 185.- a fin de que la conducción del mismo pueda ser iniciada por la señal de error digital en un punto en el ciclo de excitación en que se desea que conduzca el SCR apropiado. Esta relación en el tiempo es controlada por medio de un circuito
- 190.- 9 lógico de detección de fase que tiene sus entradas conectadas a las tres fases de la fuente de c.a. l. Como se explicará en detalle más adelante, el sistema proporcionará medios para la conducción de los SCR conectados a una fase particular de la fuente de c.a. durante instantes particulares. El control de esta relación de tiempo se establece
- 195.- por la lógica 9 de detección de fase que genera señales en sus salidas 10a, 10b y 10c para iniciar y terminar los intervalos de control para el circuito de disparo apropiado. La lógica de detección de fase 9 también proporciona señales de salida en sus salidas 11a, 11b y 11c y salidas 12a, 12b y
- 200.- 12c que activan los contadores reversibles, que se describen más adelante, en los circuitos de disparo 5a, 5b y 5c para un número digital positivo o para uno negativo. Las señales en las salidas 10a, 10b y 10c de la lógica de detección de fase 9 también determinan que o bien un SCR polarizado
- 205.- positivamente o bien negativamente de una fase dada sea



disparado durante el intervalo de control, y fija la dirección de cómputo de los susodichos contadores reversibles desde los números digitales preajustados.

Expuesto de modo general, entonces, el propósito de la
210.- lógica de detección de fase 9 es percibir el punto más temprano durante cada semiciclo de la onda de entrada de c.a. en que puede ser generado un impulso de disparo, y entonces definir un intervalo de control en que es mantenida una comparación de funcionamiento continuo entre la señal de error
215.- digital y el contenido cambiante del contador reversible. Definiendo el intervalo de control, la lógica de detección de fase 9 selecciona el SCR que va a ser disparado y condiciona el circuito de disparo apropiado de modo que el SCR seleccionado pueda ser disparado linealmente con respecto a la magnitud y sentido de la señal de error digital.
220.-

Habiendo cargado un número preajustado positivo o uno negativo en el circuito de disparo, es entonces necesario actuar sobre este número para generar un impulso de disparo temporizado apropiadamente. La relación de tiempo de este
225.- impulso de disparo es controlada por un generador de impulsos de reloj 13 que alimenta a los terminales 13a, 13b y 13c de cada uno de los circuitos de disparo 5a, 5b y 5c, respectivamente. En la realización particular que va a ser descrita a continuación, cada uno de los circuitos de disparo incluye
230.- un contador reversible que recibe el número preajustado bajo el mando desde la lógica 9 de detección de fase. El contenido del contador reversible, entonces, es contado en una dirección desde este número preajustado según es determinado por el sentido de las señales en los terminales de
235.- salida 10a, 10b y 10c, hasta que el contenido del contador



reversible cambia a la magnitud que es igual o excede de la señal de error. Un comparador digital está previsto en cada circuito de disparo para percibir este cambio y proporcionar una señal de disparo para el SCR apropiado en el momento de este suceso. Este funcionamiento se explicará con mayor detalle en el curso de la discusión del circuito de disparo específico ilustrado en las figuras 4 y 6.

240.- Brevemente, el funcionamiento del sistema mostrado en la figura 1 puede ser definido en términos de las siguientes operaciones o pasos:

1. La salida del generador de mando digital 6 es comparada con la salida del dispositivo de realimentación 8 en el generador de error digital 7 para producir una señal de error digital.

250.- 2. La lógica 9 de detección de fase examina las formas de onda de c.a. trifásica de los arrollamientos del transformador la, lb y lc que están conectados a sus terminales de entrada y genera señales en sus salidas l0a, l1a, l2a, etc., cuando un intervalo de control ha de ser establecido

255.- para un circuito de disparo particular. Estas señales de salida preajustan un número digital en un contador reversible del circuito de disparo, controlan el sentido de cómputo, y funcionan para elegir el SCR particular a que ha de ser alimentado un impulso de disparo.

260.- 3. Más adelante, el contenido del contador reversible es contado desde el número preajustado por la salida del generador de impulso de reloj l3 a un régimen determinado por la frecuencia del mismo. La comparación continua de la señal de error digital con el contenido del contador reversible

265.- es hecha por un comparador digital del circuito de disparo.



270.- 4. Cuando el contenido cambiante del contador reversible iguala o supera la señal de error digital, el circuito de disparo proporciona un impulso de salida o bien en su salida 16, si uno de los SCR 3 polarizado negativamente ha de ser excitado, o bien en su salida 17, si uno de los SCR 4 polarizado positivamente ha de ser excitado. Este cambio en el contenido del contador con respecto a la señal de error puede ser convenientemente un cambio en el signo de la diferencia entre los valores digitales que pueden ser detectados por un comparador de diferencia descrito a continuación.

280.- Volviendo ahora a la figura 2(a), se ha mostrado, en forma de onda rectangular, la bien conocida relación entre las fases de una fuente de c.a. tal como la fuente 1 de la figura 1. Como se ha visto en la descripción de la figura 1, hay dos SCR conectados a cada fase de la fuente 1 de c.a. Estos SCR están polarizados en sentidos opuestos de manera que conduzcan en sentidos opuestos. A modo de ejemplo, los SCR 3a y 4a están conectados a la fase A de la fuente de c.a. 1 a través del arrollamiento 1a. En cualquier sistema de control de este tipo, es necesario determinar la parte particular de la forma de onda de c.a. durante la que puede permitirse conducir a un SCR particular.

290.- Un método de controlar la conducción de los SCR es permitir a un SCR polarizado positivamente conducir durante la parte total de la forma de onda de c.a. en que su polaridad es positiva y permitir al SCR polarizado negativamente conducir durante la totalidad de la parte negativa de la forma de onda de c.a. Por esta razón, al SCR 4a podría permitírsele conducir durante la parte positiva de la forma de onda de c.a. en la fase A, es decir, desde 0° a 180°. Similarmente,



300.- al SCR 3a podría permitírsele conducir desde 180º a 360º. En tal sistema, el intervalo de control se establecería por la salida de lógica de detección de fase en 0º y en 180º, y se producirían impulsos de disparo por comparación del número preajustado con la señal de error digital en el circuito de disparo "A" comenzando en 0º y de nuevo en 180º.

305.- Algunos sistemas, sin embargo, requieren que el intervalo de control sea distinto del sincrónico con la forma de onda de c.a. de la entrada. Por ejemplo, puede desearse permitir conducir a un SCR particularmente polarizado sólo durante una parte limitada de su entrada de c.a. asociada. En la presente realización, se desea permitir a cada SCR conducir sólo durante los últimos 120º de su entrada de c.a. asociada, polarizada apropiadamente, más 60º en la mitad opuesta de la tensión aplicada de su fase para permitir el frenado dinámico del motor. De este modo, al SCR 4a se le permitirá conducir desde 60º a 240º mientras al SCR 3a se le permitirá conducir desde 240º a 60º. Similarmente, el SCR 4b puede conducir desde 180º a 360º y el SCR 3b desde 0º a 180º. Finalmente, el SCR 4c puede conducir desde 300º a 120º y el SCR 3c desde 120º a 300º. Por ello, la lógica 9 de detección de fase debe generar señales de salida en sus terminales 10a, 11a, 12a, etc., para definir estos intervalos de control.

315.-
320.- Antes de volver al diagrama lógico detallado de las figuras 3, 4 y 6, es necesario describir los elementos lógicos usados en ellos. Como la presente realización es un sistema digital, el aparato descrito funciona en dos niveles lógicos, denominados como "0" lógico y "1" lógico. Estos niveles lógicos son realmente modos de identificar un nivel de

325.-



tensión particular. Por ejemplo, un "1" lógico puede ser alguna tensión positiva, por ejemplo, + 4 voltios, mientras que el "0" lógico será un voltaje inferior, por ejemplo 0 voltios. Está claro, desde luego, que los niveles lógicos particulares no forman parte del presente invento y se hace referencia a ellos solamente para ayudar a la descripción de la realización preferida. Además está también claro que aunque la realización preferida utiliza lógica NAND (de coincidencia negativa), cualquier tipo de sistema lógico, positivo o negativo, podría ser usado igualmente bien sin salirse del espíritu del invento.

330.- En la figura 4, el elemento lógico designado con el número 41 es una simple puerta NAND. El funcionamiento de la puerta es tal que cuando todas sus entradas (designadas por una flecha) son "1" lógicos, la salida (designada por el círculo) será un "0" lógico. En todas las demás condiciones de entrada, la salida de la puerta 41 será un "1" lógico. Esto es cierto indiferentemente del número de entradas previstas. De este modo, si una puerta tiene solamente una única entrada (tal como la puerta NAND 42) funciona como un simple inversor ya que cuando su única entrada es un "1" lógico, su salida será un "0" lógico. Inversamente, si su única entrada es un "0" lógico, su salida será un "1" lógico de modo que funciona para invertir el sentido de una única señal lógica en su entrada.

340.- El elemento lógico de la figura 3 designado con el número 20 y referenciado "PD" es un detector de fase que funciona para transformar una entrada de c.a. sinusoidal en una onda rectangular. En su forma más simple, el detector de fase 20 puede comprender por ejemplo, un amplifica-

355.-



dor y limitador que amplifica la señal de entrada de c.a. y la limita a un cierto nivel de tensión compatible con el sistema lógico en que se usa.

360.- El símbolo lógico de la figura 3 designado con los números 22 y 23 y denominado "OS" es un sencillo multivibrador monoestable o monovibrador. Funciona en respuesta a una señal en su entrada, designada por la flecha, para generar un impulso de una duración determinada en su salida. El monoestable específico mostrado en la figura 3 funciona de la siguiente manera - cuando la señal en su entrada (designada por la flecha) va desde un "1" lógico a un "0" lógico, se generará un impulso en la salida que va desde el "1" lógico al "0" lógico durante un período de tiempo determinado.

370.- En la figura 4 que representa en detalle una parte del circuito de disparo 5b de la figura 1, el elemento lógico indicado por el número 32 es un paso contador reversible. El funcionamiento del paso contador reversible 32 puede ser mejor comprendido con referencia a la figura 5 que muestra el diagrama lógico detallado del mismo. El paso contador reversible 32 comprende un biestable J-K 50 normal y tres puertas NAND 51, 52 y 53. El biestable J-K funciona de la siguiente manera bien conocida. Las dos entradas referenciadas P_j y P_k son los terminales de activación directa y de reposición directa y funciona, si son excitados separadamente, de modo que una aplicación de un "0" lógico al terminal P_j hace que el biestable J-K 50 adquiera el estado activado. Inversamente, en las mismas condiciones, la aplicación de un "0" lógico al terminal P_k hace que el biestable J-K 50 adquiere el estado repuesto. Los terminales de entrada J y K son respectivamente los terminales de gobierno de activación y de gobierno de



reposición. Finalmente, el terminal "C" es el terminal de reloj o de disparo. El funcionamiento del biestable J-K 50 desde los terminales de mando de activación y mando de reposición es como sigue: un "1" lógico en el terminal J de mando de activación, seguido de una señal de disparo en el terminal "C" de reloj hace que el biestable J-K 50 adquiera el estado activado. Una señal de disparo en el terminal "C" de reloj es definida como una señal que va desde el "0" lógico al "1" lógico. Similarmente, un "1" lógico en el terminal K de reposición seguido de un disparo en el terminal "C" de reloj hace que el biestable J-K 50 adquiera el estado repuesto. Cuando existe un "1" lógico en ambos terminales de entrada J y K como en la presente realización mostrada en la figura 5, el biestable J-K 50 será hecho cambiar de estado al siguiente disparo en el terminal "C" de reloj. Los terminales de salida Q y \bar{Q} indican el estado del biestable J-K 50. El terminal de salida Q será un "1" lógico cuando el biestable J-K 50 está activado y el terminal de salida \bar{Q} será un "1" lógico cuando el biestable J-K 50 está repuesto.

La combinación del biestable J-K 50, y las puertas NAND 51, 52 y 53 forma un único paso de un contador reversible del tipo síncrono o no progresivo. Es decir, cuando el contador recibe un impulso de entrada, todos los pasos del contador cambian de estado simultáneamente en lugar de ser activados los pasos sucesivos por cambios en los pasos precedentes como sucede en realidad en un contador del tipo progresivo. Por tanto, el paso contador 32 tiene un primer terminal de entrada denominado YN-1 que tiene la siguiente característica booleana para formar parte de un contador rever-



sible de tipo síncrono:

$$\underbrace{Y_{N-1}}_{\text{entrada al paso 32}} = \underbrace{\text{CUENTO } Y_{N-1} \cdot Q}_{\text{del paso 31}} + \underbrace{\text{DESCUENTO } Y_{N-1} \bar{Q}}_{\text{del paso 31}}$$

420.- En otras palabras, la entrada al terminal Y_{N-1} del paso 32 será un "1" lógico si el contador está contando en la dirección de cómputo y todos los pasos precedentes están activados, o si el contador está funcionando como un descontador y todos los pasos precedentes están repuestos. El terminal de entrada denominado "C" es, como se ha mencionado previamente, el terminal de entrada de reloj.

425.- Para determinar la dirección en que contará el contador, se han previsto dos terminales de entrada adicionales denominados U y D que son los terminales de cómputo y descuento, respectivamente. Además, para preajustar el contador al número deseado, hay previstos terminales de entrada P_j y P_k que constituyen los terminales de entrada de activación y reposición directas, respectivamente.

430.- La salida de cada paso del contador, la señal Y_N , tiene la siguiente característica booleana:

$$Y_N = \underbrace{\text{CUENTO } Y_{N-1} \cdot Q}_{\text{del paso 32}} + \underbrace{\text{DESCUENTO } Y_{N-1} \bar{Q}}_{\text{del paso 32}}$$

435.- En otras palabras, la señal Y_N será un "1" lógico si el paso particular y todos los pasos precedentes están activados cuando el contador está contando o si el paso particular y todos los pasos precedentes están repuestos cuando el contador está descontando. La primera parte de esta relación (CUENTO $Y_{N-1} Q$) es cumplida por la puerta 51 que tiene como su entrada la señal U, la señal Y_{N-1} y la salida Q del

440.-

445.-



biestable J-K 50. Si la totalidad de estas tres señales son "1" lógicos entonces la salida de la puerta 51 será un "0" lógico. Como la salida de la puerta 51 forma una de las entradas a la puerta 53, la salida de la puerta 53, en estas condiciones será un "1" lógico. Similarmente, la segunda parte de esta relación (DESCUENTO $YN-1 \bar{Q}$) es cumplida por la puerta 52 que tiene como sus entradas la señal D, la señal $YN-1$, y la salida \bar{Q} del biestable J-K 50. Si la totalidad de estas tres señales son "1" lógicos, entonces la salida de la puerta 52 será un "0" lógico. Como la salida de la puerta 52 forma la segunda entrada a la puerta 53, la salida de la puerta 53 será un "1" lógico siempre que la salida de la puerta 52 sea un "0" lógico. La inter-relación y el funcionamiento de los múltiples pasos de un contador reversible completo serán explicados con más detalle durante la detallada descripción de la parte del circuito de disparo mostrado en la figura 4.

La figura 3 muestra un diagrama detallado de la lógica 9 de detección de fase de la figura 1. Como se ha señalado en la descripción general de la figura 1, el propósito de la lógica de detección de fase 9 es sincronizar el intervalo de control con la forma de onda de entrada de c.a. y condicionar el circuito de disparo apropiado, por medio de señales de salida en los terminales 10a, 11a, 12a, etc. Las señales de salida en los terminales 10 definen el intervalo de control, establecen la dirección de cómputo del contador reversible en el circuito de disparo digital, y establecen que sea disparado o bien un SCR polarizado positivamente o bien uno polarizado negativamente. Las señales de salida en los terminales 11 y 12, respectivamente, determinan cuando



el contador reversible ha de ser preajustado y si ha de ser preajustado a un número digital positivo o a uno negativo.

480.- A modo de ejemplo, se ha mostrado que los intervalos de control, para el circuito de disparo "B" 5b han de comenzar en 0° y en 180°. Estos tiempos particulares resultan ser sincrónicos con los cambios en polaridad de la fase "A" desde la fuente de c.a. Por tanto, la lógica 9 de detección de fase definirá un cambio en el intervalo de control para el circuito de disparo "B" 5b siempre que cambie la polaridad de la fase "A".

485.- Esto se cumple en virtud del detector de fase 20a que funciona para transformar la fase "A" desde una señal sinusoidal a una señal de onda rectangular. La salida del detector de fase 20a es alimentada a un primer monoestable 22a y a una primera puerta NAND 21a. Cuando la fase "A" cambia de polaridad desde el positivo al negativo, como se ha ilustrado mejor en la figura 2 (b), la salida del detector de fase 20a cambia desde un "1" lógico a un "0" lógico.

490.- Como la salida del detector de fase 20a está acoplada a la entrada del monoestable 22a, el monoestable 22a generará una señal de salida que cambia desde el "1" lógico al "0" lógico durante un período predeterminado de tiempo. La salida del monoestable 22a es invertida por una puerta 24a cuya salida cambia en consecuencia desde un "0" lógico a un "1" lógico durante el mismo período de tiempo predeterminado.

495.- La salida de la puerta 24a está conectada al terminal de salida 11b de la lógica 9 de detección de fase.

500.-

También, la salida del detector de fase 20a está acoplada a la entrada de un segundo monoestable 23a a través de la puerta 21a. Sin embargo, ya que la puerta 21a invierte esta salida, la señal en la entrada del monoestable 23a irá desde

505.-



un "0" lógico a un "1" lógico cuando la fase "A" cambia de polaridad, positiva o negativa y, por consiguiente, el monoestable 23a no producirá un impulso de salida. Sin embargo, la entrada del monoestable 23 está conectada al terminal de salida 10b de la lógica 9 de detección de fase y puede verse fácilmente que cuando la fase "A" es negativa en polaridad, la señal en la salida 10b será un "1" lógico.

510.- Cuando la fase "A" cambia de nuevo en polaridad desde el negativo al positivo, como se ha ilustrado también en la figura 2(b), la salida del detector de fase 20a, figura 3 cambia desde un "0" lógico a un "1" lógico. En este momento, será generado un impulso de salida por el monoestable 23a pero no por el monoestable 22a. La salida del monoestable 23a es invertida por una puerta 25a conectada al terminal 12b de salida de la lógica 9 de detección de fase y comprenderá un impulso de "1" lógico que existe durante un período de tiempo predeterminado. También, cuando la salida del detector de fase 20a es invertida por la puerta 21a y alimentada al terminal de salida 10b, la señal en el terminal de salida 10b cambiará en este momento a un "0" lógico.

520.- Como puede observarse en las figuras 3, 4 y 6, las salidas 10b, 11b y 12b están acopladas al circuito de disparo "B" 5b. Brevemente, realizan las siguientes funciones:

1. La salida 10b inicia y acaba el intervalo de control de los SCR 3b y 4b de la figura 1, asociados con el circuito de disparo "B" 5b. Con referencia a las figuras 2a y 2b, debe notarse que durante el intervalo de 0° a 180°, la fase "A" es positiva como muestra la figura 2a. Durante este intervalo de 0° a 180°, como muestra la figura 2b, la salida en el terminal 10b es un "0" lógico, y la fase "B" en la figura 2a cam-



bía, en 120° , desde el negativo al positivo donde permanece hasta los 300° , en cuyo instante vuelve al negativo. De este modo, el intervalo de control deseado para el SCR 3b polarizado negativamente de la figura 1 es definible por los cambios de polaridad y la polaridad de onda de la fase "A" mostrada en la figura 2 como comprendiendo el intervalo entre 0° y 180° , coincidente con la presencia de un "0" lógico en el terminal 10b. Similarmente, de modo coincidente con la semi-onda negativa de la fase "A", la salida del terminal 10b es un "1" lógico y ambos prevalecen durante el intervalo desde 180° a 360° (0°). Este es el intervalo de control deseado para el SCR 4b polarizado positivamente de la figura 1. El sentido lógico de la salida 10b también controla la dirección de cómputo del contador reversible en el circuito de disparo 5b. Finalmente, el sentido lógico de la salida 10b determina a que SCR del par 3b-4b le va a ser proporcionado el impulso de disparo.

2. Las señales en las salidas 11b y 12b de la figura 3 proporcionan impulsos que ajustan el contador reversible en el circuito de disparo 5b a un número digital codificado en binario bien positivo o bien negativo. Así, cuando el intervalo de control para el negativo SCR 3b es iniciado por el cambio del sentido lógico en la salida 10b desde un "1" lógico a un "0" lógico, el impulso de salida generado por el monoestable 23a y la puerta 25a aparece en el terminal 12b y es acoplado por ello al circuito de disparo 5b para preajustar su contador reversible a un número digital negativo predeterminado. Asimismo, cuando el intervalo de control para el SCR 4b positivo es iniciado por la salida en el terminal 10b que va desde un "0" lógico a un "1" lógico, el impulso producido por



el monoestable 22a y la puerta 24a aparece en el terminal 11b y es por ello acoplado al circuito de disparo 5b para preajustar su contador reversible a un número digital positivo predeterminado.

- 570.- La señal necesaria para definir los intervalos de control restantes y para condicionar los otros dos circuitos de disparo 5a y 5c es producida por el resto de los circuitos lógicos mostrados en la figura 3. Este circuito es idéntico en su forma y funcionamiento al descrito para controlar el
- 575.- circuito de disparo 5b "B" y está denotado con números similares, con los sufijos "a" y "c".

Para comprender totalmente el circuito de disparo mostrado en las figuras 4 y 6, es necesario primero explicar la forma de la señal de error generada por el generador de error digital 7. Esta señal de error puede ser bien positiva o bien negativa en polaridad. La señal de error digital de la presente realización está en notación binaria pura, pero podría ser usado cualquier código con pequeñas modificaciones en los circuitos lógicos. Para los propósitos de explicación de la

580.- presente realización, la señal de error digital se supone que es un número binario puro de seis bits usándose un séptimo bitio (el más significativo) para representar el signo del error.

Para errores positivos, la señal de error indica la magnitud del error en forma binaria pura, siendo el bitio de

590.- signo el "0" para indicar un error positivo.

Para señales de error negativas, el bitio de signo es un "1" y la magnitud del error es codificada en el denominado complemento de dos. Esto es, un número negativo es obtenido comenzando con un número positivo de magnitud correspon-

595.-



diente y sustituyendo los 0 con 1 y los 1 con 0 y añadiendo uno al resultado.

Los siguientes ejemplos sirven para ilustrar la codificación de la señal de error digital que se usa en la presente realización:

600.-

$$\begin{array}{r}
 + 5 = 0000101 \\
 - 5 = 1111010 \\
 \hline
 + 1 \\
 \hline
 1111011
 \end{array}$$

605.-

Con referencia ahora a la figura 4, se ha mostrado un diagrama lógico detallado de la parte del contador reversible del circuito de disparo 5b de la figura 1. Los circuitos de disparo 5a, 5b y 5c son idénticos. En la presente realización, el ángulo de disparo deseado es directamente proporcio-

610.-

nal a la magnitud de la señal de error digital. Así, una señal de error de máxima magnitud conduciría a un disparo de los SCR en el instante más temprano posible, es decir, 120° antes de un cambio en la polaridad de la forma de onda de c.a. Brevemente, esto se cumple, cargando un número digital

615.-

preajustado que tiene una magnitud igual a la señal de error máxima esperada en un contador reversible 30 compuesto por pasos contadores 31-37 y puertas 40-42 al comienzo del intervalo de control.

620.-

El contenido del contador reversible 30 es entonces contado a una velocidad predeterminada hasta que una relación predeterminada entre la señal de error y el contenido del contador reversible 30 experimenta un cambio, tal como un cambio en el signo de la diferencia entre ellos, en cuyo momento es generado un impulso de disparo. Cuando la lógica 9

625.-

de detección de fase indica que debe ser disparado el recti-



630.-
ficador controlable 4b de polaridad positiva, un número digital positivo es presjustado en el contador reversible 30 y a continuación el contenido del contador reversible 30 es descontado desde este número positivo. Por otro lado, si la lógica de detección de fase 9 indica que debe ser disparado el SCR 3b de polaridad negativa, es preajustado un número digital negativo en el contador reversible 30 y a continuación el contenido del contador reversible 30 es contado.

635.-
Más específicamente, la operación es iniciada y el intervalo de control es establecido por un cambio en el estado lógico de la salida de la lógica 9 de detección de fase en el terminal 10b. Como se ha explicado antes, la señal en el terminal 10b será un "1" lógico durante todo el intervalo de control deseado para el SCR 4b polarizado positivamente. El terminal 10b es conectado directamente a los terminales de entrada D de los pasos contadores 31-37 de modo que el contador 30 descontará desde su número preajustado a una velocidad determinada por los impulsos de reloj presentes en el terminal de entrada 13b y acoplados a los terminales de reloj "C" de los pasos contadores 31-37.

645.-
Al mismo tiempo que el cambio en el sentido lógico de la señal de salida en el terminal 10b está mandando al contador 30 para que cuente en una dirección predeterminada, la existencia de un impulso de salida en cualquiera de los terminales 11b o 12b actúa para preajustar bien un número digital positivo o negativo en el contador 30. Cuando se desea controlar el SCR 4b positivo, como se ha indicado anteriormente, un impulso de salida de "1" lógico está presente en el terminal 11b. Este impulso de salida es acoplado a una entrada de una puerta NAND 40 cuya otra entrada es alimenta-

650.-

655.-



da con una señal de CARGA cuyo estado es siempre un "1" lógico. Al coincidir la señal CARGA y el impulso de salida en el terminal 11b, un "0" lógico es generado en la salida de la puerta 40 que está acoplada a los terminales de activación P_j de los pasos contadores 31-36. Por aplicación de un "0" lógico a estos terminales, la señal en las salidas "Q" de los pasos contadores 31-36 pasa a "L" lógico. Adicionalmente, la salida de la puerta NAND 40 es acoplada a los terminales de reposición P_k del paso contador 37. El bitio de signo del número digital contenido en el contador reversible 30 está representado por el paso contador 37 y por consiguiente, cuando un número positivo ha de ser preajustado en el contador 30, la aplicación de un "0" lógico al terminal de reposición P_k del paso contador 37 cambia la salida en el terminal "Q" del mismo a un "0" lógico. Por ello al comenzar el intervalo de control para el SCR 4b positivo, el contador 30 contiene el número digital positivo 011111.

Durante la totalidad del resto del intervalo de control, el contador 30 descuenta desde el número preajustado a una velocidad determinada por los impulsos de reloj aplicados desde el terminal 13b a los terminales de reloj "C" de los pasos contadores 31-37. Para determinar la frecuencia del generador de reloj 13, se necesita considerar la frecuencia de la entrada de c.a., el número de paso del contador 30, la duración del intervalo de control y el grado de "endurecimiento". La última cantidad mencionada se refiere al disparo del SCR apropiado antes del punto de paso por cero de la forma de onda aplicándose una señal de error cero desde el generador de error digital 7. Desde luego, puede desearse disparar el SCR en el punto de paso por cero, o muy dentro de la parte



de 60 Ω de la forma de onda de c.a., y de este modo el siguiente cálculo utilizando "endurecimiento" es meramente ilustrativo.

690.- Si se supone que la frecuencia de la línea de c.a. es 60 Hz; que cada intervalo de control es 180 Ω , como se ha dicho anteriormente; que el grado de endurecimiento requerido es 15 Ω ; que hay seis pasos contadores y que el disparo más temprano del SCR está avanzado 120 Ω , la frecuencia de cómputo debe ser igual a:

695.-
$$\frac{60 \text{ ciclos}}{\text{seg}} \times \frac{360\Omega}{\text{ciclo}} \times \frac{(2^6-1) \text{ cálculos}}{(120-15)\Omega} \quad \text{ó } 13 \text{ KHz}$$

700.- Cuando se desea la conducción del SCR 3b negativo, la definición del intervalo de control tiene lugar de una manera similar que para el SCR 4b positivo, con la excepción de que un impulso preajustado de "1" lógico es proporcionado al terminal 12b que, junto con la señal de CARGA, es aplicado a una segunda puerta NAND 41. Al producirse esta coincidencia es generado un "0" lógico en la salida de la puerta 41 que es acoplada a los terminales de reposición P_k de los pasos contadores 31-36 para cambiar la señal de salida de los mismos, como se ha representado en los terminales "Q" a un "0" lógico. Análogamente, la conexión de la salida "0" lógico de la puerta NAND 41 al terminal de activación P_j del paso contador 37 cambia el bitio de signo de la señal de salida o bitio más significativo en el terminal "Q" del paso 37 a un 710.- "1" lógico y así el contador 30 es preajustado al comenzar el intervalo de control para el SCR 3b negativo al número digital negativo 1000000.

715.- El contador 30 es entonces mandado para contar desde este número preajustado negativo por la aplicación de un "1" lógico a los terminales "U" de los pasos 31-37, siendo obte-



nida la señal "1" lógico invirtiendo por medio de la puerta 42, la señal "0" lógico presente en el terminal 10b durante todo el intervalo de control negativo.

720.- El contenido del contador reversible 30 es continuamente vigilado en los terminales de salida C1 a C7 del mismo que es alimentado a los correspondientes terminales de entrada de un comparador 60 de bitio digital mejor ilustrado en la figura 6. En la realización específica mostrada en la figura 6, el comparador de bitio digital 60 tiene dos salidas denominadas F y \bar{F} que indican cuando cambia una relación predeterminada entre la señal de error digital aplicada a las entradas E1 a E7 del comparador 60 de bitio digital y el contenido del contador reversible 30, según está representado por las entradas C1-C7. El comparador puede ser elegido de modo que las salidas F y \bar{F} representen la dirección de cambio de signo de la diferencia entre la señal de error y el contenido del contador reversible. De este modo, cuando el contador reversible 30 es activado a un número digital positivo, y la señal de error es un número digital positivo de menor valor, la condición antes mencionada, es satisfecha cuando el signo de la diferencia de comparación va desde el negativo al positivo, y se producirá un "1" lógico en el terminal de salida "F". Por el contrario, cuando el contador reversible 30 es preajustado a un número digital negativo, la condición antes mencionada es verificada cuando el signo de la diferencia de comparación pasa desde el positivo al negativo, y se producirá un "1" lógico en el terminal de salida \bar{F} .

725.-

730.-

735.-

740.-

745.- No se requiere un tipo particular de comparador para cumplir esta función. Los comparadores de bitio, que tienen estas características son bien conocidos en la técnica. Como



- se ha expuesto en la "Arithmetic Operation in Digital Computers", de R. Richard, en la Pág. 290 (Von Nostrand 1955), un modo simple de comparar dos números binarios es restar uno del otro y ver el signo de la diferencia. Por tanto, el comparador de bitio 60 podría comprender, por ejemplo, una parte de un sustractor paralelo que actúa para restar el contenido del contador reversible 30 del contenido del registrador o contador del generador de error 7 y luego generar las señales de salida antes mencionadas F y \bar{F} que son indicativas del signo de la diferencia. Sin embargo, el invento no ha de interpretarse como limitado a un comparador de bitio de este tipo, y sólomente se requiere que el comparador sea capaz de detectar una condición cuando la relación predeterminada entre la señal de error y el contenido del contador reversible 30 cambia.
- 750.-
- 755.-
- 760.-
- 765.-
- 770.-
- 775.-
- Para disparar el SCR 3b o 4b apropiado, es necesario que la salida lógica del comparador 60 de bitio esté dirigida hacia él. Con este propósito, están previstas las puertas NAND 61 y 62. La puerta NAND 61 tiene como sus entradas, la salida "F" del comparador 60, la señal en el terminal 10b, y una señal de inhibición positiva a describir en lo que sigue. Como se ha hecho notar en la discusión de la lógica 9 de detección de fase la señal en el terminal 10b realiza un número de funciones, siendo una de ellas la selección del SCR que ha de ser disparado por un impulso de disparado desde el circuito 5b durante el intervalo de control apropiado. Alimentando la señal del terminal 10b a la puerta 61 se cumple esta función. De la figura 2(b), la señal en el terminal 10b es un "1" lógico durante el intervalo de control para el SCR 4b polarizado positivamente. Suponiendo que la señal de inhibición positiva es



también un "1" lógico al haber una salida de comparación en el terminal "F" del comparador de bitio 60, la puerta NAND 61 generará una salida de "0" lógico que puede ser invertida adecuadamente y amplificada por medios no mostrados y aplicada al electrodo de mando del SCR 4b. Como una de las entradas a la puerta NAND 61 viene dada por la salida "F" del comparador de bitio 60, el impulso de disparo puede ser generado sólo cuando un número positivo ha sido preajustado en un contador reversible 30 y la señal de error se ha hecho en virtud de descontar el contenido del contador reversible 30 durante todo el intervalo de control, se ha hecho mayor que el contenido del contador reversible 30.

El disparo del SCR 3b polarizado negativamente es llevado a cabo por medio de la puerta 62 que tiene como su entrada la salida \bar{F} del comparador de bitio 60, una señal de inhibición negativa a describir en lo que sigue, y una señal 10b, que es obtenida por un inversor 63 que tiene como su entrada la señal en el terminal 10b. Con referencia de nuevo a la figura 2(b), durante el intervalo de control para el SCR 3b negativo, la señal en el terminal 10b será un "0" lógico. Por inversión adecuada, la señal $\overline{10b}$ será un "1" lógico. Suponiendo que la señal de inhibición negativa es también un "1" lógico, si la señal " \bar{F} " se hace un "1" lógico durante el intervalo de control, es generada una salida de "0" lógico por la puerta 62 que puede ser adecuadamente invertida y amplificada y aplicada al electrodo de mando del SCR 3b. Como se ha dicho, la salida de "1" lógico estará presente en el terminal \bar{F} solamente cuando un número negativo ha sido preajustado en el contador reversible 30 y el contador reversible 30 es hecho contar durante todo el intervalo de control



de modo que el contenido del contador reversible 30 se hace igual a o mayor que la señal de error.

- Las señales de inhibición positiva o negativa, pueden ser usadas para eliminar o reducir el disparo errático de los
- 810.- SCR 3b y 4b por señales de ruido digitales durante las operaciones lógicas antes mencionadas. Por ejemplo, las señales de inhibición positiva o negativa pueden depender de un circuito de bloqueo que responde a la circulación de corriente a través de la carga. Por ejemplo, para evitar problemas de
- 815.- disparo cruzado, se desea impedir que conduzcan los SCR positivos cuando la corriente está circulando en una dirección negativa a través de la carga. Análogamente, las señales de inhibición negativa o positiva pueden impedir el disparo cuando los números preajustados, bien positivo o negativo,
- 820.- son cargadas en los contadores reversibles, y también cuando se hace una carga similar dentro del generador de error digital 7. Durante cada una de estas condiciones, cuando se desea que los SCR positivo o negativo no sean disparados, las señales de inhibición positiva o negativa serán un "0" lógico.
- 825.- Los circuitos de disparo 5a y 5c son idénticos al circuito de disparo 5b y funcionan de una manera similar durante los intervalos de control establecidos por la lógica 9 de detección de fase. Se reconocerá que en el sistema trifásico descrito de la realización preferida, la señal de error digital está siendo simultánea y continuamente comparada con el
- 830.- contenido de cada contador reversible del circuito de disparo. Sin embargo, como el valor de cómputo es constante, el cambio antes mencionado en la relación entre la señal de error y el contenido de los contadores reversibles tiene lugar
- 835.- en diferentes momentos de modo que los SCR son dispara-



dos en una secuencia de fase apropiada.

- A causa de la continua comparación en cada comparador de circuitos de disparo, la técnica de disparo de este invento es particularmente adecuada para ser usada en situaciones en que se esperan cambios dinámicos dentro del intervalo de control en la señal de error digital. Una de estas aplicaciones sería el circuito de velocidad de un servosistema digital. También detectando el cambio de signo de la diferencia entre la señal de error y el contenido del contador reversible, un impulso de disparo puede ser generado de modo seguro en tales condiciones altamente transitorias, lo que puede no ser el caso si el impulso de disparo hubiera de generarse sólomente al haber igualdad estricta de estas cantidades.
- 840.- Aunque el invento ha sido descrito con respecto a una realización particular, los principios que le sirven de base sugerirán muchas modificaciones adicionales de esta realización a los expertos en la técnica. Por ejemplo, no es necesario que se usen un contador reversible y un comparador digital separados para cada fase de voltaje alimentado a la carga. Pueden usarse un par de contadores y comparadores, uno usado como contador en sentido directo, es decir, para controlar el disparo de los rectificadores controlables de polaridad positiva y el otro, un contador inverso, usado para controlar el disparo de los rectificadores controlables de polaridad negativa. Con esta disposición, los rectificadores, controlables, pueden cada uno ser sólomente disparados en un intervalo de 120° , es decir, desde 90° de avance a 30° de retraso.
- 845.- Tampoco es necesario preajustar los contadores reversi-
- 850.-
- 855.-
- 860.-
- 865.-

4 FEB 1974



bles a sus números más positivo o más negativo, si se usa una codificación diferente de la señal de error si se desea un programa diferente de control durante el intervalo de control.

Los expertos en la técnica reconocerán que este invento
870.- puede ser usado para proporcionar corriente rectificada en onda completa a una carga tal como una máquina dinamoeléctrica. En este caso se requerirían rectificadores controlados, circuitos de disparo, etc., adicionales para completar tal sistema.

875.- N O T A.-

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de Invención en España, por veinte años, son los siguientes:

- 12.- Perfeccionamientos introducidos en los aparatos de control digital para controlar la circulación de corriente desde una fuente de c.a. a una carga, caracterizados por comprender en combinación rectificadores controlables, polarizados en sentidos opuestos conectados entre la fuente de c.a. y la carga, un generador de error digital, medios lógicos de detección de fase conectados funcionalmente a la fuente de c.a. teniendo lugar una salida de dichos medios lógicos de detención de fase en el punto más temprano de cada semi-ciclo de la fuente de c.a. en que se permite conducir a uno de dichos rectificadores controlables, y un generador de impulsos de reloj, que tiene un circuito de disparo que incluye un contador conectado funcionalmente a dicho generador de impulsos de reloj y a dichos medios lógicos de detección de fase, para hacer que sea preajustado un número digital en dicho contador al tener lugar una señal de salida desde dichos medios lógicos de detección de fase, siendo contado en seguida el conte-
- 880.-
- 885.-
- 890.-
- 895.-

- 4 FEB 1971



- nido de dicho contador por dicho generador de impulsos de reloj; y medios de comparación conectados funcionalmente a dicho contador y a dicho generador de error digital, siendo hechos funcionar dichos medios comparadores para generar una salida cuando cambia una relación predeterminada entre el contenido de dicho generador de error digital y el contenido de dicho contador, conduciendo dicha salida a la generación de un impulso de disparo para uno de dichos rectificadores controlables seleccionado.
- 900.-
- 905.- 2º.- Perfeccionamientos según el punto 1º, caracterizados porque dicho contador es un contador reversible que cuenta en una dirección cuando una tensión de la fuente de c.a. es positiva en polaridad y en el otro sentido cuando dicha tensión de la fuente de c.a. es negativa en polaridad.
- 910.- 3º.- Perfeccionamientos según el punto 1º o 2º, caracterizados porque dicho contador es un contador reversible adaptado para descontar cuando la tensión de la fuente de c.a. es positiva en polaridad y para contar cuando la tensión de la fuente de c.a. es negativa en polaridad, y en que dicho número digital predeterminado es positivo cuando la tensión de la fuente de c.a. es positiva y negativo cuando la tensión de la fuente de c.a. es negativa.
- 915.-
- 4º.- Perfeccionamientos según el punto 2º, caracterizados porque dicho cambio en la relación predeterminada percibido por dichos medios de comparación es un cambio en el signo de la diferencia entre el contenido de dicho generador de error digital y el contenido de dicho contador.
- 920.-
- 5º.- Perfeccionamientos según el punto 4º, caracterizados porque dichos medios de comparación producen un impulso de disparo para dicho rectificador controlado polarizado posi-
- 925.-



- 930.- tivamente cuando el contenido de dicho generador de error digital excede del contenido de dicho contador reversible, y produce un impulso de disparo para dicho rectificador controlado polarizado negativamente cuando el contenido de dicho contador reversible es mayor que o igual al contenido de dicho generador de error digital.
- 62.- Perfeccionamientos según uno cualquiera de los puntos 12 a 52, caracterizados porque la combinación incluye una máquina dinamoeléctrica como carga.
- 935.- 72.- Perfeccionamientos según uno cualquiera de los puntos 12 a 62, caracterizados porque dichos medios lógicos de detección de fase funcionan para iniciar una conducción posible durante los últimos 120° de cada semi-ciclo de la entrada de c.a. y que continúa a través de los primeros 60° del siguiente semi-ciclo.
- 940.- 82.- Perfeccionamientos según uno cualquiera de los puntos precedentes, caracterizados porque en dicho circuito de encendido digital es hecho funcionar para disparar cualquier polaridad de rectificadores controlables polarizados en sentidos opuestos conectados entre una fuente de c.a. y una carga en respuesta a una señal de error digital, y en que dicho contador digital está dispuesto para contar a un régimen predeterminado; y dichos medios lógicos de detección de fase están previstos para percibir el punto más temprano en cada semi-ciclo de la onda de c.a. en que puede ser generado un impulso de disparo, estando conectada funcionalmente la salida de dichos medios lógicos de detección de fase a dicho circuito de disparo digital para definir un intervalo de control en que es preajustado un número digital predeterminado en dicho contador digital, contando a continuación dicho contador digital
- 945.-
- 950.-
- 955.-



- en un sentido predeterminado desde dicho número preajustado; y dichos medios de comparación son un comparador digital que tiene funcionalmente conectados a él la señal de error digital y el contenido de dicho contador digital, siendo dicho
- 960.- comparador digital hechos funcionar para producir una señal de salida siempre que el signo de la diferencia entre la señal de error digital y el contenido de dicho contador digital cambie, confiándose en dicha salida para disparar uno de los rectificadores controlables.
- 965.- 9a.- Perfeccionamientos según el punto 8a, caracterizados porque dicho contador está preajustado por la señal de dichos medios lógicos de detección de fase a un número digital positivo cuando una tensión de la fuente de c.a. es positiva en polaridades contante a continuación el contador re-
- 970.- versible desde el número preajustado positivo, y en que la señal de dichos medios lógicos de detección de fase prefija un número digital negativo en dicho contador reversible cuando dicha tensión de c.a. es negativa en polaridad, contando a continuación el contador reversible desde el número negativo preajustado.
- 975.- 10a.- Perfeccionamientos según el punto 9a, caracterizados porque dichos medios lógicos de detección de fase funcionan para definir un intervalo de control que empieza 120a antes de cada polaridad de la entrada de c.a.
- 980.- 11a.- Perfeccionamientos según el punto 10a, caracterizados porque la combinación incluye una máquina dinamoeléctrica como carga.
- 12a.- Perfeccionamientos según uno cualquiera de los puntos precedentes, para usar con un sistema de control de motor
- 985.- de inversión de ciclo cerrado, velocidad regulada, caracteri-



- zados porque comprende medios de motor de accionamiento; dichos medios rectificadores polarizados en sentidos opuestos están provistos en cada línea de una fuente polifásica de c.a. para acoplar energía eléctrica desde allí a dicho motor conductor,
- 990.- dicho circuito digital está previsto para sincronizar la generación de impulsos de disparo para dichos medios rectificadores controlables con la fase y polaridad correspondientes de la fuente de c.a.; los impulsos de disparo que controlan el paso de energía eléctrica a través de dichos rectificadores controlables a dicho motor de acuerdo con una señal de error derivada de dicha comparación de señales de mando digitales con las señales de realimentación digitales; representando la señal de mando el funcionamiento del motor deseado e indicando la señal de realimentación el funcionamiento del
- 1.000.- motor real, dicho circuito digital incluye un generador de trenes de impulsos movido por dicho motor a una velocidad representativa de dicha velocidad del motor, y que tiene una salida de al menos un impulso por vuelta; un generador de mando digital para proporcionar la señal de mando; un generador
- 1005.- de error digital, medios para acoplar eléctricamente dicho generador de mando digital a dicho generador de error digital, en que una comparación de la salida de dicho generador de impulsos con la señal de mando conduce a una señal de error; estando acoplados dichos medios lógicos de detección de fase a
- 1.010.- la fuente de c.a. para percibir la polaridad de cada fase de la tensión de la fuente y teniendo una salida que preajusta un número digital predeterminado en los circuitos de disparo operados digitalmente en el punto más temprano en cada semiciclo de la tensión de la fuente en que los impulsos de disparo pueden ser generados para rectificadores controlados de
- 1.015.-

- 4 FEB 1971



- fases correspondientes; dicho circuito de encendido operado digitalmente está provisto por fase de la corriente de entrada conectada funcionalmente a dichos medios de detección de fase y a dicho generador de error digital, comprendiendo cada
- 1.020.- uno de dichos circuitos de disparo un comparador digital y un contador digital reversible dispuesto para contar en una dirección predeterminada desde el número digital preajustado predeterminado en él por dichos medios lógicos de detección de fase, proporcionando dicho circuito de disparo impulsos
- 1.025.- de disparo a rectificadores controlables correspondientes polarizados apropiadamente cuando dicho comparador digital detecta un cambio en el signo de la diferencia existente entre el contenido de dicho contador digital y la señal de error digital; y un generador de impulsos de reloj conectado funcionalmente a dichos contadores digitales en dichos circuitos
- 1.030.- de disparo, funcionando dicho generador de impulsos de reloj a una frecuencia fijada para contar el contenido de dicho contador digital desde el número digital preajustado.

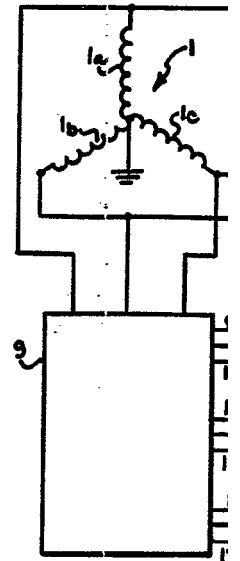
- 132.- "PERFECCIONAMIENTOS INTRODUCIDOS EN LOS APARATOS
- 1.035.- DE CONTROL DIGITAL PARA CONTROLAR LA CIRCULACION DE CORRIENTE DESDE UNA FUENTE DE C.A. A UNA CARGA", todo tal y conforme se describe en la presente Memoria, la cual consta de 1.039 líneas y a título de ejemplo se representa en los adjuntos dibujos.

Madrid, - 4 FEB 1971

JULIO DE PABLOS
P. P.

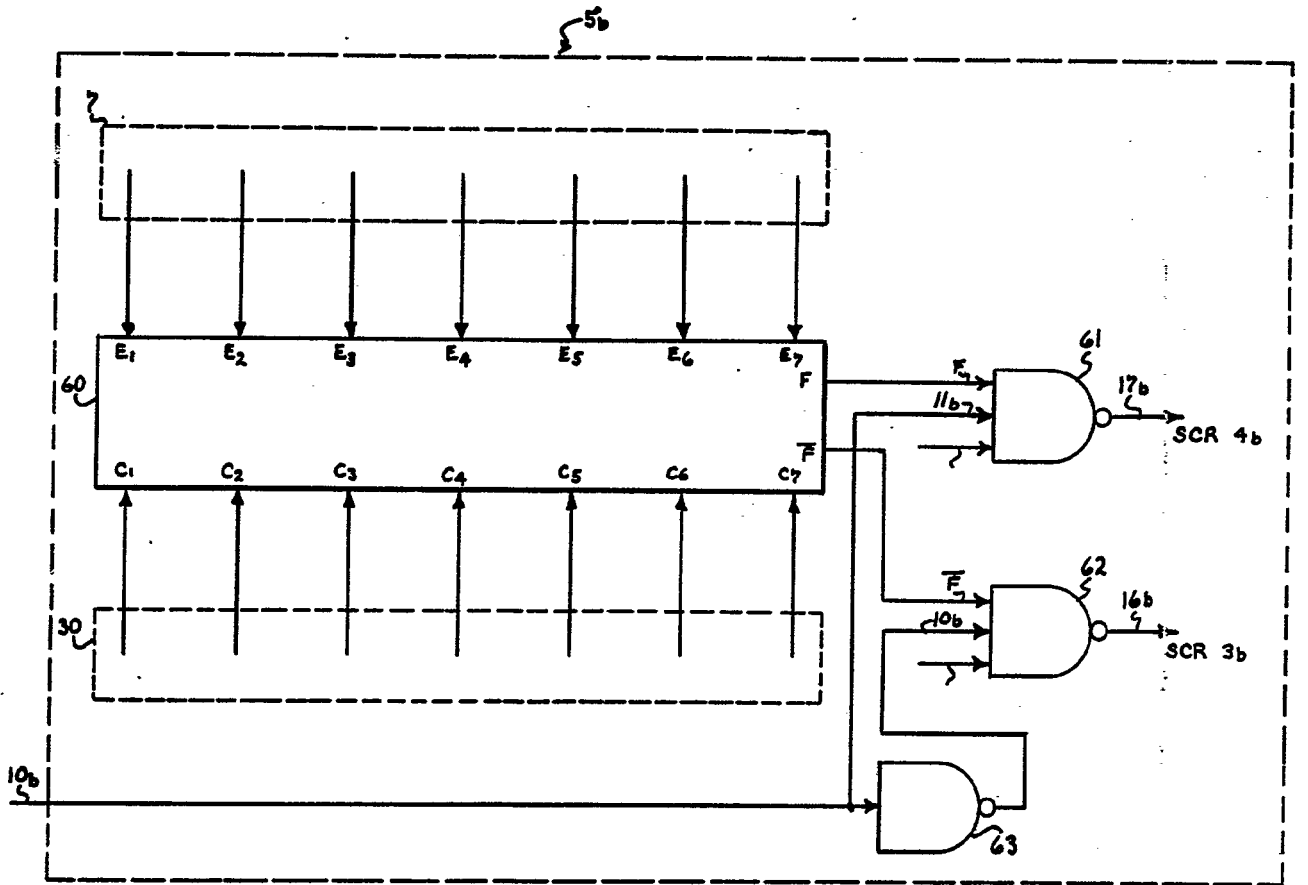
Fdo.: Víctor M. Millas

ESCALA VARIABLE.



FIG

FIG. 6



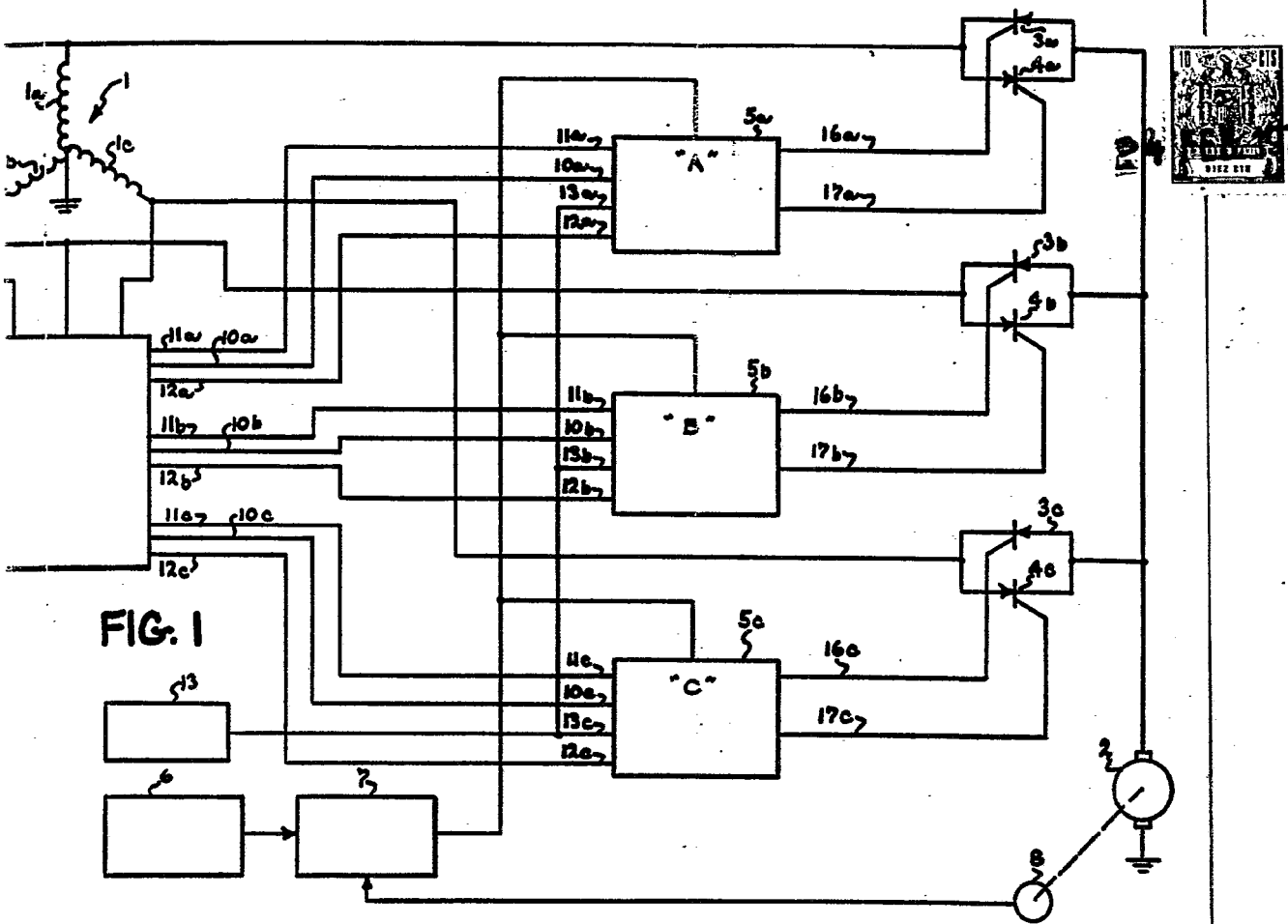


FIG. 1

Madrid, FEB. 1971

7b
SCR 4b

6b
SCR 3b

ESCALA VARIABLE.

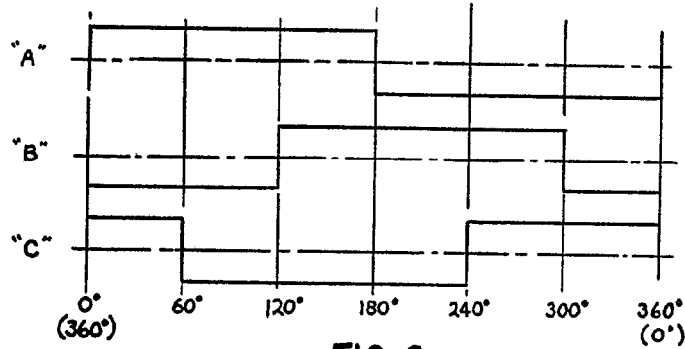


FIG. 2a

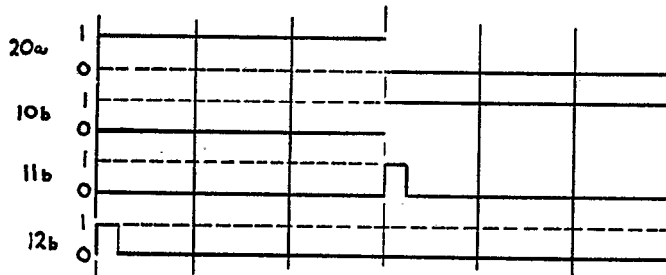


FIG. 2b

FIG. 2

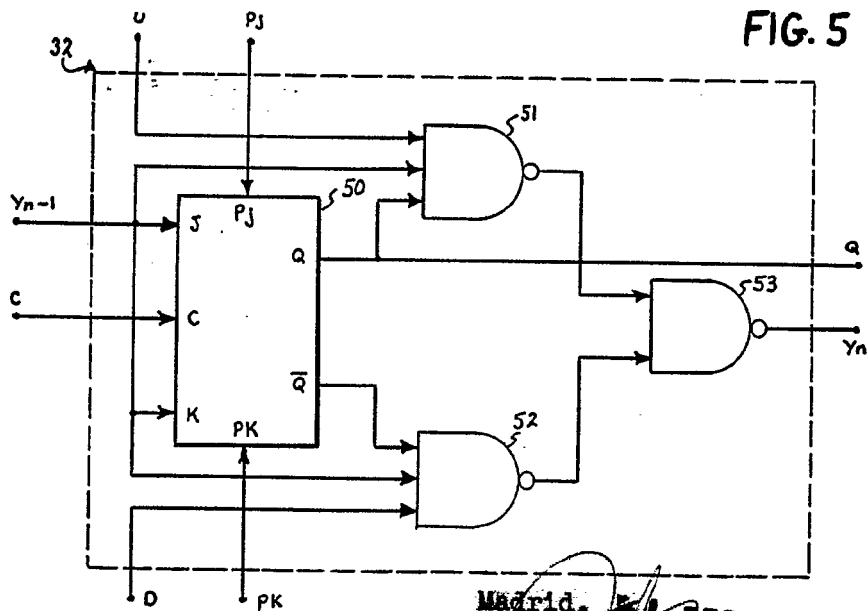


FIG. 5

Madrid, FEB. 1971

ESCALA VARIABLE.

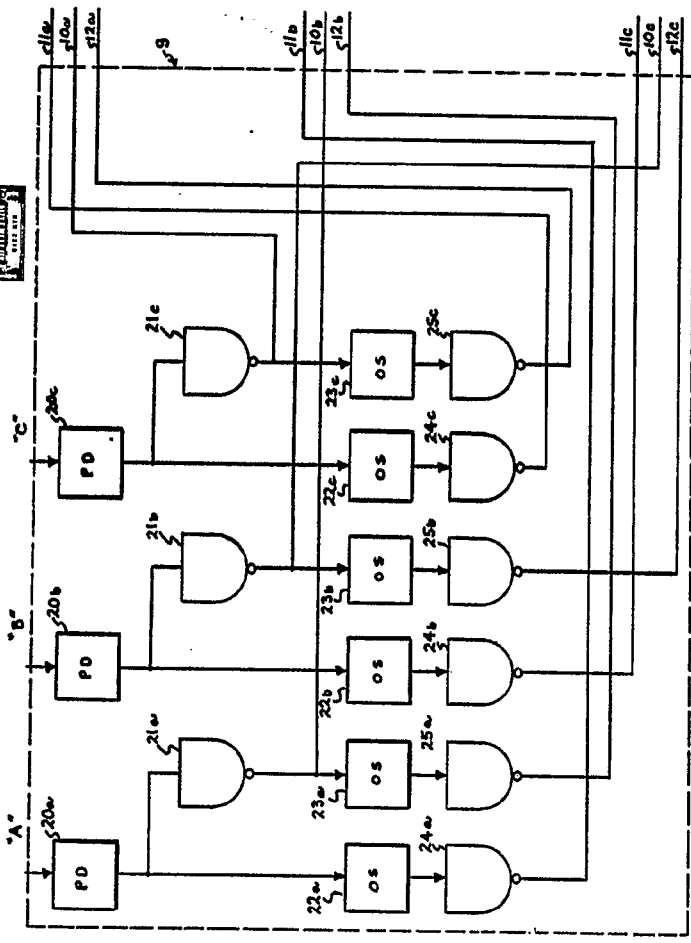
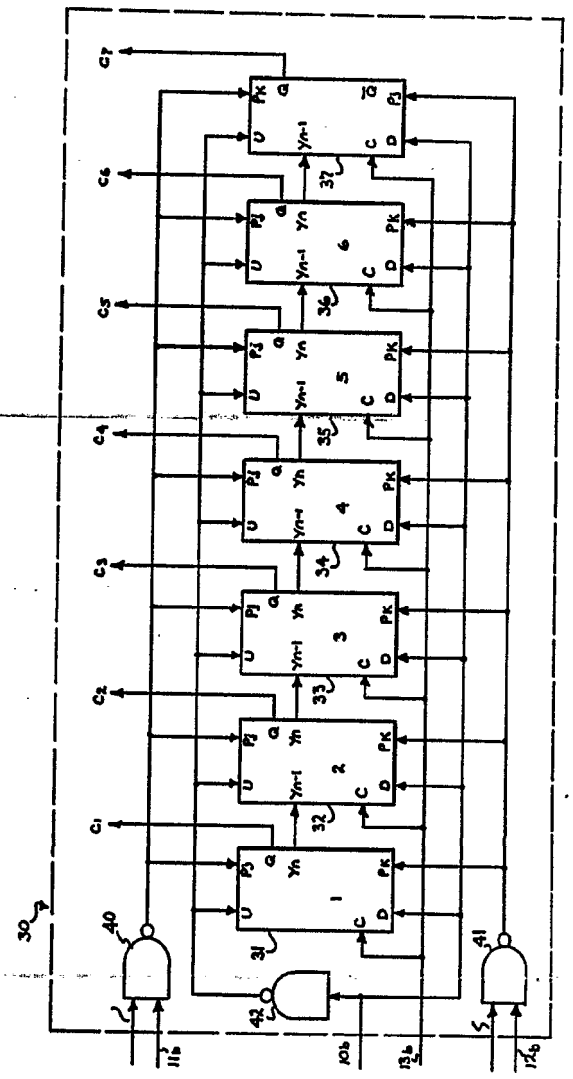


FIG. 3

FIG. 4



4 FEB. 1971

Handwritten signature or initials.

10 415
54 FEB 1971
RECEIVED
FEB 1971

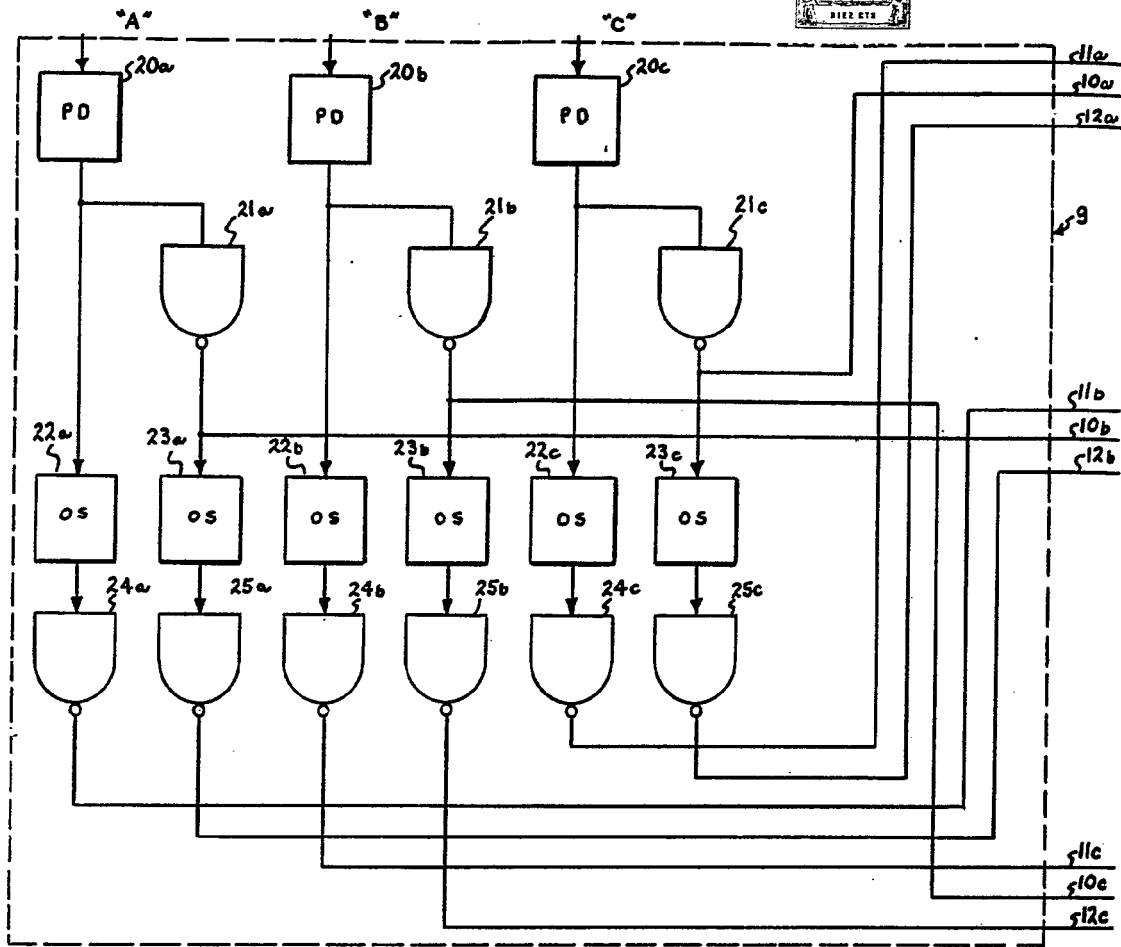
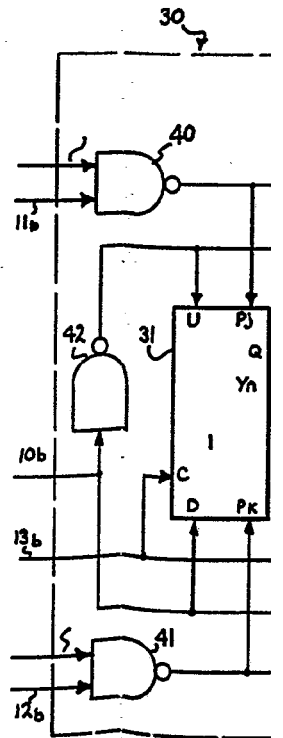


FIG. 3

Madrid, 54 FEB. 1971



ESCALA VARIABLE.

11a
10a
12a

3



11b
10b
12b

FIG. 3

11c
10c
12c

FIG. 4

