



-4F

387.953.

MEMORIA DESCRIPTIVA.

PATENTE DE INVENCION.

PAIS : ESPAÑA.

DURACION : 20 AÑOS.

OBJETO : *PERFECCIONAMIENTOS INTRODUCIDOS EN LOS
*APARATOS DE CONTROL DIGITAL PARA CON-
*TROLAR LA CIRCULACION DE CORRIENTE DES-
DE UNA FUENTE DE C.A. A UNA CARGA.

ANEXO
PROHIBIDA LA REPRODUCCION
Y LA EXPOSICION DE
COPIAS Y CIRCULACIONES

A nombre de : GENERAL ELECTRIC COMPANY.
Residente en : SCHENECTADY (New-York), 1, River-Road.

Nacionalidad : ESTADOUNIDENSE.



El presente invento se refiere a un amplificador de corriente digital para controlar la circulación de corriente desde una fuente de c.a. a una carga. Más específicamente, el presente invento se refiere a un sistema de control primordialmente digital, para controlar la conducción de rectificadores controlables colocados entre una fuente de c.a. y una carga.

Uno de los mejores sistemas conocidos que tiene la posibilidad de alimentar cantidades variables de corriente eléctrica comprende rectificadores controlables situados entre una fuente de c.a. mono o poli-fásica y la carga del sistema. Tales rectificadores controlables pueden comprender, por ejemplo, tiratrones o rectificadores de silicio controlados (SCR). La cantidad de corriente transferida a la carga del sistema es controlada por variación de la duración de conducción de los rectificadores controlables. La duración de conducción de los rectificadores controlables es función del punto durante la forma de onda de corriente alterna en que se inicia la conducción. Este punto es designado como el ángulo de disparo.

El control del ángulo de disparo de los rectificadores controlables es desempeñado por los circuitos designados generalmente como circuitos de disparo. Tales circuitos de disparo actúan en respuesta a una señal de entrada, indicativa de la corriente deseada, para generar un impulso de disparo



en el ángulo de disparo apropiado. Hablando en general, el ángulo de disparo es directamente proporcional a la señal de entrada.

30.- Los circuitos de disparo hasta hoy han sido generalmente del tipo analógico, que funcionan en respuesta a una señal de entrada cuya magnitud indica el ángulo de disparo deseado. Tales circuitos de disparo analógicos han sido compatibles con sistemas de la técnica anterior que han sido primordialmente analógicos en su funcionamiento.

35.- Con la llegada de los circuitos digitales, se está haciendo deseable utilizar técnicas digitales y circuitos digitales en tales sistemas de control. Esto es particularmente cierto cuando el sistema requiere exactitud, confiabilidad, o funcionamiento libre de derivas que son sólo alcanzables con los circuitos digitales. Por tanto, se está haciendo muy común reemplazar elementos de un sistema analógico por circuitos digitales equivalentes funcionalmente.

40.- En sistemas que utilizan rectificadores controlables para controlar la circulación de corriente desde una fuente de c.a. a una carga, los circuitos digitales se han usado a menudo para generar las señales de mando del sistema y para llevar a cabo las operaciones aritméticas necesarias para derivar la señal de entrada para controlar la conducción de los rectificadores controlables. Esta señal está entonces en forma digital y ha sido necesario convertirla en una tensión analógica para usarla con los convencionales circuitos de disparo analógicos. Esta práctica sin embargo, ha dado como resultado algún sacrificio inherente de la confiabilidad que está disponible de otro modo en un sistema de control totalmente digital.

45.-

50.-

55.-



Es un objeto del presente invento proporcionar un sistema de control totalmente digital para controlar la circulación de corriente desde una fuente de c.a. a una carga.

60.- Es otro objeto del presente invento proporcionar un sistema de control totalmente digital para controlar la conducción de rectificadores controlables.

Es aún otro objeto del presente invento proporcionar un circuito de disparo digital para rectificadores controlables.

65.-

Brevemente expuesto, el presente invento funciona para generar una señal de error digital que es usada para controlar directamente la conducción de rectificadores controlables sin convertir previamente esta señal en una tensión analógica. Unos medios de detección de fase hacen que la señal de error digital sea cargada en un contador de error digital en el punto más temprano en una onda de entrada en que los rectificadores controlables pueden ser disparados. Cuando el contenido de dicho contador de error digital alcanza un valor predeterminado, uno de los rectificadores controlables es disparado.

70.-

75.-

Aunque esta memoria concluye con reivindicaciones que indican particularmente y que reivindican distintamente el objeto que considerado como el invento, puede verse una ilustración de una realización particular haciendo referencia a la descripción en relación con los dibujos adjuntos, en los cuales:

80.-

La figura 1 es un diagrama de bloques de un sistema que es una realización preferida del invento.

85.- La figura 2 es un diagrama de tiempos que ilustra



la relación con el tiempo de la entrada de c.a. trifásica.

La figura 3 es un diagrama lógico detallado del circuito de detección de fase mostrado en la figura 1.

90.- La figura 4 es un diagrama lógico detallado de uno de los circuitos de disparo de la figura 1.

La figura 5 es un diagrama lógico detallado de una de las unidades contadoras de la figura 4.

95.- Los números de identificación de los componentes están asociados con los mismos componentes en las figuras siempre que aparecen.

Volviendo ahora a la figura 1 se muestra en ella un diagrama de bloques de una realización de un sistema de control que incorpora el presente invento. La corriente es transferida desde una fuente de c.a. tal como el transformador trifásico indicado generalmente con 1 a una carga tal como el motor de c.c. 2 por medio de una pluralidad de grupos de rectificadores controlables polarizados en sentidos opuestos tales como los SCR 3a, 3b, 3c, 4a, 4b, 4c. Los SCR son hechos iniciar la conducción por circuitos de disparo tales como 5a, 100.- 5b y 5c que actúan para generar un impulso de disparo para el SCR apropiado en el momento deseado durante la forma de onda de c.a. El sistema de la figura 1 es un sistema de control digital y funciona en respuesta a una señal de mando en forma digital como la generada por un generador de mando digital 6. La forma precisa de la señal de mando digital no es 105.- importante para los propósitos del presente invento. Puede comprender, por ejemplo, un impulso cuya frecuencia es indicativa de la velocidad del motor deseada o, alternativamente, un número digital cuya magnitud es indicativa de la velocidad deseada. Además, la forma particular del generador 6 de 110.- 115.-



- mando digital no es importante para los propósitos del presente invento, pero puede comprender, por ejemplo, un multiplicador de frecuencia de impulsos u otro generador de frecuencia variable en el caso en que la salida es un tren de impulsos de frecuencia variable. Similarmente, si la salida es un número digital, cualquiera de los distintos métodos bien conocidos de generación de código digital de bits múltiples sería suficiente para el generador de mando digital 6.
- 120.-
- 125.- La salida del generador de mando digital 6 es una primera entrada a un generador de error digital 7. La otra entrada al generador de error digital 7 viene de un dispositivo de realimentación 8 que está conectado a y es movido por el motor 2. El dispositivo de realimentación 8 puede comprender, por ejemplo, un generador de impulsos único cuya frecuencia de salida es proporcional a la velocidad del motor que es controlado. El propósito del generador de error digital 7 es comparar el mando digital desde el generador de mando digital 6 con la salida del dispositivo de realimentación 8 y generar una señal de error para controlar la conducción de los rectificadores controlables interpuestos entre la fuente de c.a. 1 y el motor 2. Para el propósito del presente invento, el generador de error digital se muestra como que tiene una señal de salida que se denomina en esta memoria señal de error y que es preferiblemente tomada de un contador digital o registrador del generador de error 7.
- 130.-
- 135.-
- 140.-
- 145.- Los circuitos de disparo 5a, 5b y 5c son digitales en su forma y están adaptados para aceptar la salida del generador de error digital y generar un impulso de disparo para el SCR apropiado en respuesta a la magnitud y polaridad del



- error digital. Por tanto, es necesario cargar el contenido del generador de error digital 7 en los circuitos de disparo apropiados 5a, 5b y 5c, en el momento adecuado. El tiempo para cargar el error digital en los circuitos de disparo es controlado por medio de un circuito 9 de detección de fase que está conectado en sus entradas a las tres fases de la fuente de corriente de c.a. 1. Como se señalará en la descripción siguiente, el sistema proporcionará medios para la conducción del SCR conectado a una fase particular de la fuente de c.a. durante tiempos particulares. El control de esta regulación de tiempo es realizado por el circuito 9 de detección de fase que genera señales de salida en sus salidas 9a, 9b y 9c para iniciar la carga de la señal de error digital desde el generador de error digital 7 a los circuitos de disparo apropiados. El circuito 9 de detección de fase también proporciona señales a los terminales de entrada 15a, 15b y 15c y a los terminales de entrada 16a, 16b y 16c de los circuitos de disparo 5a, 5b y 5c para determinar si los rectificadores controlables de polaridad negativa 3a, 3b y 3c o los rectificadores controlables de polaridad positiva 4a, 4b y 4c respectivamente, son disparados por los circuitos de disparo. Es deseable a menudo incluir un circuito de bloqueo entre el circuito de inducido del motor 2 y los circuitos de disparo 5a, 5b y 5c. El circuito de bloqueo puede estar conectado a través de una resistencia o de alguna otra manera de modo que perciba la dirección de circulación de corriente a través del motor 2. Este circuito de bloqueo impide entonces que los rectificadores controlables que proporcionan corriente en un sentido sean disparados mientras la corriente está cir-
- 150.-
- 155.-
- 160.-
- 165.-
- 170.-
- 175.-



- culando a través del inducido en sentido opuesto. En términos generales, los propósitos del circuito de detección de fase 9 son; percibir el punto más temprano durante cada semi-ciclo de la entrada de c.a. en que puede ser generado un
- 180.- impulso de disparo; luego iniciar la carga de la señal de error digital en el circuito de disparo apropiado; y luego determinar si los rectificadores controlables de polaridad negativa o positiva han de ser disparados por los circuitos de disparo.
- 185.- Habiendo cargado la señal de error digital en el circuito de disparo, es necesario luego actuar sobre esta señal de error digital para generar un impulso de disparo en el momento apropiado. La regulación de tiempo de este impulso de disparo es controlada por un generador de impulsos de
- 190.- reloj 10 que alimenta a cada uno de los circuitos de disparo 5a, 5b y 5c. En la realización particular mostrada, los circuitos de disparo comprenden un contador digital que recibe la señal de error digital desde el generador de error digital 7. Esta señal de error es contada por el circuito de
- 195.- disparo hasta que se alcanza un cómputo predeterminado en cuyo punto se genera una señal de disparo para el SCR adecuado. Esta operación será explicada en mayor detalle en lo que sigue en el curso de la descripción del circuito de disparo específico ilustrado en la figura 4.
- 200.- Brevemente explicado, el funcionamiento del sistema mostrado en la figura 1 puede ser definido en términos de las operaciones siguientes:
1. La salida del generador de mando digital 6 es comparada con la salida del dispositivo de realimentación 8 en
- 205.- el generador de error digital 7 para llegar a una señal de



error digital.

2. El circuito 9 de detección de fase examina las tres formas de onda de c.a. de los arrollamientos del transformador 1a, 1b y 1c que están conectados a sus terminales de entrada 11a, 11b y 11c y genera señales en sus salidas 9a, 9b y 9c cuando el contenido del generador de error digital 7 ha de ser cargado en un circuito de disparo particular. También genera señales que controlan las líneas de activación y desactivación de los circuitos de disparo. Por tanto, la conexión del terminal de salida 9a del circuito 9 de detección de fase al terminal de entrada 12a del circuito de disparo 5a funciona para cargar el contenido del generador 7 de error digital en el circuito de disparo 5a y en un momento adecuado es determinado por el circuito 9 de detección de fase.

3. El contenido del generador 7 de error digital es cargado en los circuitos de disparo 5a, 5b y 5c en virtud de las conexiones a los circuitos de disparo en los terminales de entrada 13a, 13b y 13c respectivamente.

4. Después de que el error digital del generador 7 de error digital es cargado en el circuito de disparo adecuado, tal como por ejemplo el circuito de disparo 5a, la salida del generador de impulsos de reloj 10 es alimentada a un contador que comprende una mayor parte del circuito de disparo 5a y cuenta en una dirección o la otra dependiendo de si ha de ser disparado el rectificador controlable de polaridad positiva o el rectificador controlable de polaridad negativa. Cuando se alcanza un cómputo predeterminado, se genera un impulso de disparo y se transmite al rectificador controlable apropiado. Por tanto, si el circuito 9 de detec-



ción de fase proporciona un "1" lógico en el terminal 15a se transmite un impulso de salida desde el terminal de salida 18a para iniciar la conducción del SCR 4a polarizado positivamente. Por otra parte si un "1" lógico es aplicado al terminal 16a, se genera un impulso de disparo en el terminal de salida 17a para excitar el electrodo de mando y para disparar el SCR 3a negativamente polarizado. El funcionamiento es desde luego idéntico para los circuitos de disparo 5b y 5c que activan los SCR 3b, 4b y 3c, 4c conectados a las fases b y c de la fuente de corriente trifásica l.

Volviendo ahora a la figura 2, se muestra en ella, en forma de onda rectangular, la bien conocida relación entre las tres fases de una fuente de c.a. tal como la fuente 1 de c.a. Como se ha visto en la descripción de la figura 1, hay dos SCR conectados a cada fase de la fuente de c.a. l. Estos SCR están polarizados en sentidos opuestos de modo que conduzcan corriente en direcciones opuestas. A modo de ejemplo, los SCR 3a y 4a están conectados a la fase "A" de la fuente l de c.a. a través del arrollamiento la. En cualquier sistema de control de este tipo, es necesario determinar la posición particular de la forma de onda de c.a. durante la que puede permitirse que conduzca un SCR particular.

Un método de controlar la conducción del SCR es permitir al SCR de polaridad positiva conducir durante toda la porción de la forma de onda de c.a. durante la cual es positiva la polaridad y permitir al SCR polarizado negativamente conducir durante toda la porción negativa de la forma de onda de c.a. Por tanto al SCR 4a podría permitírsele conducir durante la porción positiva de la forma de onda de la forma de c.a. en la fase "A", es decir, desde 0° a 180°, similar-



270.- mente al SCR 3a podría permitírsele conducir desde 180º a 360º. En tal sistema, el error en el generador de error digital 7 junto con la salida del generador 10 de impulsos de reloj, figura 1, serían cargados en el circuito de disparo "A" 5a en 0º y en 180º.

275.- Como se mostró en la descripción de la figura 1, el tiempo en que el error del generador de error digital 7 es cargado en el circuito de disparo es controlado por el circuito 9 de detección de fase. Por tanto para el circuito "A" 5a de disparo, el circuito de detección de fase 9 generaría impulsos de salida en el terminal 9a a 0º y a 180º que darían como resultado la carga del error del generador 7 de error digital en el circuito de disparo 5a.

280.- Algunos sistemas, sin embargo, pueden requerir que el error digital sea cargado en momentos en que no están necesariamente en fase con la forma de onda del SCR asociada. Por ejemplo, puede desearse permitir a un SCR de polaridad particular, conducir sólo durante una parte limitada de su entrada de corriente alterna asociada. En el caso de la presente realización, se desea permitir que cada SCR conduzca los últimos 120º de su entrada asociada de c.a. más 60º en la mitad negativa del voltaje aplicado para permitir el frenado dinámico del motor. De este modo, se permitirá al SCR 4a conducir desde 60º a 240º mientras se permite al SCR 3a conducir desde 240º a 60º. Similarmente, el SCR 4b puede conducir desde 180º a 360º, y el SCR 3b desde 0º a 180º. Finalmente, el SCR 4c puede conducir desde 300º a 120º y el SCR 3c desde 120º a 300º. Por tanto, como el propósito del circuito de detección de fase 9 es sincronizar los circuitos de disparo con la energía de c.a., debe generar impulsos de salida al comienzo de

285.-

290.-

295.-



cada uno de estos intervalos.

Antes de volver al diagrama lógico detallado de las figuras 3, 4 y 5, es necesario describir los elementos lógicos usados en él. Como la presente realización es un sistema digital, el aparato descrito funciona en dos niveles lógicos, designados como "0" lógico y "1" lógico. Estos niveles lógicos son realmente modos de identificar un nivel particular de voltaje. Por ejemplo, un "1" lógico puede ser algunas tensiones positivas, por ejemplo, + 4 voltios, así como un "0" lógico será un voltaje inferior, por ejemplo 0 voltios. Está claro, desde luego, que los niveles lógicos particulares, no forman parte del presente invento y se hace referencia a ellos sólo para ayudar a la descripción de la realización preferida. Además, está también claro que mientras la realización preferida utiliza lógica de discriminación negativa NAND, cualquier tipo de sistema lógico, positivo o negativo, podría usarse igualmente de modo satisfactorio sin salirse del espíritu del invento.

En la figura 3, el elemento lógico designado con el número 24 es una simple puerta NAND (de discriminación negativa). El funcionamiento de la puerta es tal que cuando todas sus entradas (designadas por una flecha) son "1" lógicos, la salida (designada por el círculo) será un "0" lógico. En todas las demás condiciones, la salida de la puerta 24 será un "1" lógico. Esto es cierto indiferentemente del número de entradas previsto. De este modo, si una puerta tiene una sola entrada (tal como una puerta de discriminación negativa 21) funciona como un simple inversor, ya que cuando su sola entrada es un "1" lógico, su salida será un "0" lógico. Inversamente, si su única entrada es un "0" lógico.



gico, su salida será un "1" lógico de modo que funciona invirtiendo el sentido de la señal lógica en su entrada.

330.- El elemento lógico de la figura 3 designado con el número 20 y referenciado PD es un detector de fase que funciona para configurar una entrada de c.a. sinusoidal en una onda rectangular. En su forma más simple, el detector de fase 20 puede comprender, por ejemplo, un amplificador y limitador que amplifique la señal de entrada de c.a. y la limite a un cierto voltaje compatible con el sistema lógico en que se usa.

340.- El símbolo lógico en la figura 3 designado con el número 22 y referenciado "OS" es un simple multivibrador monoestable. Funciona en respuesta a una señal en su entrada, designada con la flecha, para generar un impulso de una duración predeterminada en su salida. El monoestable específico mostrado en la figura 3 funciona de la manera siguiente... cuando la señal en su entrada pasa de un "1" lógico a un "0" lógico, se generará un impulso en la salida que pasa desde el "1" lógico al "0" lógico durante un período de tiempo predeterminado.

350.- En la figura 4, el elemento lógico designado "Bitio 2" e indicado con el número 41 es un paso contador reversible. El funcionamiento del paso contador reversible 41 puede ser mejor comprendido con referencia a la figura 5 que muestra el diagrama lógico detallado del paso contador reversible 41. El paso contador reversible 41 comprende un biestable J-K 70 gobernado normal y tres puertas de discriminación negativa 71, 72 y 73. El biestable J-K funciona de la siguiente manera conocida. Las dos entradas denominadas Pj y Pk son los terminales de activación directa y reposición directa, res-

355.-

26 FEB 1971

360.- pectivamente, y funcionan de tal modo que la aplicación de un "0" lógico en el terminal Pj obliga al biestable J-K 70 a tomar el estado activado. Inversamente, la aplicación de un "0" lógico al terminal Pk obliga al biestable J-K 70 a tomar el estado repuesto. Los terminales de entrada J y K son los terminales de gobierno de activación y de gobierno de reposición respectivamente. Finalmente, el terminal C es el terminal de disparo o de reloj. El funcionamiento del biestable J-K a partir de los terminales de gobierno de activación y reposición es como sigue: un "1" lógico en el terminal de activación de gobierno J seguido por una señal de disparo en el terminal C de reloj obliga al biestable J-K a tomar el estado activado. Una señal de disparo en el terminal de reloj C es definida como una señal que pasa desde el "0" lógico al "1" lógico. Similarmente, un "1" lógico en el terminal K de gobierno de reposición seguido de un disparo en el terminal C de reloj obliga al biestable J-K 70 a tomar el estado repuesto. Si existe un "1" lógico en ambos terminales de entrada J y K, el biestable J-K 70 será obligado a cambiar de estado al siguiente disparo en el terminal C de reloj. Los terminales de salida Q y \bar{Q} indican el estado del biestable J-K 70. El terminal Q de salida será un "1" lógico cuando el biestable J-K 70 es activado y el terminal de salida \bar{Q} será un "1" lógico cuando el biestable J-K es repuesto.

365.-

370.-

375.-

380.-

385.- La combinación del biestable J-K 70, y de las puertas de discriminación negativa 71, 72 y 73 forman un sólo paso de un contador reversible del tipo de sin rizado. Esto es, cuando el contador recibe un impulso de entrada, todos los pasos del contador cambian de estado simultáneamente, en lu-

26 FEB 1977

gar de ser activados los sucesivos pasos por cambios en los pasos precedentes como sucede verdaderamente en un contador del tipo de rizado. Por tanto, el paso contador 41 tiene un primer terminal de entrada denominado YN-1 que tiene la siguiente característica booleana con vistas a formar parte de

390.- un tipo de contador reversible síncrono:

$$YN-1 = \text{ACTIVADO} \cdot Q \cdot (YN-1) + \text{DESACTIVADO} \cdot \bar{Q} \cdot \bar{(YN-1)}$$

(YN-1) es entrada al paso 41

(YN-1) · Q es del paso 40

395.- (YN-1) · \bar{Q} es del paso 40

En otras palabras, la entrada del terminal YN-1 será un "1" lógico cuando el contador está contando en el sentido del cómputo y todos los pasos precedentes están activados o, cuando el contador está funcionando como un descontador y todos los pasos precedentes están repuestos. El terminal de entrada denominado C es, desde luego, el terminal de entrada de reloj.

400.-

Para determinar el sentido en que contará el contador, hay previstos dos terminales de entrada adicionales denominados U y D que son los terminales de cómputo y descuento, respectivamente. Además, con vistas a preajustar el contador al número deseado, hay previstos terminales de entrada Pj y Pk que constituyen los terminales de activación directa y reposición directa, respectivamente.

405.-

410.- La salida de cada paso, la señal YN, tiene las siguientes características booleanas:

$$YN = \text{ACTIVADO} \cdot Q \cdot (YN-1) + \text{DESACTIVADO} \cdot \bar{Q} \cdot \bar{(YN-1)}$$

En otras palabras, la señal YN será un "1" lógico si el paso particular y todos los pasos precedentes son activados cuando el contador está contando o si el paso particular y

415.-

26 FEB 1957



420.- todos los pasos precedentes son repuestos cuando el contador está descontando. La primera parte de esta relación (ACTIVADO . Q . (YN-1)) es cumplida por la puerta 71 que tiene como entrada la señal U, la señal YN-1, y la salida Q de la salida del J-K 70. Si las tres señales son "1" lógicos entonces la salida de la puerta 71 será un "0" lógico. Como la salida de la puerta 71 forma una de las entradas a la puerta 73, la salida de la puerta 73, en estas condiciones, será un "1" lógico. Similarmente, la segunda parte de esta relación (DESACTIVADO . \bar{Q} . (YN-1)) es cumplida por la puerta 73 que tiene como sus entradas la señal D, la señal YN-1, y la salida \bar{Q} del biestable J-K 70. Si las tres señales son "1" lógicos, entonces la salida de la puerta 72 será un "0" lógico. Como la salida de la puerta 72 forma la segunda entrada a la puerta 73, la salida de la puerta 73 será un "1" lógico siempre que la salida de la puerta 72 sea un "0" lógico. La interrelación y el funcionamiento de los múltiples pasos de un contador reversible completo se explicarán con más detalle durante la descripción detallada del circuito de disparo mostrado en la figura 4.

435.-
440.-
445.- Volviendo ahora a la figura 3, en ella se muestra el diagrama lógico detallado del circuito 9 de detección de fase de la figura 1. Como se señaló al describir la figura 1, el propósito del circuito 9 de detección de fase es sincronizar la carga del error digital desde el generador 7 de error digital a los circuitos de disparo 5a, 5b y 5c y controlar si se dispara el rectificador controlable polarizado positiva o negativamente por los circuitos de disparo. Por tanto, el circuito 9 de detección de fase tiene como entradas las tres fases de c.a. que están conectadas a los termi-



nales de entrada l1a, l1b y l1c. Como se ha discutido anteriormente, la presente realización funciona de modo tal que controle la conducción de los SCR desde 120° de avance a 60° de retardo. Esto se consigue con la lógica mostrada en la figura 3.

450.-

A modo de ejemplo, se ha mostrado que el error digital del generador 7 de error digital de la figura 1 ha de ser cargado en el circuito de disparo "B" 5b en 0° y en 180°. Estos momentos particulares resultan ser sincrónicos con los cambios de polaridad de la fase "A" de la fuente de c.a. Por tanto, el circuito 9 de detección de fase mandará la carga del error del generador 7 de error digital al circuito de disparo "B" 5b siempre que la fase "A" cambie de polaridad. Esto se consigue en virtud de los detectores de fase 20a, b

455.-

y c de la figura 3 que funcionan para transformar las tres fases desde señales de onda sinusoidal a rectangular. La salida del detector de fase 20 es alimentada a un primer monoestable 22a. Cuando la fase "A" cambia de polaridad positiva a polaridad negativa en 180°, la salida del detector de fase

460.-

20a cambiará desde un "1" lógico a un "0" lógico. Como la salida del detector de fase 20a forma la entrada al monoestable 22a, el monoestable 22a dará una señal en este momento que cambia desde un "1" lógico a "0" lógico durante un período de tiempo predeterminado. La salida del monoestable 22a forma

465.-

una entrada para la puerta 24a de modo que la salida de la puerta 24a pasa desde el "0" lógico al "1" lógico en respuesta a un impulso del monoestable 22a. Este impulso se transmitirá a través del terminal de salida 9b al circuito de disparo "B" 5b para efectuar la carga del error digital del generador 7 de error digital al circuito de disparo "B" 5b.

470.-

475.-



Con referencia de nuevo a la figura 2, así como a la figura 3, hay que notar que en el punto 180^o del ciclo de funcionamiento, el voltaje de la fase "A" del detector de fase cambiará desde un "1" lógico a un "0" lógico obligando a la salida de la puerta 21a a cambiar desde un "0" lógico a un "1" lógico que es alimentado a un terminal de entrada 15b del circuito de disparo 5b. El contador es excitado para contar y proporcionar una señal de disparo en el terminal 18b para el rectificador controlable 4b polarizado positivamente.

Similarmente, en 0^o, la fase "A" cambia desde polaridad negativa a polaridad positiva de modo que la salida del detector de fase 20a cambia desde un "0" lógico a un "1" lógico. Como esta salida forma la única entrada a la puerta 21a, la salida de la puerta 21a cambiará en este punto desde el "1" lógico al "0" lógico. Esta salida forma la entrada de un segundo monoestable 23a que dará entonces un impulso que va desde el "1" lógico al "0" lógico durante un período de tiempo predeterminado. Como la salida del monoestable 23a forma la segunda entrada a la puerta 24a, la puerta 24a dará también este impulso en el terminal de salida 9b de modo que se efectúe la carga del contenido del generador 7 de error digital en el circuito de disparo "B" 5b en 0^o.

Con referencia de nuevo a la figura 2, junto con la figura 3, después de 0^o, la salida del detector de fase 20a es positiva en polaridad, lo que indica que la línea que va al terminal 16b está en "1" lógico. El rectificador controlable de polaridad positiva 4b no puede ser disparado en este momento. Un "1" lógico en el terminal de entrada 16b del circuito de disparo 5b hace que la señal de disparo aparezca en



el punto apropiado del ciclo en el terminal 17b para disparar el rectificador controlable de polaridad negativa 3b.

Puede verse que en un sistema de control que permita a los SCR controlados conducir desde un avance de 120° a un retardo de 60° , el error digital es cargado en el circuito de disparo "A". 5a al mismo tiempo que la fase C cambia de polaridad y que el contenido del generador de error digital 7 es cargado en el circuito de disparo C 5c al mismo tiempo que la fase "B" cambia de polaridad. Las señales necesarias para efectuar la carga de la señal de error en los otros dos circuitos de disparo 5a y 5c, son conseguidas de manera idéntica por el resto del circuito lógico mostrado en la figura 3. Este circuito es idéntico en forma y funcionamiento al descrito para cargar el error en el circuito de disparo "B" 5b y está designado con números similares que llevan los sufijos a y c.

Con vistas a comprender totalmente el circuito de disparo de la figura 4, es necesario en primer lugar explicar la forma de la señal de error generada por el generador 7 de error digital. Esta señal de error puede ser de cualquier polaridad. La señal de error digital de la presente realización está en notación binaria pura, pero cualquier código de dos bits podría usarse con modificaciones pequeñas en el circuito lógico. Con fines de explicación de la presente realización, se supone que la señal de error digital es un número binario pero de cinco bits usándose un sexto bitio (más significativo) para representar el signo del error.

Para errores positivos, la señal de error indica la magnitud del error en binario puro siendo el bitio de signo un "0" para indicar un error positivo.



540.- Para señales de error negativas, el bitio de signo es un "1" y la magnitud del error es codificada en el denominador complemento de dos. Esto es, se obtiene un número negativo comenzando con un número positivo de magnitud correspondiente y sustituyendo un 1 por un 0 y un 0 por un 1 y añadiendo un 1 al resultado.

Los ejemplos siguientes sirven para ilustrar la codificación de las señales de error digital que se usan en la presente realización:

545.-

$$\begin{array}{r}
 + 5 = 000101 \\
 - 5 = 111010 \\
 \hline
 + 1 \\
 \hline
 111011
 \end{array}$$

550.- Volviendo ahora a la figura 4, se muestra un diagrama lógico detallado del circuito de disparo 5a de la figura 1. Los circuitos de disparo 5b y 5c son idénticos. En la presente realización, el ángulo de disparo deseado es directamente proporcional a la magnitud de la señal de error digital. Así resultaría una señal de error de máxima magnitud, al disparar los SCR en el tiempo más temprano posible, es decir, 120° antes de un cambio en la polaridad de la entrada de c.a. Brevemente, esto se lleva a cabo cargando la señal de error digital en un contador reversible 39 compuesto por pasos contadores 40-44. La entrada del contador reversible 39 es entonces

555.- contada a un régimen establecido hasta que se alcanza un número predeterminado, en cuyo momento el impulso de disparo es generado. Cuando el detector de fase 9 indica que debe ser

560.- disparado un rectificador controlable de polaridad positiva, el contador reversible 39 cuenta. Cuando el contador rebasa su capacidad,

565.- el impulso de disparo es generado para este rec-



570.- tificador controlable de polaridad positiva. Por otra parte, si el detector de fase 9 indica que debe ser disparado un SCR de polaridad negativa, el contador reversible 39 descuenta y un impulso de disparo es generado para el SCR de polaridad negativa cuando el contador reversible 39 alcanza un rebese negativo.

575.- El contador reversible 39 se ha mostrado como un contador reversible de cinco bitios, de modo que la señal de error positivo máxima es, en notación binaria pura 11111 (31). Aunque la presente realización se ha mostrado como que comprende un contador de cinco bitios, resultará obvio para los técnicos que podría usarse cualquier número de bitios con pequeñas modificaciones en los circuitos lógicos y en la frecuencia de entrada de impulsos de reloj. Para determinar la frecuencia

580.- del generador 10 de impulsos de reloj, solamente es preciso dividir el cómputo, requerido del contador reversible 39 por la longitud del período antes de que se permita conducir a un SCR. En la presente realización, el contador tiene un cómputo de 31 para retrasar el disparo del SCR en 120°, lo que es igual a 1/3 de un ciclo de c.a. Si la entrada de c.a. es convencionalmente de 60 ciclos por segundo, entonces puede retrasarse un SCR en 1/180 de segundo o 5,556 milisegundos. Por ello, la frecuencia del generador de impulsos de reloj 10 debe ser de $31 \times 180 = 5,58$ KHZ.

585.-
590.- El circuito de disparo de la figura 4 está compuesto por un contador reversible 39 que consta de pasos contadores 40-44 más un paso contador adicional 45 que proporciona el signo del error. En funcionamiento, el error es cargado en el circuito de disparo al recibir un impulso de carga en el
595.- terminal 12a de entrada. Este impulso de carga, como se ha



descrito anteriormente, es recibido desde el circuito 9 de detección de fase.

El contenido del generador 7 de error digital es cargado en el circuito de disparo 5a ya que los cinco bitios del error digital constituyen una entrada de cada una de una pluralidad de puertas 46-50 y 51-55. Como se muestra en la figura 1, la señal Bitio 1 de Error constituye una de las entradas a la puerta 46, mientras que la señal Bitio 1 de Error constituye una de las entradas a la puerta 51. Los otros bitios de error constituyen entradas correspondientes a las puertas 47-50 y 52-55. Si el primer bitio de error es un 1 entonces la señal Bitio 1 de Error es un "1" lógico mientras que la señal Bitio 1 de Error es un "0" lógico. Al recibir un impulso de carga en el terminal de entrada 12a, la otra entrada a las puertas 46-50 y 51-55 pasará desde un "0" lógico a un "1" lógico. En este momento, la salida de la puerta 46 pasa a un "0" lógico que, en virtud de su conexión al terminal Pj del paso contador 40, obliga al paso contador 40 a tomar el estado activado. Como la señal Bitio 1 de Error en la puerta 51 es un "0" lógico, la salida de la puerta 51 permanecerá en un "1" lógico de modo que el paso contador 40 no es mandado a reposición. Por otra parte, si el primer bitio del error ha sido un "0" lógico, entonces la señal Bitio 1 de Error habría sido un "1" lógico. Al recibir un impulso de carga en el terminal de entrada 12a, la salida de la puerta 51 pasaría a un "0" lógico que obligaría al paso contador 40, en virtud de su conexión al terminal Pk del paso contador 40, a pasar a reposición. De esta manera, el error digital del generador 7 de error digital será cargado en el contador reversible 39 del circuito de disparo 5a.



- Además de cargar la magnitud del error, es también necesario cargar el signo del error en el paso contador 45. Esto se consigue en virtud de la señal signo Más como una entrada a la puerta 56 y la señal signo $\overline{\text{Más}}$ como una entrada a la puerta 57. Como el terminal de carga 12a está conectado también para formar la segunda entrada a las puertas 56 y 57, es evidente que el paso contador 45 será activado si el signo del error es menos, y repuesto si el signo del error es más. El terminal de carga 12a está acoplado también a una puerta 60a en que la señal Carga es convertida en una señal $\overline{\text{Carga}}$. La salida de la puerta 60a, o la señal $\overline{\text{Carga}}$, es acoplada a las puertas 58 y 60. El propósito de la señal $\overline{\text{Carga}}$ es impedir a las puertas 58 y 60 capacitar a los monoestables 59 y 61, respectivamente, mientras el contador 39 está siendo cargado. Debido a que la señal Carga es un "0" lógico, aunque uno de los monoestables 22b y 23b de la figura 3 haya completado su señal de salida, y el contador reversible haya sido cargado, las puertas 58 y 60 no pueden capacitar a los monoestables 59 y 61 hasta transcurrido este tiempo.
- 630.-
- 635.-
- 640.-
- 645.-
- 650.-
- 655.-
- Habiendo cargado la señal de error en el contador reversible 39, es ahora necesario que el contador cuente en el sentido adecuado hasta que rebosa y el paso 45 se activa o cuenta hacia atrás hasta que el paso contador 45 se repone. En el caso de un voltaje de fase positivo, la señal en el terminal de entrada 15a será un "1" lógico de modo que obligue al contador reversible 39 a contar. Este terminal 15a está conectado a los terminales de entrada "U" de los pasos contadores 40-44 de modo que contará desde su número preajustado a un régimen determinado por los impulsos de reloj presentes en el terminal de entrada 14a. Cuando el contador reversible 39



ha contado su capacidad completa (11111), el siguiente impulso conducirá al retorno de todos los pasos contadores a 0. Al mismo tiempo, el paso contador 45, que ha sido previamente repuesto, debido al signo positivo del error, tomará el estado activado. Cuando el paso contador 45 se activa, la salida \bar{Q} del paso 45 pasará al "0" lógico. En este punto, debido a que la salida de la puerta 58 es un "0" lógico, el monoestable 59 generará un impulso que pasa desde el "1" lógico al "0" lógico y este impulso será alimentado al SCR 4a para iniciar la conducción del SCR 4a. Así, el circuito de disparo 5a ha actuado en respuesta al contenido del generador 7 de error digital para generar un impulso de disparo regulado adecuadamente en el tiempo y que sea directamente proporcional a la magnitud del error digital.

660.-
665.-
670.-
675.-
680.-
685.-

Habiendo cargado una señal de error en el contador reversible 39 y si la entrada de descuento 16a es un "1" lógico, el contador reversible comenzará a descontar a un régimen determinado por la frecuencia de reloj aplicada al terminal de entrada 14a. Cuando el contador reversible 39 cuenta el número máximo negativo, el siguiente impulso conducirá a reponer el paso contador 45. Cuando el paso contador 45 se repone, la salida Q del paso 45 pasará a un "0" lógico. Debido a que la salida de la puerta 60 es un "0" lógico, el monoestable 61 generará un impulso en su salida que pasa desde el "1" lógico al "0" lógico en este momento. Este impulso será transmitido para iniciar la conducción del SCR 3a polarizado negativamente.

Aunque el invento ha sido descrito con relación a una realización particular, los principios que le sirven de base sugerirán muchas modificaciones adicionales de esta realiza-



- ción particular a los técnicos. Por ejemplo no es necesario usar un contador de error separado para cada fase de voltaje alimentada a la carga. Puede usarse un par de contadores uno usado para contar hacia delante, es decir, para controlar,
- 690.- el disparo de los rectificadores contrólables de polaridad positiva y otro, un contador inverso, usado para controlar el disparo de los rectificadores controlables de polaridad negativa. Con esta disposición, los rectificadores controlables pueden cada uno sólomente ser disparado en un intervalo
- 695.- de 120° , es decir desde 90° de avance a 30° de retardo. Además, es deseable con esta disposición bloquear los rectificadores controlables de una polaridad mientras la corriente está circulando a través de los rectificadores controlables, de la polaridad opuesta.
- 700.- Los técnicos reconocerán que este invento puede usarse para proporcionar corriente rectificada de onda completa a una carga tal como una máquina dinamoeléctrica. En este caso, serían necesarios para completar un sistema de onda completa, rectificadores controlados, circuitos de disparo adicionales, etc.
- 705.-

N O T A.-

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de Invención en España, son los siguientes:

- 710.- 12.- Perfeccionamientos introducidos en los aparatos de control digital para controlar la circulación de corriente desde una fuente de c.a. a una carga, caracterizados por comprender un grupo de rectificadores controlables, polarizados en sentidos opuestos conectados entre la fuente de c.a.

4 FEB.



- 715.- y la carga; un generador de error digital para generar señales de error; medios de detección de fase conectados funcionalmente a la fuente de c.a., teniendo lugar las señales de salida de fase de dichos medios de detección de fase en el punto más próximo en cada semi-ciclo de la onda de c.a., en
- 720.- que se permite conducir a uno de dichos rectificadores controlables; y medios que incluyen circuitos de cómputo y registro que son accionados al recibirse las señales de salida desde dichos medios de detección de fase para responder a las señales de error para proporcionar impulsos de disparo a dichos rectificadores controlados en un ángulo de fase determinado por las características preseleccionadas de dichas señales de error.
- 725.-

2º.- Perfeccionamientos según el punto 1º, caracterizados porque dichos circuitos de cómputo y de registro comprenden un contador reversible que cuenta en un sentido cuando una tensión de la fuente de c.a. es positiva en polaridad y en el otro sentido cuando una tensión de la fuente de c.a. es negativa en polaridad.

730.-

3º.- Perfeccionamientos según el punto 2º, caracterizados porque dichos circuitos de cómputo y registro producen un impulso de disparo para dicho rectificador controlable polarizado positivamente cuando dicho contador de error alcanza un cómputo predeterminado en un sentido y produce un impulso de disparo para dicho rectificador controlable polarizado negativamente cuando dicho contador de error alcanza un cómputo predeterminado en el otro sentido.

735.-

740.-

4º.- Perfeccionamientos según el punto 1º o 2º, caracterizados porque la combinación incluye una máquina dinamoeléctrica como carga.

- 4 FEB. 1971



- 745.- 52.- Perfeccionamientos según cualquiera de los puntos 12 a 42, caracterizados porque los medios de detección de fase funcionan para iniciar la conducción durante los últimos 120° de cada semi-ciclo de la entrada de c.a. y durante los primeros 60° del semi-ciclo siguiente.
- 750.- 62.- Perfeccionamientos según uno cualquiera de los puntos anteriores, caracterizados por incluir un circuito de disparo digital que funciona para disparar uno de un par de rectificadores controlables polarizados en sentidos opuestos conectado a una fuente de c.a. en respuesta a una señal de error digital que comprende un contador digital dispuesto para contar a un régimen predeterminado, siendo hechos funcionar dichos medios de detección de fase para percibir el punto más temprano de cada semi-ciclo de la onda de c.a. en que puede generarse un impulso de disparo, estando la salida de dichos medios de detección de fase funcionalmente conectada para cargar la señal de error digital a dicho contador digital y unos medios de percepción conectados operativamente a dicho contador digital, siendo hechos funcionar dichos medios de percepción para producir una señal de salida cuando el contenido de dicho contador digital alcanza un valor predeterminado, confiándose en dicha señal de salida para disparar uno de los rectificadores controlables.
- 755.- 72.- "PERFECCIONAMIENTOS INTRODUCIDOS EN LOS APARATOS DE CONTROL DIGITAL PARA CONTROLAR LA CIRCULACION DE CORRIENTE DESDE UNA FUENTE DE C.A. A UNA CARGA", todo tal y conforme se describe en la presente Memoria, la cual consta de 773 líneas y a título de ejemplo se representa en los adjuntos dibujos.
- 760.-
- 765.-
- 770.-

Ma - - - - -

- 28 -

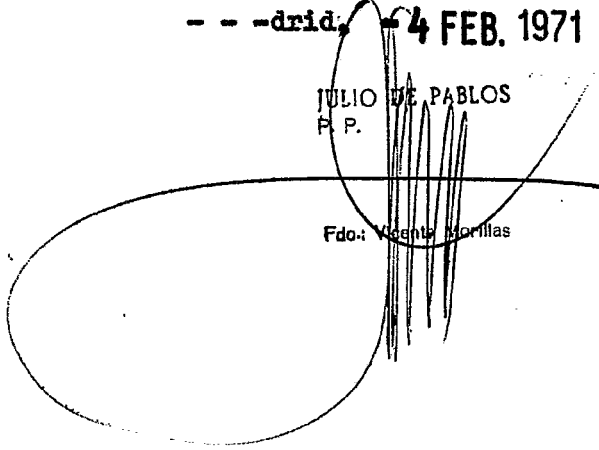
- 4 FEB 1971



---drid, - 4 FEB. 1971

JULIO DE PABLOS
P. P.

Fdo: Veinte Morillas



ESCALA VARIABLE.

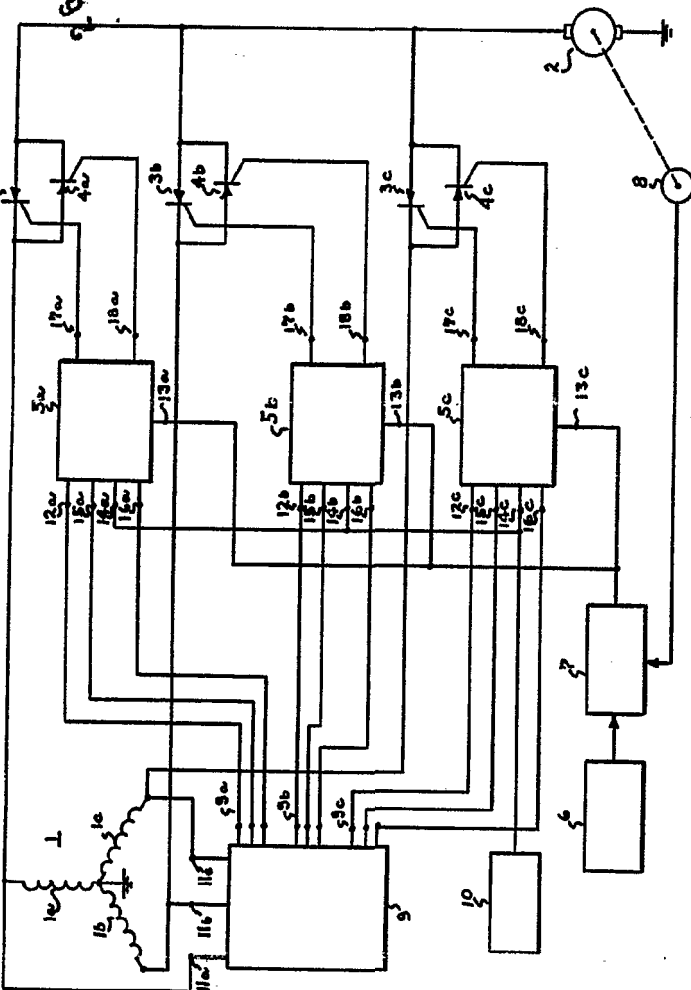


FIG. 1

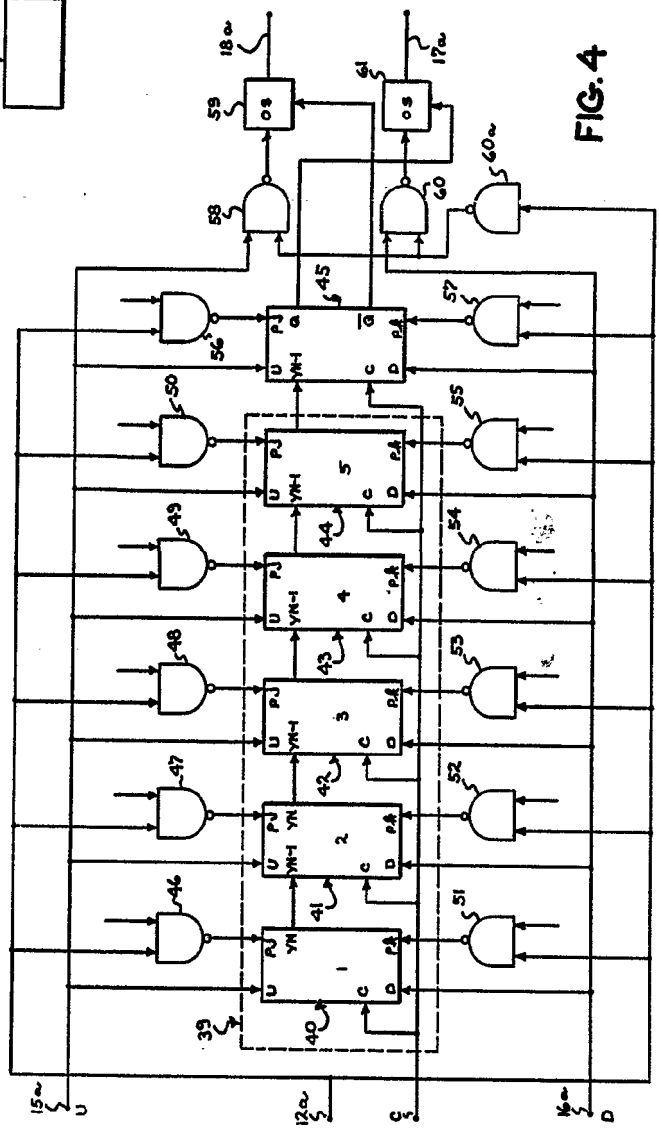


FIG. 4

MADE IN U.S.A. 26 FEB. 1971

[Handwritten signature]

GENERAL ELECTRIC COMPANY.

ESCALA VARIABLE.

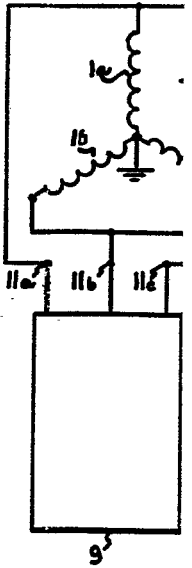
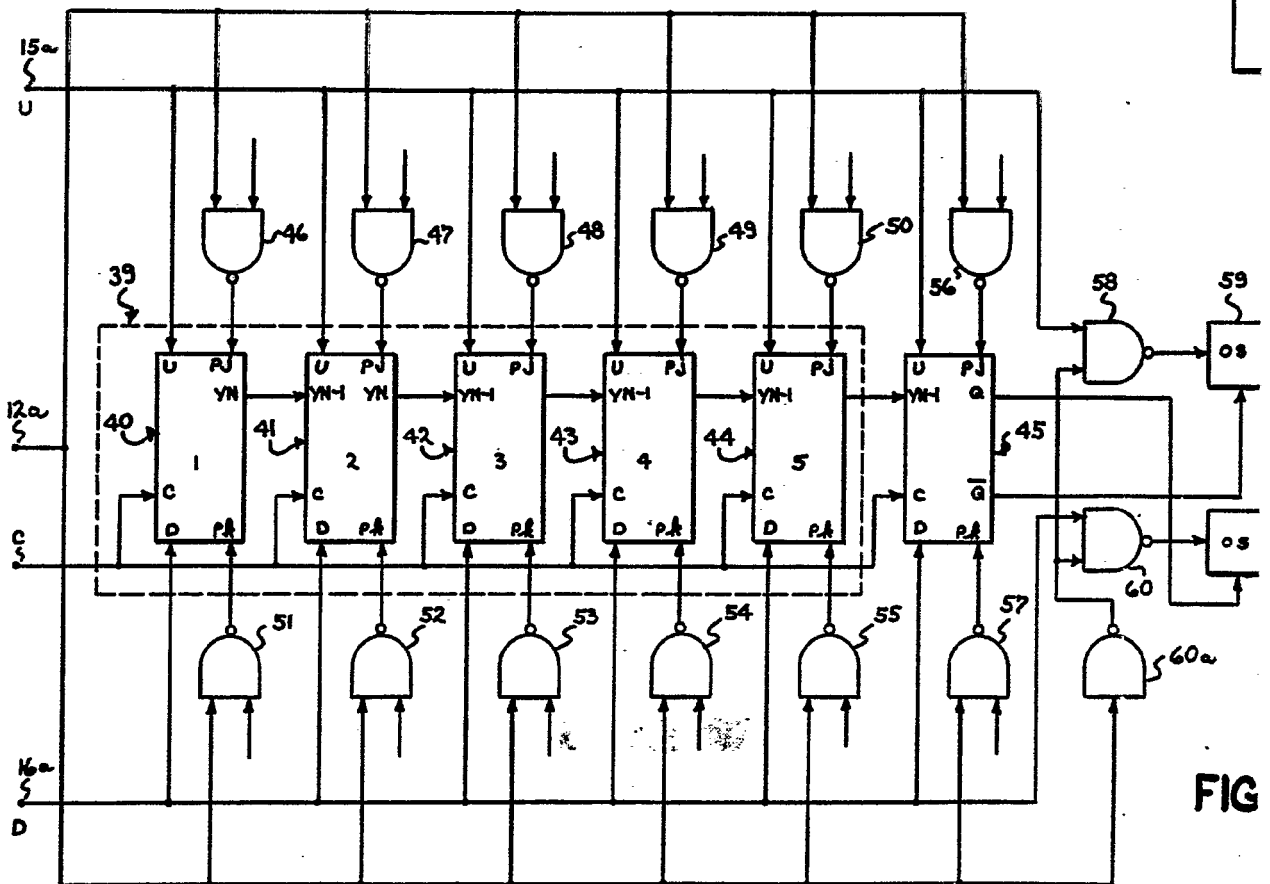
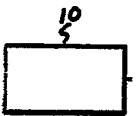


FIG. 1



FIG

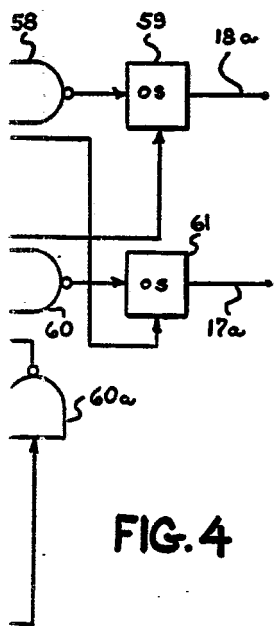
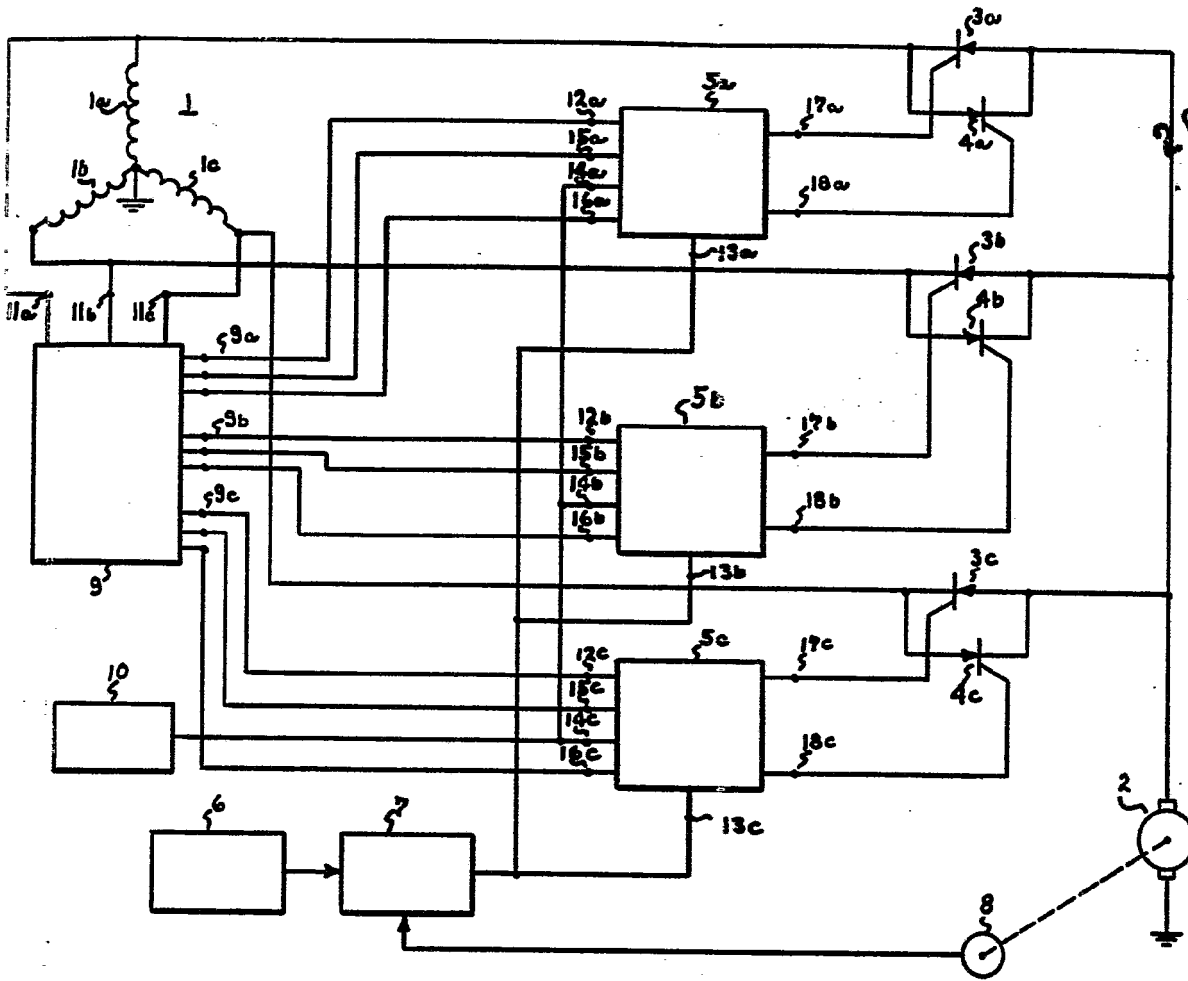


FIG. 4

Madrid, 26 FEB. 1971

[Handwritten signature]

ESCALA VARIABLE.

371

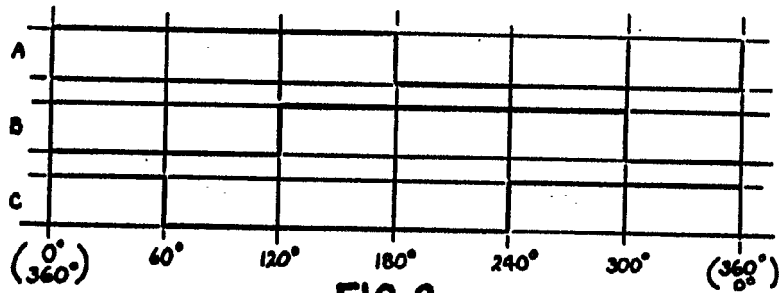


FIG. 2

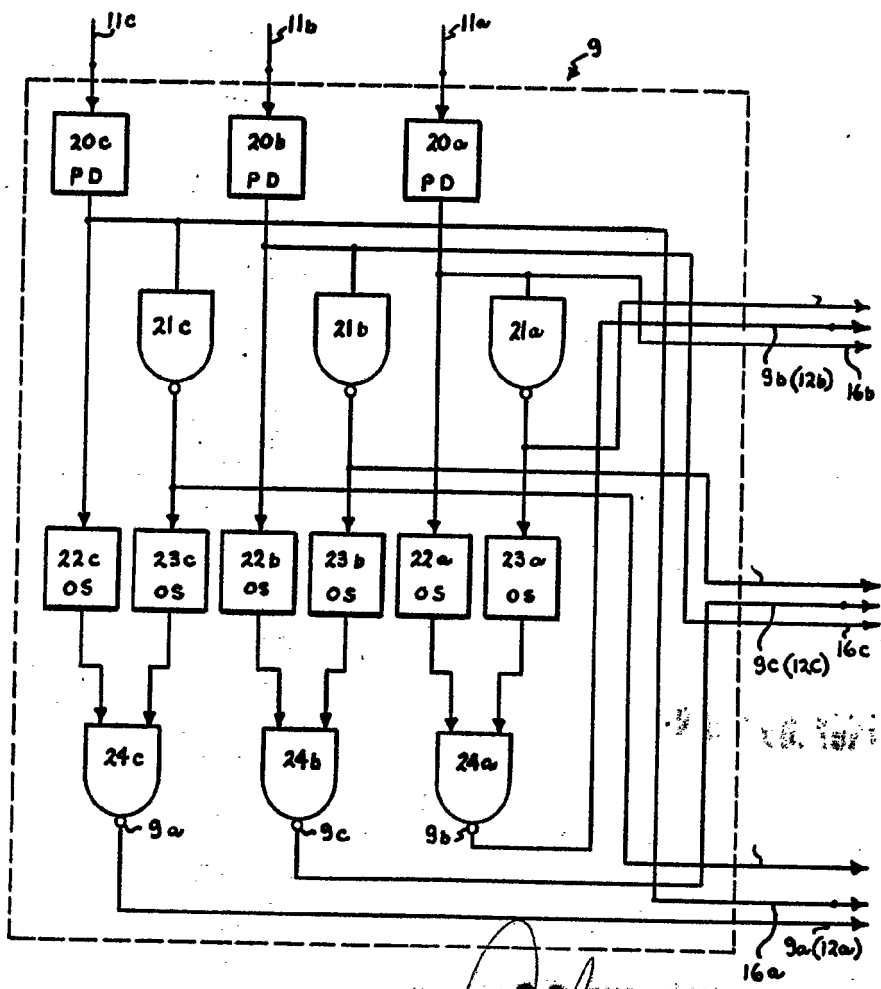


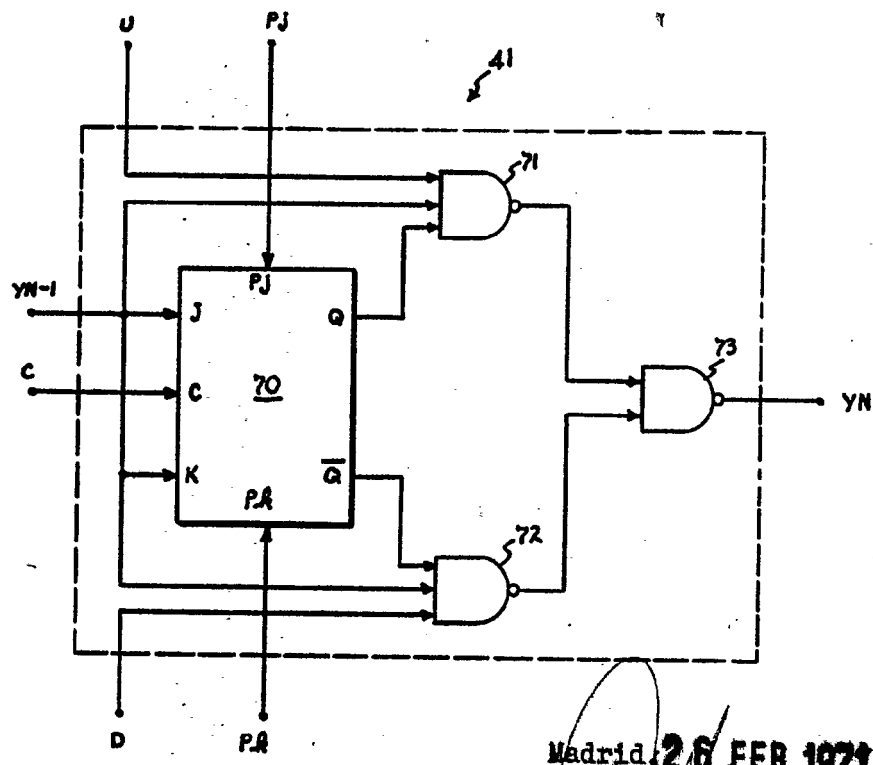
FIG. 3

Madrid 5 FEB. 1971

[Handwritten signature]

ESCALA VARIABLE.

26



Madrid, 26 FEB. 1971

FIG. 5