

386995

P.- 46.761

PHN 3182
Div.

| | |
|------------------------|------|
| SECRETARIA DE ECONOMIA | |
| COMERCIO EXTERNO | |
| CLASE | H.01 |
| SUBCLASE | L |



Memoria descriptiva

para solicitar PATENTE DE INVENCION por 20 años

a nombre de N.V. PHILIPS 'GLOEILAMPENFABRIEKEN

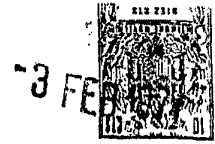
entidad / ~~de nacionalidad~~: holandesa

con domicilio en Emmasingel 29 Eindhoven, Holanda

por: " UN DISPOSITIVO SEMICONDUCTOR "

(Clase Internacional H011)

386995



La invención se refiere a un dispositivo semiconductor que comprende una serie de etapas sucesivas que muestran medios de conmutación electrónicos y una capacidad de memoria, en cuyo dispositivo puede ser transferida carga desde la capacidad de memoria de una primera etapa a la capacidad de memoria de la etapa siguiente de la serie, comprendiendo dicho dispositivo un cuerpo que tiene una o más regiones superficiales de material semiconductor.

Este tipo de dispositivos semiconductores es frecuentemente usado en circuito de memoria, por ejemplo, como una línea de retardo para señales de audio-frecuencia y video-frecuencia, o como registro de desplazamiento binario, Es pues necesario que sea transferida la energía de las capacidades de memoria de una primera etapa a la capacidad de memoria de la etapa siguiente de dicho circuito, con tan pequeña pérdida y deformación como sea posible.

En una disposición de circuitos de este genero ya conocida, que se ilustra en la figura 3 de la publicación "Electronics Letters", Dic. 1967, 3 nº. 12, pp. 544-546, la disposición en serie de una resistencia, el camino de emisor-colector de un transistor y un diodo se ha incluido entre un primer condensador y un segundo condensador, disponiendose una fuente de conmutación que controla la transferencia de carga, entre los extremos de conexión de la primera capacidad y de la segunda más distantes de la resistencia y del diodo. El electrodo de base de dicho transistor está conectado a un punto de potencial constante. Esta disposición de circuitos ya conocida presenta la desventaja de producirse intermodulación entre sucesivos muestreos de señales, intermodulación que es ocasionada

386995 -3 rec. 9



5 por la presencia de la capacidad parásita entre el colector y la base de los transistores, lo que da lugar a que durante la transferencia de carga de un primer condensador a un segundo condensador, una parte de la carga a transferir se introduzca en dicha capacidad parásita como carga parasita, carga que permanece en la capacidad parásita durante la operación de transferencia o traslado desde el segundo condensador a un tercer condensador. Esta carga parásita se aplica como adicional a dicho segundo condensador, 10 en la sucesiva operación de transferencia desde dicho primer condensador a dicho segundo condensador. El resultado de esto es que en los muestreos individuales de señal se superponen ecos de la señal precedente, teniendo dicho efecto de eco una acción acumulativa. En un circuito de memoria 15 integrada en el que no puede elegirse un valor pequeño para la razón o cociente entre dicha capacidad parásita y la capacidad electrostática de memoria, dicho efecto de eco será ya desastroso para las posibilidades de utilización de la memoria integrada con un pequeño número de unidades de memoria dispuestas una tras otra. 20

Otra desventaja del circuito ya conocido está en el hecho de producirse una pérdida de carga, por ser ligeramente menor que 1 el factor de ganancia alfa de corriente de colector-emisor de los transistores utilizados, 25 de manera que la corriente de carga y la de descarga, respectivamente, de un primer condensador es mayor que la corriente de descarga y la de carga, respectivamente de un segundo condensador.

30 Es objeto de la invención un dispositivo semiconductor para una disposición de circuitos del tipo descri-



to, que no presenta dichas desventajas y, de acuerdo con
la invención, un dispositivo semiconductor como el des-
crito en el preámbulo está caracterizado, porque cada
etapa comprende un transistor de efecto de campo, el elec-
trodo de drenaje de dicho transistor de efecto de campo
5 de la etapa siguiente de la serie, estando dispuestas las
regiones semiconductores de dicho transistor de efecto de
campo en las citadas regiones superficiales, estando cons-
tituidas al menos parte de dichas capacidades de memoria
10 por las capacidades internas entre los electrodos de ba-
rreras y los electrodos de drenaje de dichos transisto-
res de efecto de campo, estando asociados los electrodos
de barrera de los citados transistores de efecto de campo
a la entrada o entradas eléctricas para señales de control,
15 para controlar la transferencia de carga.

Utilizando la capacitancia interna entre los
electrodos de barrera y de drenaje como segunda capacitancia,
o sea como capacitancia de memoria, se obtiene una
memoria capacitiva de estructura muy sencilla, memoria
20 que combina la bondad de su manera de funcionar con la pe-
queñez del área de superficie necesaria por unidad de me-
moria, porque cada unidad de memoria está constituida por
un solo transistor de efecto de campo. Además, es importan-
te la característica de que el área de superficie por uni-
dad de memoria en una memoria conforme a la invención es
25 en general más pequeña que en una memoria integrada compa-
rable en la que se usen transistores de tipo bipolar, por-
que cuando se usan transistores de efecto de campo, éstos
pueden ir dispuestos en la misma región de superficie, de
30 manera que es posible evitar el empleo de regiones de ais-

386995



lamiento. Es más, el empleo de transistores de efecto de campo en la fabricación de una memoria integrada, con arreglo a métodos de los comúnmente usados en la tecnología de los semiconductores, puede dar por resultado una disminución del número de operaciones de foto-reserva y difusión, en comparación con el uso de transistores bipolares. Tanto la menor área de superficie por unidad de memoria como la mayor sencillez de la manufactura acrecientan el rendimiento de la fabricación.

Además, la forma de construcción elegida de memoria capacitiva, ilustrada en la figura 3, cuando se usa como capacidad electrostática de memoria la capacidad interna entre los electrodos de barrera y de drenaje, tiene la ventaja adicional de que la capacidad parasita presente entre los electrodos de fuente y de barrera no tiene influencia dañosa alguna en el satisfactorio funcionamiento de dicha memoria capacitiva, porque dicha capacidad parasita sirve también de capacitancia de memoria. El mismo razonamiento tiene aplicación a las capacitancias parásitas entre la región de superficie de semiconductor circundante y los electrodos de fuente y de drenaje. El nivel de referencia de la capacidad parásita entre los electrodos de fuente y de barrera es el equivalente a $-V_D$ voltios.

La disposición de circuitos conforme a la invención puede usarse, entre otras maneras, como línea de retardo, por ejemplo, para señales de audio o de video frecuencia. En un circuito de este género es conveniente tener un largo tiempo de retardo por unidad de memoria, o sea por transistor de efecto de campo. Cuando se usa una serie de n transistores de efecto de campo, es posible



obtener un tiempo de retardo máximo por unidad de memoria cuando todos los electrodos de barrera están conectados por separado, a través de una fuente de tensión de conmutación, a masa o a un potencial de referencia distinto.

5 Eligiendo las señales de conmutación de manera que tengan un valor de E voltios durante $1/n$ (la enésima) parte de cada periodo de exploración T , y un valor de 0 voltios durante el resto del periodo, y cuando además estén desplazadas entre sí en el tiempo de la enésima parte del periodo T , de tal manera que se hagan conductivos primero el
10 enésimo transistor de efecto de campo y luego los de orden $(n-1)$, $(n-2)$, y así sucesivamente, el tiempo de retardo por unidad de memoria se hace máximo e igual a $(n-1)T/n$ segundos.

15 Ahora bien, en la práctica, el número de fuentes de conmutación o interrupción (aquí denominadas genéricamente de conmutación) se restringirá de preferencia, a expensas de cierta reducción en el tiempo de retardo por
20 unidad de memoria. Esto puede lograrse interconectando un número de electrodos de barrera de los transistores de efecto de campo; y una forma preferida del dispositivo semiconductor conforme a este invento se caracteriza, por lo tanto, por el hecho de estar interconectados un número de
25 electrodos de barrera de los transistores de efecto de campo de la serie, número que no comprende dos transistores de efecto de campo sucesivos.

30 Como se apreciará de manera obvia, es conveniente llegar a un compromiso lo más favorable posible entre el número de fuentes de conmutación a usar, por una parte, y el número de transistores de efecto de campo necesarios,

386995



5 por la otra. En este caso tiene importancia que el tiempo de retardo por unidad de memoria sea además independiente de la manera en que se hayan elegido las conexiones de los electrodos de barrera de los diversos transistores de efecto de campo de la serie.

10 Aun cuando para el funcionamiento como registro de desplazamiento es suficiente que, en la conexión de los electrodos de barrera de diversos transistores de efecto de campo, se satisfaga la condición de que no pueda haber simultáneamente en condición dos transistores de efecto de campo sucesivos, se construyen conforme a la invención memorias más grandes, para así llegar a obtener un compromiso favorable, partiendo de una serie de transistores de efecto de campo que contiene por lo menos dos grupos
15 adyacentes sucesivos que tienen el mismo número de transistores de efecto de campo sucesivos, estando interconectados los electrodos de barrera de dichos transistores de efecto de campo asociados con grupos diferentes, pero que en su grupo tienen el mismo número.

20 Esta forma de construcción permite obtener el más largo tiempo de retardo posible por unidad de memoria con un número previamente ajustado de fuentes de conmutación a utilizar. El número de transistores de efecto de campo por grupo viene determinado por el número de fuentes de conmutación a emplear.
25

30 El dispositivo semiconductor conforme al presente invento puede estar construido con transistores de capas o películas delgadas depositadas (T.F.T.) pero de preferencia está caracterizado por ser regiones de superficie los electrodos de fuente y de drenaje de uno o más de los



transistores de efecto de campo de la serie, en tanto que entre dichas regiones de superficie se extiende una región de canal que se une a la superficie del semiconductor limitada por las regiones de superficie, disponiéndose en la superficie del semiconductor una capa aislante en la cual está dispuesto el electrodo de barrera, y que se extiende por encima de la región de canal.

Una forma importante de realización del dispositivo semiconductor del presente invento comprende por lo menos un transistor de efecto de campo que tiene un electrodo de barrera aislado, y cuyo electrodo de drenaje constituye también el electrodo de fuente del transistor de efecto de campo sucesivo de la serie, de tal modo que se obtiene una estructura particularmente compacta.

Otra forma importante de realización del dispositivo semiconductor del presente invento se caracteriza por el hecho de que los electrodos de fuente y de drenaje de por lo menos un transistor de efecto de campo de la serie son regiones de superficie de un determinado tipo de conductividad que están conectadas entre sí por una región de canal de un determinado tipo de conductividad, siendo el electrodo de barrera una región del tipo de conductividad opuesto que llega a la región de canal y que está separada de la región de canal por una unión pN.

Como se apreciará de manera obvia, las frecuencias a las que es posible utilizar la memoria dependen también del valor de las capacitancias de la memoria. En general, según sean menores las frecuencias utilizadas, las capacidades de la memoria tendrán que ser más grandes. A consecuencia de esto, dicha capacidad interna de los tran-

386995



sistores de efecto de campo usuales puede ser demasiado pequeña, por ejemplo, cuando se utilicen bajas frecuencias.

En otra forma de ejecución del dispositivo semiconductor del presente invento, el electrodo de barrera de
5 por lo menos uno de los transistores de efecto de campo de la serie se extiende por encima de parte del electrodo de drenaje, y por encima de la región de canal. A consecuencia de esto se aumenta de modo efectivo la capacidad interna entre el electrodo de barrera y el electrodo de drenaje,
10 siendo máximo el aumento del área de superficie necesaria por unidad de memoria.

La capacidad electrostática interna de la memoria se aumenta de distinta manera en una forma de realización del dispositivo semiconductor del presente invento
15 con arreglo a la cual en el electrodo de drenaje de por lo menos uno de los transistores de efecto de campo de la serie se dispone otra región de superficie, de un tipo de conductividad opuesto al del electrodo de drenaje, y esta otra región de superficie comprende un conductor de conexión.

En esta forma de ejecución se usa la capacidad de una unión
20 PN polarizada en sentido inverso, capacidad que en este caso exige relativamente poca área de superficie adicional. Esta otra región de superficie últimamente mencionada puede conectarse directamente al electrodo de barrera del
25 transistor de efecto de campo, por medio de dicho conductor de conexión.

En lo que sigue se describirá la invención con referencia a los dibujos adjuntos, en los cuales:

- la figura 1 es un esquemá eléctrico de principio del dispositivo semiconductor de acuerdo con la inven-



ción;

- la figura 2 ilustra la variación de la tensión de la fuente de tensión de conmutación de la figura 1;

5 - la figura 3 muestra un dispositivo que resulta adecuado, por ejemplo, para retardar señales eléctricas;

- la figura 4 ilustra las variaciones de tensión en diferentes puntos del dispositivo de la figura 3;

10 - la figura 5 ilustra esquemáticamente, vista en planta, parte de una forma de ejecución del dispositivo semiconductor conforme a la invención, en tanto que;

- la figura 6 ilustra esquemáticamente una vista en sección recta tomada por la línea VI - VI de la figura 5;

15 - la figura 7 ilustra esquemáticamente, vista en sección recta, parte de otra forma de ejecución de dispositivo semiconductor conforme al presente invento;

20 - la figura 8 representa esquemáticamente, vista en planta, parte de otra forma de ejecución del dispositivo semiconductor conforme al invento, en tanto que

- la figura 9 ilustra esquemáticamente una vista en sección recta tomada por la línea IX - IX de la figura 8;

25 - la figura 10 representa esquemáticamente, vista en planta, parte de otra forma de realización del dispositivo semiconductor conforme al presente invento, mientras

30 - la figura 11 ilustra esquemáticamente una vista en sección recta tomada por la línea XI - XI de la figura 10;

386995

-3



- la figura 12 representa esquemáticamente, vista en planta, una forma sucesiva de dispositivo semiconductor conforme al presente invento; y

5 - la figura 13 ilustra esquemáticamente una vista en sección recta del dispositivo semiconductor de la figura 12, tomada la sección por la línea XIII - XIII de la figura 12.

10 En la figura 1, T_n , es un transistor de efecto de campo que puede estar construido con un electrodo de barrera aislado; C_{n-1} es una primera capacidad, y C_n es una segunda capacidad. S_0 es una fuente de tensión de conmutación que suministra una tensión, por ejemplo, cuya forma se ilustra en la figura 2. Por esta última figura puede verse que la tensión entre el electrodo de barrera

15 G y un potencial de referencia (por ejemplo, masa) es igual a E voltios durante el tiempo T_1 , en tanto que durante el tiempo T_2 dicha tensión es igual a 0 voltios. La capacidad C_n , en la figura 1, está dispuesta entre el electrodo de drenaje D y el electrodo de barrera G del

20 transistor T_n de efecto de campo, en tanto que la capacidad C_{n-1} está conectada por uno de sus extremos al electrodo de fuente S y por el otro al electrodo de barrera del transistor de efecto de campo T_n , a través de la fuente S_0 de tensión de conmutación. Durante el tiempo τ_1 , la

25 tensión entre el electrodo de barrera y el potencial de referencia es igual a E voltios. El transistor estará en conducción durante el tiempo de τ_1 en que la tensión en bornes de la capacidad sea menor de $(E - V_D)$ voltios, siendo V_D la tensión de umbral del transistor de efecto de

30 campo T_n . A través del transistor circulará una corriente.

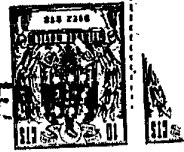
386995



que hará que aumente la tensión en bornes de la capacidad C_{n-1} y que disminuye la tensión en bornes de la capacidad C_n . Si las dos capacidades son del mismo valor, la tensión en bornes de la capacidad C_{n-1} aumentará, en el mismo periodo, en la misma extensión en que disminuirá la tensión en bornes de la capacidad C_n . Con una tensión dada E de la fuente de conmutación S_0 , la tensión de salida en bornes de la capacidad C_{n-1} será igual a $(E - V_D)$ voltios, ya que, al llegar a esta tensión, el transistor de efecto de campo T_n dejará de conducir. La tensión de salida en bornes de la capacidad C_n , por consiguiente, será igual a $(V_n - \Delta V)$ voltios, donde ΔV es igual al aumento de tensión en bornes de la capacidad C_{n-1} y V_n es la tensión en bornes de la capacidad C_n al dar comienzo la transferencia de carga entre las dos capacidades. Cuando la tensión de $(E - V_D)$ voltios se elige como nivel de referencia para la información $-\Delta V$ que estaba presente en la capacidad C_{n-1} , se encuentra uno con que la información $-\Delta V$ ha pasado a la capacidad C_n mientras, simultáneamente, la capacidad C_{n-1} ha sido cargada al nivel de referencia y, por tanto, está de nuevo en condiciones de recibir nueva información del elemento de memoria precedente.

La figura 3 ilustra un circuito en cadena de n unidades, cada una de las cuales comprende un transistor de efecto de campo en el que hay una capacidad dispuesta entre el electrodo de drenaje y el electrodo de barrera. El electrodo de drenaje de cada transistor de efecto de campo está conectado, para la corriente continua, al electrodo de fuente del transistor de efecto de campo sucesivo. El electrodo de drenaje del enésimo transistor de efec-

386995 -3 FEB 1971



to de campo va conectado a la fuente S_0 de tensión de conmutación por medio de un diodo D_n . La señal de salida del circuito en cadena puede derivarse de un electrodo de drenaje de cualquiera de los transistores de efecto de campo.

- 5) El electrodo de fuente del transistor de efecto de campo T_0 está conectado a un potencial de referencia (por ejemplo, a masa), a través de la disposición en serie de la resistencia R_0 y la fuente de suministro de la señal de entrada V_1 . El electrodo de barrera de los transistores de efecto de campo de orden par va conectado, por medio de la fuente S_0 de tensión de conmutación, a un punto de potencial de referencia, en tanto que los electrodos de barrera de los transistores de efecto de campo de número impar van directamente conectados al potencial de referencia.

Para una mejor comprensión del funcionamiento de la disposición de circuitos de la figura 3, la figura 4 ilustra las más importantes variaciones de tensión que se producen durante la ejecución de la transferencia, en función del tiempo. La gráfica 4a representa la variación de tensión de la fuente de conmutación S_0 en función del tiempo. Es una onda de tensión, de perfil rectangular simétrico, que tiene un máximo de $+E$ voltios y un mínimo de $-E$ voltios, siendo el periodo de dicha onda de tensión rectangular igual a T segundos. Este periodo debe ser menor, por lo menos en un factor 2, que el periodo de la señal de máxima frecuencia que tenga lugar en la tensión de entrada V_1 , tensión esta última que se ilustra en la figura 4b. Durante los intervalos de tiempo τ_0 , τ_2 , τ_4 y τ_6 , el punto B_0 de la figura 3 que conecta los electrodos de barrera



de los transistores de efecto de campo de orden par tiene un potencial de $-E$ voltios respecto al punto B_1 que conecta los electrodos de barrera de los transistores de efecto de campo de orden impar, punto que está también conectado al potencial de referencia. El transistor T_0 no estará en conducción durante dichos intervalos de tiempo si la tensión de entrada V_i es mayor que $-(E - V_D)$ voltios, en tanto que, al mismo tiempo, los transistores de número par T_2 y T_4 y así sucesivamente, no estarán en conducción, ya que la tensión en bornes de las capacidades de número impar C_1, C_3 , etc. nunca puede ser mayor de $(E - V_D)$ voltios, como se dijo para la capacidad $C_n - 1$ de la figura 1. Los transistores de orden impar T_1, T_3 , etc. estarán en conducción durante los mismos intervalos de tiempo si la tensión en bornes de las capacidades de orden par C_0, C_2 , etc. es menor de E voltios. Las capacidades de número par se cargan hasta que la tensión en bornes de las mismas se haya hecho igual a $(E - V_D)$ voltios, en tanto que la tensión en bornes de cada capacidad de número impar se reducirá en la misma extensión en que aumente la tensión en bornes de la capacidad de número par precedente. Así, en este caso, se supone que todas las capacidades son del mismo valor.

Durante el tiempo en que el punto B_0 tiene una tensión de $+E$ voltios respecto al punto B_1 , que está también conectado al potencial de referencia, la información concerniente al valor de la señal de entrada V_i se transmite a la capacidad C_0 , conforme a la figura 4a, durante los intervalos de tiempo $\tau_1, \tau_3, \tau_5, \tau_7$. El valor de la señal de entrada durante estos intervalos de tiempo

386995



es aproximadamente igual a $-E$, 0 , $+E$ y 0 voltios, respectivamente. Durante estos intervalos de tiempo circulará a través del transistor T_0 una corriente igual a $(E - V_D - V_i) / (R_0 + r)$ amperios, lo que hace que disminuya la tensión de $(E - V_D)$ voltios presente en bornes de la capacidad C_0 . Las corrientes que circulan a través del transistor T_0 durante dichos intervalos de tiempo se hallan representadas en la figura 4c, en tanto que el comportamiento de la tensión en bornes de la capacidad C_0 está ilustrado en la figura 4d. Por esta última figura puede verse que las caídas de tensión en bornes de la capacidad C_0 varían linealmente con el tiempo durante los intervalos de tiempo τ_1 , τ_3 , τ_5 , τ_7 , lo cual es cierto solamente si la resistencia R_0 es muchas veces mayor que la pendiente inversa del transistor de efecto de campo T_0 . La caída de tensión más grande, es decir, $\Delta V = (E - V_D)$ voltios, tiene lugar en el intervalo de tiempo τ_1 , mientras la caída de tensión en el intervalo τ_5 es de cero voltios. Así, la relación lineal entre la caída de tensión ΔV en bornes de la capacidad C_0 y dicha señal de entrada existirá tan solo para las señales de entrada que se hallen en el intervalo definido por

$$-(E + V_D) \leq V_i \leq +(E - V_D) \text{ voltios.}$$

La resistencia R_0 , pues, se elegirá de modo que tenga un valor tal que con una señal de entrada de 0 voltios, la tensión en bornes de la capacidad C_0 durante el tiempo en que B_0 tenga un potencial de $+E$ voltios respecto a masa llegue justamente a adquirir un valor igual a $\frac{1}{2}(E - V_D)$ voltios. La corriente media de carga $-i_{gem} = (E - V_D) / 2R_0$



necesaria para ello viene determinada por el valor de la capacidad C_0 y la duración τ de cada periodo T en que el potencial del punto B_0 es igual a $+E$ voltios. Dicha corriente de carga es igual a $C_0(E-V_D)/2\tau$, donde $\frac{1}{2}(E-V_D)$ es la caída de tensión en bornes de la capacidad C_0 para una señal de entrada de cero voltios. De esto se sigue que, para un ajuste adecuado de la corriente media de carga, debe verificarse que $\tau = \frac{1}{2}C_0R_0$. Los valores favorables para la corriente media de carga, respecto a una buena relación de señal/ruido y a la energía de conmutación necesaria se hallan comprendidos entre un microamperio y un miliamperio.

Debido al hecho de que en la disposición de circuitos ilustrada en la figura 3, las capacidades parásitas entre el electrodo de drenaje y el de barrera de los transistores de efecto de campo están ahora en paralelo con las capacidades C_0 a C_n inclusive, la presencia de dichas capacidades parásitas ya no da lugar a efectos de eco, puesto que dichas capacidades parásitas operan ahora también como capacidades de memoria. Además, mediante el uso de transistores de efecto de campo como medios de conmutación se logra que la corriente de carga y la de descarga, respectivamente, de una primera capacidad no difieran esencialmente de la corriente de descarga y la de carga, respectivamente, de una segunda capacidad de la disposición de circuitos de la figura 3. Además, el uso de los transistores de efectos de campo tiene como ventaja adicional, respecto a los transistores bipolares, la de que la señal eléctrica de entrada V_i puede tener una amplitud más grande, porque la tensión de ruptura entre el electrodo de

386995 -3 FEB



fuelle y el de barrera o el sustrato es muchas veces mayor que la correspondiente tensión de ruptura entre el electrodo emisor y el de base de un transistor bipolar.

El dispositivo semiconductor ilustrado en las
5 figuras 5 y 6 comprende un sustrato 50 que puede consistir en un material aislante y estar provisto de una o más regiones de superficie de material semiconductor, o bien, como en el presente ejemplo, que puede constar en sí de un material semiconductor. Conforme a la invención, en una región
10 de superficie del sustrato 50 están dispuestas unas regiones semiconductoras 51 de una serie de transistores de efecto de campo, estando el electrodo de drenaje de un transistor de efecto de campo de la serie, para la transferencia de carga, conectado al electrodo de fuente del transistor de efecto de campo sucesivo de la serie, ya que cada una
15 de las regiones 51 representadas constituye tanto el electrodo de drenaje de un determinado transistor de efecto de campo como el electrodo de fuente del transistor de efecto de campo que le sigue. Los electrodos de barrera 52 están
20 conectados a una de las pistas metálicas 53 y 54 y, por tanto asociados a las entradas eléctricas para las señales de control que puedan aplicarse por medio de dichas pistas metálicas.

El dispositivo semiconductor tiene una estructura
25 sencilla y compacta, en la cual el área de superficie necesaria por unidad de memoria es pequeña, ya que cada unidad de memoria está constituida por solamente un transistor de efecto de campo.

Por medio de cada una de las pistas conductoras
30 53 y 54 se conectan entre sí los electrodos de barrera 52

386995



de un número de transistores de efecto de campo, de tal modo que ese número de transistores de efecto de campo no comprenda, dos transistores de efecto de campo sucesivos. Como resultado de esto, es posible aplicar la misma señal de control simultáneamente a los electrodos de barrera de los diversos transistores de efecto de campo, de manera tal que basta con un número restringido de fuentes de tensión de conmutación.

En el presente ejemplo, los electrodos de barrera de los transistores de efecto de campo sucesivos están conectados alternativamente a la pista conductiva 53 y a la pista conductiva 54. A consecuencia de ello, la serie de transistores de efecto de campo se compone de grupos adyacentes sucesivos que tienen el mismo número de dos transistores de efecto de campo sucesivos, estando conectados entre sí los electrodos de barrera de dichos transistores que, asociados a diversos grupos, tienen el mismo número en su grupo.

Con este método de conexión se logra un compromiso favorable entre el número de fuentes de conmutación a usar, de una parte, y de otra el tiempo de retardo por unidad de memoria. En relación con esto es de notar que el tiempo de retardo por unidad de memoria es directamente proporcional al número de transistores de efecto de campo por grupo que contienen simultáneamente información.

La segunda capacidad, o de memoria, está constituida por la capacidad entre el electrodo de barrera 52 y la región de superficie 51, que están separados entre sí por la capa aislante 55 que recubre la superficie del semiconductor. Además, el electrodo de barrera 52 está situa-

386995

-3 FEB



do por encima de la región de canal 56 que llega a la superficie del semiconductor y se extiende entre las regiones de superficie 51 que constituyen los electrodos de fuente y de drenaje de los transistores de efecto de campo.

5

La capacidad entre el electrodo de barrera 52 y la región de superficie 51 es la capacidad interna entre el electrodo de barrera y el de drenaje del transistor de efecto de campo. Esta capacidad interna se aumenta en este caso, ya que el electrodo de barrera 52 se extiende por encima de la región de canal 56 y por encima de parte del electrodo de drenaje 51.

10

Es de notar que en los transistores de efecto de campo que poseen un electrodo de barrera aislado, del tipo al cual pertenecen los transistores de efecto de campo arriba descritos, el electrodo de barrera suele superponerse a la región de canal de manera que el electrodo de barrera se extiende tanto ligeramente por encima del electrodo de drenaje como por encima del electrodo de fuente. En el transistor de efecto de campo descrito que tiene una mayor capacidad interna, en cambio, el electrodo de barrera no es simétrico respecto a la región de canal, de manera que el electrodo de barrera cubre, de uno de los electrodos, una parte mayor, y de preferencia considerablemente mayor que del otro electrodo.

15

20

25

El dispositivo semiconductor de las figuras 5 y 6 puede manufacturarse por entero de una manera de las comúnmente utilizadas en la tecnología de los semiconductores. El substrato 50 consta por ejemplo, de silicio de tipo N. A continuación pueden disponerse las regiones 51 de tipo P

30

386995

3 FEB 1961



(de unas proporciones, por ejemplo, de 40 x 40 micras), por los métodos usuales de fotoprotección y difusión. La anchura de las regiones de canal 56 es, por ejemplo, de 6 micras. Las uniones PN entre las regiones 51 y el sustrato 50 se extienden, por ejemplo, a una profundidad de aproximadamente 2 micras a partir de la superficie del semiconductor. La capa aislante 55 es, por ejemplo, de óxido de silicio y/o nitruro de silicio, y por debajo del electrodo de barrera 52 tiene un espesor de, por ejemplo, 0,1 micra. Por debajo de las pistas conductoras 53 y 54, la capa aislante 55 tendrá preferiblemente un mayor espesor (por ejemplo, de 0,5 micras), para prevenir la formación no deseada de canales. A este fin pueden además usarse interruptores de canal como, por ejemplo, los obtenidos por difusión. Las proporciones de los electrodos de barrera 52 son, por ejemplo, de 38 x 38 micras, en tanto que la anchura de las pistas conductoras 53 y 54 es, por ejemplo de 10 micras. Constan, por ejemplo, de aluminio u otro material electródico apropiado (como, por ejemplo, el oro) y el espesor es, por ejemplo, de 0,3 micra. El dispositivo semiconductor puede ensamblarse de manera usual en una envolvente normal.

Otra forma de realización de transistor de efecto de campo dotado de una mayor capacidad interna entre el electrodo de barrera y el de drenaje es la que se describirá ahora con referencia a la figura 7. Este transistor de efecto de campo comprende un cuerpo semiconductor 70, en el que partiendo de la misma superficie se extienden dos regiones de superficie 71 y 72 del mismo tipo de conductividad, mientras entre dichas regiones de superficie 71

386995



5 y 72 se dispone una región de canal 73 que se une a dichas regiones de superficie y a la superficie del semiconductor. Por encima de la región de canal se extiende un electrodo 75, separado de aquella por la capa aislante 74. Conforme al presente invento, por lo menos una de las regiones de superficie, en este caso el electrodo de drenaje 72, del cuerpo semiconductor 70 rodea otra región de superficie 76 que es de un tipo de conductividad contrario al de las regiones de superficie 71 y 72. Además, la región de superficie 76 está provista de un conductor de conexión 77.

10 En esta forma de realización, se usa la capacidad de la unión PN entre las regiones 72 y 76. Es conveniente que dicha unión PN, en la condición de trabajo, este siempre polarizada en sentido inverso. Esto puede lograrse conectando una fuente de tensión apropiada entre el conductor de conexión 77 y el electrodo de barrera 75. En los transistores de efecto de campo que tienen baja tensión de umbral, por ejemplo, la tensión entre el electrodo de barrera y el de drenaje serán no obstante, de un valor tal que la unión PN deseada se polariza en el sentido inverso también cuando el electrodo de barrera 75 y el conductor de conexión 77 están directamente conectados entre sí (como se ilustra en la figura 7).

20 En el presente ejemplo, el electrodo de fuente 71 comprende un conductor de conexión 78, y el electrodo de drenaje 72 comprende un conductor de conexión 79. Este transistor de efecto de campo puede también fabricarse por entero de manera ya acostumbrada en la tecnología de los semiconductores.

30 Es obvio que con un número de transistores de



efecto de campo, como se indica en la figura 7, un dispositivo semiconductor conforme a este invento puede construirse de manera semejante a la descrita con referencia a la figura 5. En tal dispositivo, los sucesivos transistores de efecto de campo de la serie pueden interconectarse por medio de pistas conductoras 78, 79, o bien el electrodo de drenaje 72 puede constituir también el electrodo de fuente 71 del transistor de efecto de campo sucesivo.

En los ejemplos ilustrados en las figuras 5, 6 y 7, el substrato está provisto de un conductor de conexión no representado, para así poder polarizar en sentido inverso las uniones PN entre el electrodo de fuente y drenaje y la región semiconductor circundante, durante el funcionamiento. Tal conductor de conexión puede estar dispuesto por ejemplo, en el lado superior, pero también en el lado inferior del substrato o cuerpo semiconductor. En este último caso puede usarse con ventaja un substrato 70 de poca resistividad, en el cual vaya dispuesta una capa epitaxial del mismo tipo de conductividad, pero de mayor resistividad (figura 7).

Otra forma de ejecución del dispositivo semiconductor de la invención, parte del cual se ilustra en las figuras 8 y 9, comprende una serie de transistores de efecto de campo, en la que los electrodos de fuente y de drenaje de por lo menos uno de los transistores de efecto de campo son las regiones de superficie 80 y 81 de un determinado tipo de conductividad que están interconectadas por una región de canal 83 de un determinado tipo de conductividad, en tanto que el electrodo de barrera 84, 86 es una región del tipo de conductividad contrario que se

386995



une a la región de canal 83, estando dicha región 84, 86 separada de la región de canal 83 por una unión PN 85, 87.

El electrodo de barrera 84, 86 comprende dos partes, de las cuales la primera es una región de superficie

5 84 que, en la superficie 88 del semiconductor con la que tambien se reunen los electrodos de fuente y de drenaje 80 y 81, circunda uno de dichos electrodos 80 y 81 últimamente mencionados: a saber, el electrodo 80. A consecuencia de esto, puede lograrse de sencilla manera que la región
10 de canal 83 del lado que mira al electrodo 81 sea más ancha que por el otro lado, el que se enfrenta al electrodo 80. Esto tiene la ventaja de que la capacidad interna entre la región 84 y el electrodo 81 es mayor que la capacidad interna entre la región 84 y el electrodo 80.

15 En el dispositivo semiconductor de la invención, el electrodo 80 se usa preferiblemente como electrodo de fuente, y el electrodo 81 como electrodo de drenaje; y en este caso la mayor de las dos capacidades internas citadas sirve de capacidad segunda o de memoria. Esta selección del
20 electrodo de fuente y el de drenaje tiene además la ventaja de que en la condición de trabajo la intensidad del campo electrico en la región de canal 83, que se ensancha desde el electrodo de fuente de drenaje, tiene un valor más uniforme, lo cual favorece el buen funcionamiento del transistor de efecto de campo.
25

En la región de superficie del semiconductor, la segunda parte 86 del electrodo de barrera 84, 86 rodea la región del determinado tipo de conductividad primeramente citado, que está constituida por la región de canal 83 y
30 los electrodos de fuente y de drenaje 80 y 81. La segunda



parte 86 está separada de dicha región de un primer tipo determinado de conductividad por medio de dicha unión 87.

5 En contraste con lo que es normal en los transistores de efecto de campo, la parte 86 del electrodo de barrera de esta forma de realización del dispositivo semiconductor conforme al presente invento no se usa como parte activa del transistor de efecto de campo. A consecuencia de esto, la parte 86 puede constituir una región de superficie o un sustrato en el que pueden disponerse varios
10 transistores de efecto de campo, sin que sean necesarias más medidas para aislar entre sí dichos transistores de efecto de campo. La región 84 provista de un conductor de conexión 89 es la que se usa como electrodo de barrera activo, al cual puede suministrársele la señal de control
15 por medio de las pistas conductivas 90 y 91. El sustrato 86 puede estar conectado a un potencial de referencia, por medio de un conductor de conexión (no representado). El sustrato, como alternativa, puede estar flotante; es decir, no conectado a punto alguno del circuito, a consecuencia de lo cual el potencial del sustrato sería diferente
20 respecto del que tuviera sin dicha conexión.

En la superficie 88 del semiconductor hay dispuesta una capa aislante 93, sobre la que van las pistas conductivas 89 a 92 inclusive. Las pistas conductivas 92
25 conectan cada una un electrodo de drenaje 81 de un transistor de efecto de campo de la serie al electrodo de fuente 80 del sucesivo transistor de efecto de campo de la serie.

Es de notar que el electrodo de barrera 84 puede tener también una geometría estrecha anular, o cerrada de
30 otro modo, en la que, por ejemplo, se prevea un ensancha-

386995



8 FEBRUARY 1960

miento local para poder dotar de conductor de conexión al electrodo de barrera. De este modo, la región de canal 83 puede tener, al menos localmente, una longitud muy pequeña, para que pueda ser pequeña la resistencia entre el electrodo de fuente y el de drenaje.

Otra forma de ejecución del dispositivo semiconductor del presente invento, parte de la cual se muestra en las figuras 10 y 11, comprende tambien unos transistores de efecto de campo en los cuales los electrodos de fuente y de drenaje son unas regiones de superficie 100 y 101 de un determinado tipo de conductividad. Estas regiones están interconectadas por la región de canal 102 de un determinado tipo de conductividad. El electrodo de barrera está constituido por una región 103 del tipo de conductividad opuesto, que llega hasta la región de canal 102, y por una región de superficie 104 que es tambien del tipo de conductividad opuesto y está conectada a la región 103. En esta forma de ejecución se hace uso del hecho de que, en la disposición de circuito, están interconectados los electrodos de barrera de varios transistores de efecto de campo. Tales transistores de efecto de campo interconectados pueden estar dispuestos en la misma región 103. Las diversas regiones 103 están aisladas entre sí de manera normal, ya que se usa un substrato 105 de un determinado tipo de conductividad, sobre el cual se halla dispuesta una capa epitáxica 103 del tipo de conductividad contrario, en tanto que hay además, dispuestas por difusión, unas regiones de aislamiento 106 que son del determinado tipo de conductividad y que se extienden en el substrato 105. Las regiones 103 están rodeadas, a modo de islas, por las regiones de

386995



aislamiento 106.

Las regiones 103 están además provistas de un conductor de conexión (no representado), por medio del cual pueden aplicarse señales de control a los electrodos de barrera.

Para reducir la resistencia en serie entre los electrodos de barrera de los diversos transistores de efecto de campo, las regiones 103 pueden estar provistas de una parte 107 de poca resistencia que, preferiblemente, no se une al substrato 105 porque, de otro modo, la capacidad electrostática entre las regiones 103 y el substrato 105 se hace extraordinariamente grande, debido a la presencia de la parte de baja resistencia 107.

La superficie del semiconductor está provista de una capa aislante 108 en la que hay dispuesto un diseño de distribución de pistas conductoras 109, las cuales toman contacto con los electrodos de fuente y de drenaje 100 y 101 a través de unas ventanillas practicadas en la capa aislante. Por medio de las pistas conductoras 109, los transistores de efecto de campo están dispuestos formando serie, de modo que cada una de las pistas conductoras 109 conecta el electrodo de drenaje 101 de un transistor de efecto de campo, situado en una región o isla 103, al electrodo de fuente 100 de un transistor de efecto de campo correspondiente a otra región 103.

Los transistores de efecto de campo descritos en relación con las figuras 10 y 11 son de estructura simétrica. Esto significa que la capacidad interna entre el electrodo de barrera y el de fuente es aproximadamente igual de grande, o aún mayor, que la capacidad interna entre el

386995

3 FEB 1964



electrodo de barrera y el de drenaje. Aún cuando esto no
estorba, o por lo menos no estorba sensiblemente, al buen
funcionamiento del dispositivo semiconductor, se usan de
preferencia transistores de efecto de campo que tienen una
5 estructura asimétrica, y en los que la capacidad interna
entre el electrodo de barrera y el de drenaje es máxima.
Esto puede lograrse, por ejemplo, sustituyendo los transis-
tores de efecto de campo del dispositivo ilustrado en las
figuras 10 y 11 por unos transistores de efecto de campo,
10 de los cuales se representa uno en las figuras 12 y 13. En
estas figuras 12 y 13, los elementos que se corresponden
con los de las figuras 10 y 11 están designados, para ma-
yor claridad, con los mismos números de referencia. En es-
ta forma de ejecución, el electrodo de fuente 10 es consi-
15 derablemente más pequeño que el electrodo de drenaje 101,
en tanto que la región de canal 102 del lado que se enfren-
ta al electrodo de drenaje 101 es más ancha que por el otro
lado, que mira al electrodo de fuente 100.

Como se apreciará de manera obvia, la invención
20 no se limita a los ejemplos descritos, siendo posibles mu-
chas variantes para las personas entendidas en la materia,
sin salirse del ámbito de esta invención. Por ejemplo, pue-
den usarse transistores de efecto de campo que tengan una
región de canal de tipo N, y también aquellos cuya región
25 de canal sea de tipo P. Alternativamente, pueden usarse
transistores de efecto de campo tanto del tipo de efecto
de enriquecimiento como del tipo de empobrecimiento. Ade-
más, la disposición de circuitos descrita en relación con
la figura 3 puede usarse con ventaja, por ejemplo, para
30 realizar de manera usual un filtro para las señales eléc-

386995

3 FEB 1971



tricas. Asimismo, cuando se use una gran cantidad de unidades en, por ejemplo, el circuito en cadena ilustrado en la figura 3, las pérdidas de carga, si las hay, pueden compensarse disponiendo uno o más amplificadores de carga de tipo usual en el circuito en cadena. Como variante, en combinación con el circuito de cadena descrito, pueden usarse circuitos de entrada y de salida de tipo usual. Es más, pueden conectarse dos o más de dichos circuitos de cadena en paralelo con entradas comunes y/o con salidas comunes.

10 Asimismo, en los transistores de efecto de campo que tengan un electrodo de barrera separado de la región de canal por una unión PN, la capacidad entre el electrodo de barrera y el de drenaje puede aumentarse utilizando regiones de superficie adicionales situadas, por ejemplo, en parte de superficie del electrodo de barrera, o bien entera o parcialmente en el electrodo de drenaje, y que estén conectadas al electrodo de drenaje y al de barrera, respectivamente.

20 Pueden usarse también otros materiales semiconductores como, por ejemplo, el germanio o los compuestos $A^{III}B^V$, y asimismo son posibles otras formas geométricas y dimensiones.

25 La región de canal puede estrecharse localmente, mediante el recurso de disponer otras regiones semiconductoras de tal manera que la región de canal resulte estrangulada primero en el área de dicho estrechamiento por las capas de empobrecimiento asociadas a la unión PN del electrodo de barrera. De esta manera puede desplazarse el punto de estrangulamiento en el sentido que va del electrodo de drenaje al de fuente, de manera que se reduzca la capa-

30

386995



5 ciudad electrostática entre el electrodo de barrera y el de fuente, en favor de la existencia entre el electrodo de barrera y el de drenaje.

La presente solicitud que corresponde a la presentada en Holanda el 23 de abril de 1.968, con el número 68-05705, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10 N O T A

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los siguientes:

12.- Un dispositivo semiconductor que comprende una serie de etapas sucesivas que tienen medios electrónicos de conmutación o interrupción y una capacidad de memoria, en cuyo dispositivo puede ser transferida carga desde la capacidad de memoria de una primera etapa a la capacidad de memoria de la siguiente etapa de la serie, comprendiendo dicho dispositivo un cuerpo que muestra una o más regiones superficiales de material semiconductor, caracterizado porque cada etapa comprende un transistor de efecto de campo, estando conectado el electrodo de drenaje o salida de dicho transistor de efecto de campo de una etapa de la serie, para transferir carga, al electrodo de fuente o entrada del transistor de efecto de campo de la etapa si-

386995 -3 FEB



5 guiente de la serie, estando dispuestas las regiones semi-
conductoras de dichos transistores de efecto de campo en
las citadas regiones superficiales, estando constituidas
al menos parte de las citadas capacidades de memoria por
las capacidades internas entre los electrodos de barrera
o puerta y los electrodos de salida de dichos transisto-
res de efecto de campo, estando asociados los electrodos
de barrera de dichos transistores de efecto de campo a la
10 entrada o entradas eléctricas para controlar señales para
gobernar la transferencia de carga.

15 2º.- Un dispositivo semiconductor según la rei-
vindicación 1, caracterizado porque los electrodos de ba-
rrera de cierto número de transistores de efecto de campo
de diferentes etapas de la serie están interconectados,
no comprendiendo dicho número de transistores de efecto
de campo transistores de efecto de campo de dos etapas
sucesivas.

20 3º.- Un dispositivo semiconductor según la rei-
vindicación 2, caracterizado porque los transistores de
efecto de campo de etapas sucesivas constituyen una serie
de transistores de efecto de campo cuya serie comprende
al menos dos grupos sucesivos adyacentes uno a otro y que
tienen el mismo número de transistores de efecto de campo
sucesivos, estando interconectados los electrodos de ba-
25 rrera de dichos transistores de efecto de campo que están
asociados a diferentes grupos pero que en su grupo tienen
el mismo número.

30 4º.- Un dispositivo semiconductor según cualquie-
ra de las reivindicaciones precedentes, caracterizado por-
que los electrodos de entrada y de salida de uno o más de

27.1.71

386995

3 FEB



5 los transistores de efecto de campo son regiones superficiales, mientras que entre dichas regiones superficiales se extiende una región de canal que une la superficie semiconductor que está limitada por las regiones superficiales, estando prevista una capa aislante en la superficie semiconductor, en cuya capa está previsto el electrodo de barrera que se extiende por encima de la región de canal.

10 5º.- Un dispositivo semiconductor según las reivindicaciones 3 y 4, caracterizado porque el electrodo de salida de al menos un transistor de efecto de campo de la serie, constituye también los electrodos de entrada del transistor de efecto de campo siguiente de la serie.

15 6º.- El dispositivo semiconductor de la reivindicación 4 o 5, caracterizado por el hecho de que el electrodo de barrera de por lo menos uno de los transistores de efecto de campo de la serie se extiende por encima de la región de canal y por encima de parte del electrodo de drenaje, para así aumentar la capacidad interna entre el electrodo de barrera y el electrodo de drenaje.

20 7º.- El dispositivo semiconductor de la reivindicación 4 o la 6, caracterizado por el hecho de que en el electrodo de drenaje de por lo menos uno de los transistores de efecto de campo de la serie hay dispuesta otra región de superficie adicional, de un tipo de conductividad opuesto al del electrodo de drenaje, y dicha otra región de superficie comprende un conductor de conexión.

25 8º.- El dispositivo semiconductor de la reivindicación 7, caracterizado por el hecho de que la otra región de superficie o adicional está conectada al electro-

30

27.1.71

386995



do de barrera de dicho transistor de efecto de campo, por medio de dicho conductor de conexión.

5 9^a.- El dispositivo semiconductor de una o más de las reivindicaciones 1, 2 y 3, caracterizado por el hecho de que los electrodos de fuente y de drenaje de por lo menos uno de los transistores de efecto de campo de la serie son regiones de superficie de un determinado tipo de conductividad, interconectadas por una región de canal de un determinado tipo de conductividad, siendo el electrodo de barrera una región del tipo de conductividad opues-
10 to que llega a la región de canal y que está separada de la región de canal por una unión PN.

15 10^a.- El dispositivo semiconductor de la reivindicación 9, caracterizado por el hecho de que la región de canal de dicho transistor de efecto de campo, por el lado que mira a uno de los dos electrodos de un determinado tipo de conductividad, es más ancha que por el otro lado, que mira al otro de dichos dos electrodos.

20 11^a.- El dispositivo semiconductor de la reivindicación 9 ó 10, caracterizado por el hecho de que el electrodo de barrera de dicho transistor de efecto de campo comprende dos partes, de las cuales la primera es una región de superficie que, en la superficie de semiconductor a la cual llegan también los electrodos de fuente y de drenaje, rodea a uno de los dos electrodos últimamente
25 citados.

30 12^a.- El dispositivo semiconductor de la reivindicación 11, caracterizado por el hecho de que la segunda parte del electrodo de barrera en la región de superficie de semiconductor en la cual va dispuesto el transistor de

27.1.71

386995



efecto de campo rodea la región de un determinado tipo de conductividad sustituida por la región de canal y los electrodos de fuente y de drenaje.

5

13º.- El dispositivo semiconductor de la reivindicación 11 ó 12, caracterizado por el hecho de que la primera parte del electrodo de barrera está provista de un conductor de conexión.

14º.- Un dispositivo semiconductor.

10

Tal y como se ha descrito en la Memoria que antecede representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y tres hojas escritas a máquina por una sola cara.

Madrid,

3 FEB 1971

P.A.

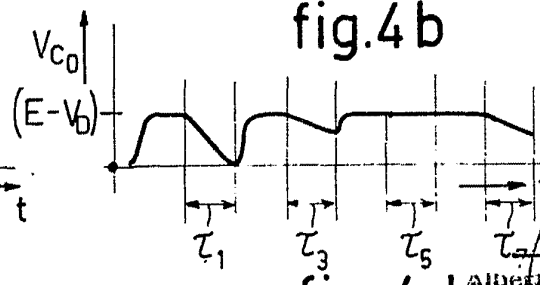
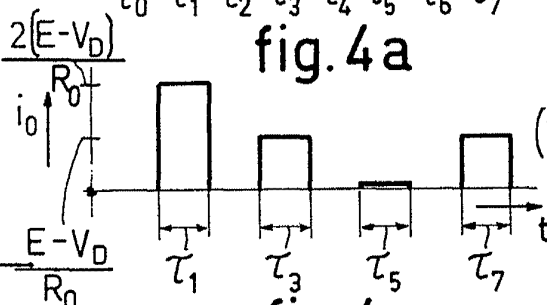
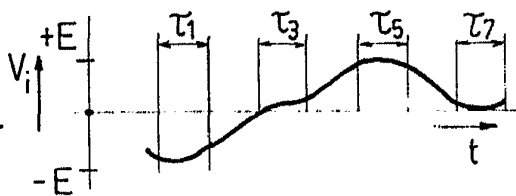
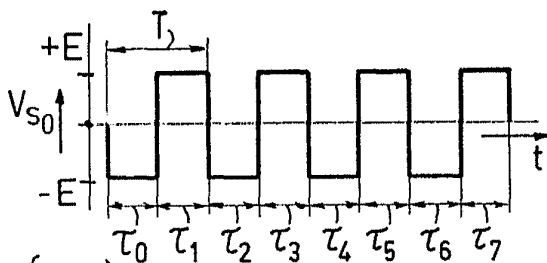
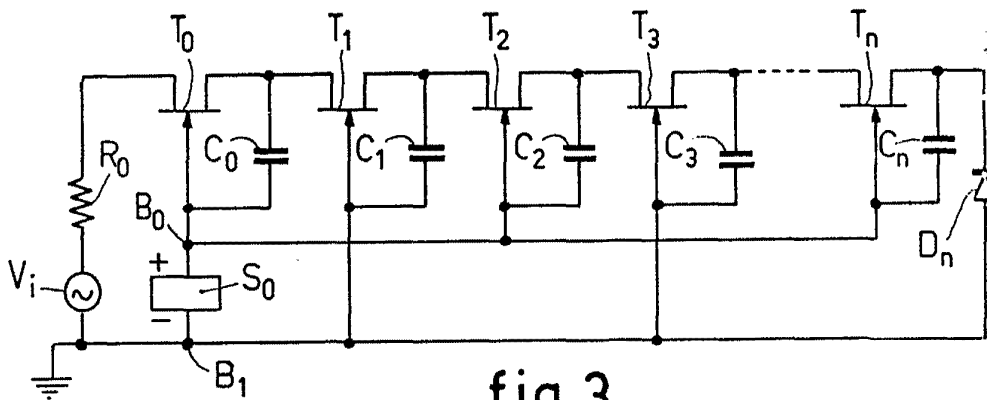
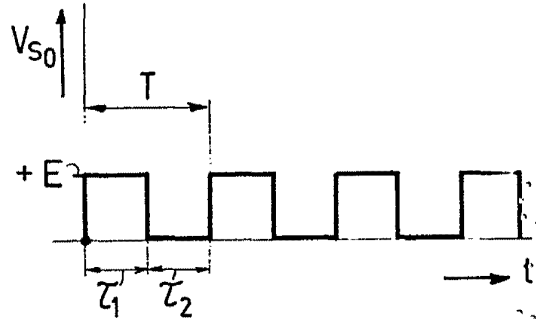
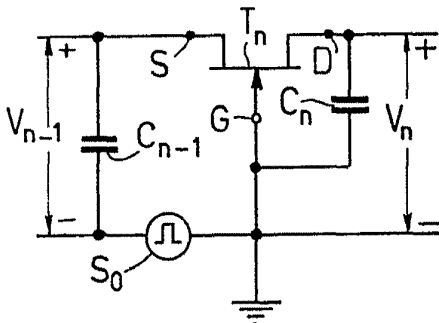
Alberto de...
Por Poder...

27.1.71
MTR.

386995



-3 FEB 1954



386995

3 FEB. 1917

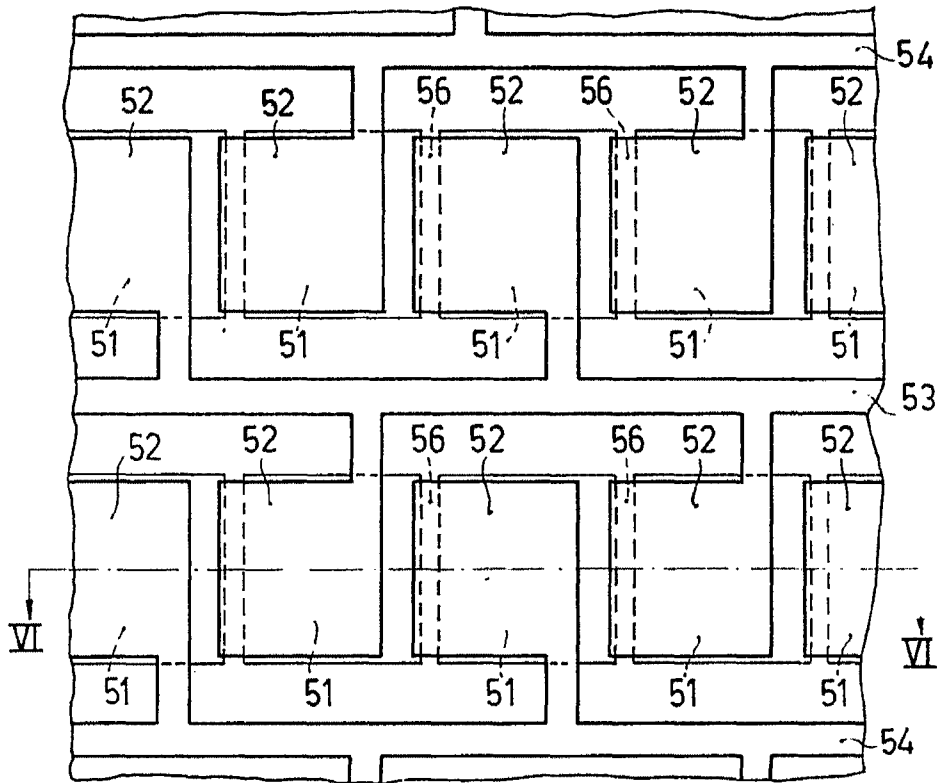


fig. 5

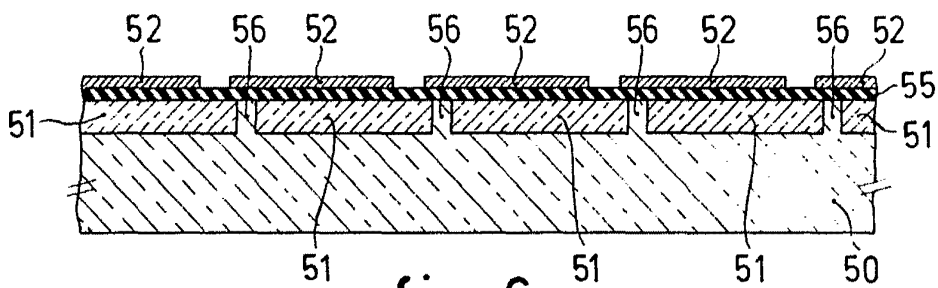


fig. 6

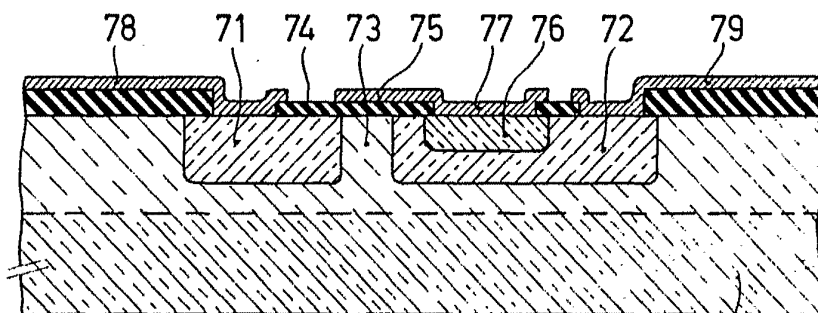


fig. 7

Handwritten signature and text:
A. V. PHILIP'S GLOEDLAMPENFABRIEK
70

386995

140001

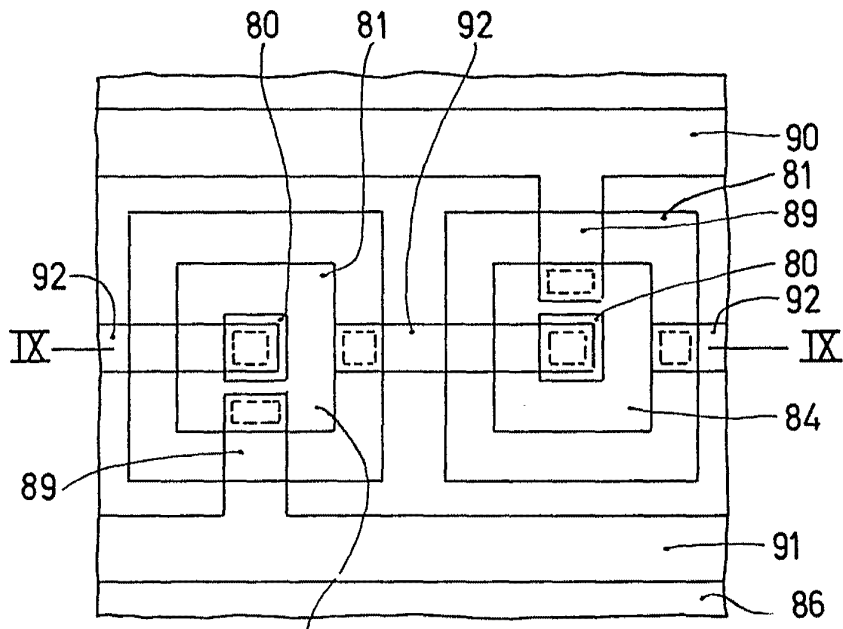


fig. 8

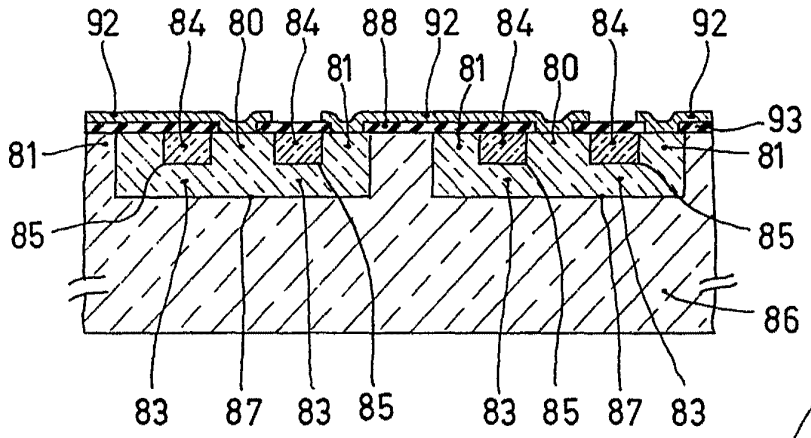


fig. 9

Alberto de Elzobu
 P. de Mestres

386995



3

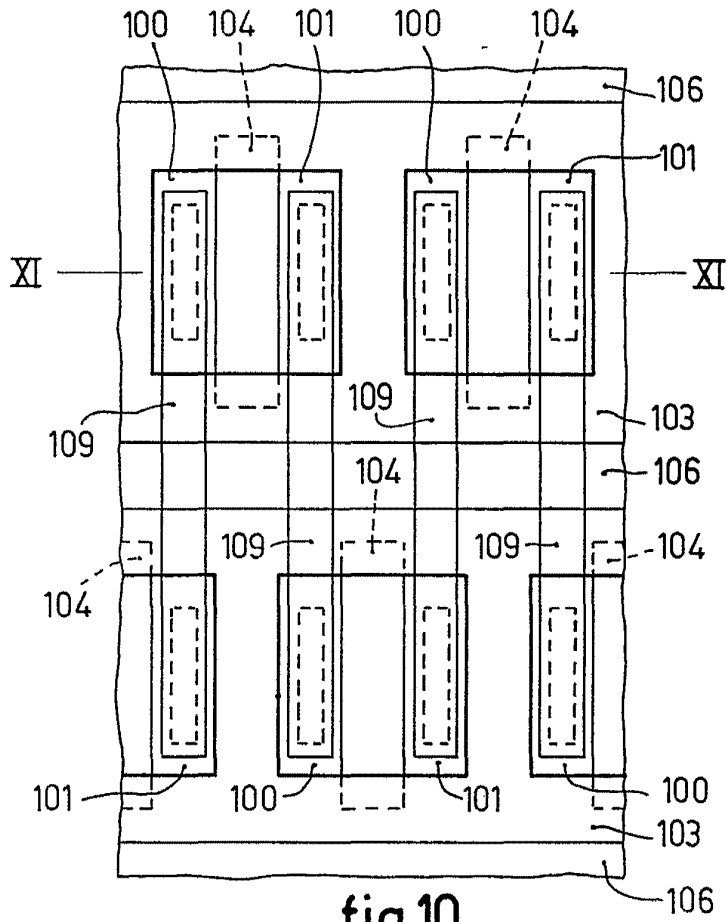


fig.10

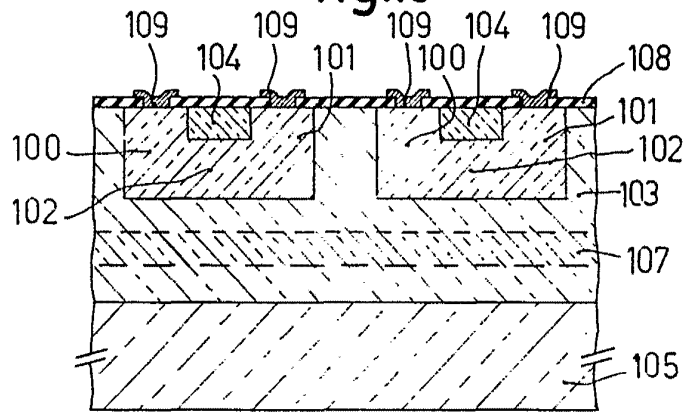


fig.11

Alberto de Ezzano
Por Poder.

Alberto de Ezzano

386995

13 FEB 1917

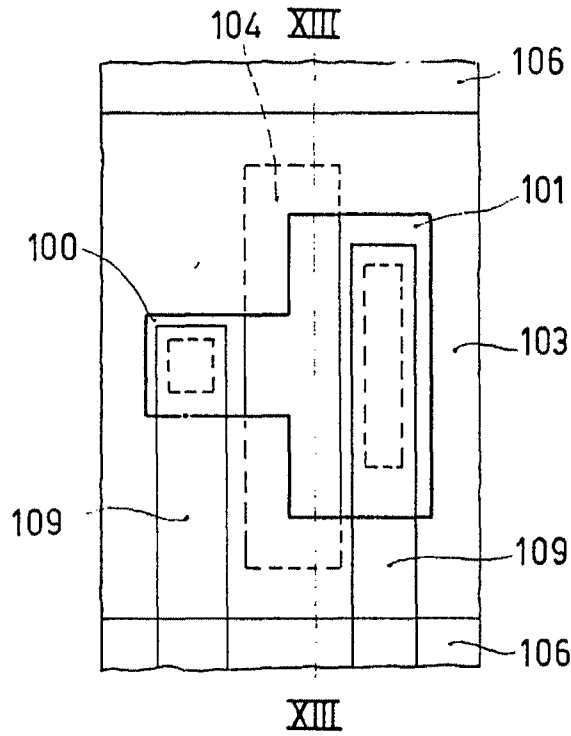


fig. 12

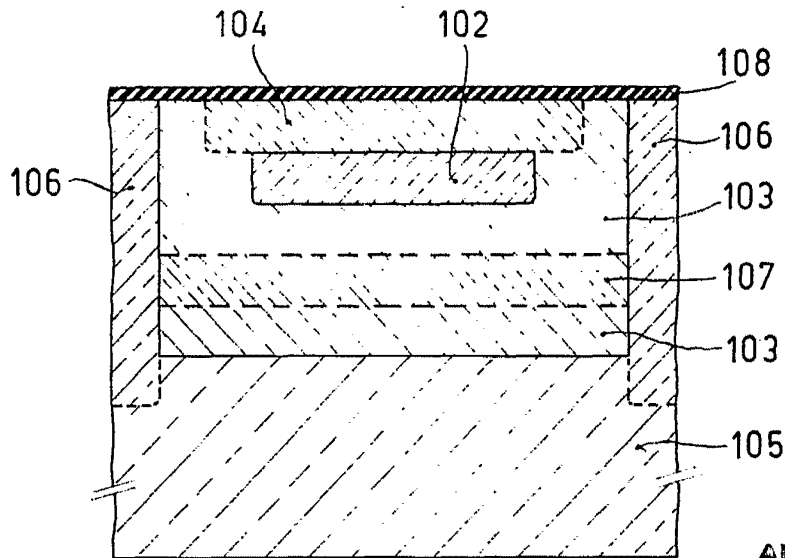


fig. 13

Alberto de...
Per P...
[Signature]