

386580



J.H. De Jean - M.J.P. Leger - C.P.H. Le Rouge -19.10.23

386580

| |
|-------------------|
| SECCION TECNICA |
| CLASIFICACION |
| CLASE <u>H04</u> |
| SUBCLASE <u>B</u> |

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR "DISPOSITIVO MULTISELECTOR ELECTRONICO", A NOMBRE DE STANDARD
ELECTRICA, S.A., DOMICILIADA EN MADRID, CALLE DE RAMIREZ DE PRADO 5

El presente invento se refiere a mejoras en multiselectores para
pasos conmutadores en los que los contactos situados en los pun-
tos de cruce están sustituidos por transistores de efecto de cam-
po y en los que la retención de dichos contactos en posición
5 cerrada se realiza en forma electrónica.

Es sabido que los transistores de efectos de campo y más
particularmente los transistores de puerta aislados, conocidos
por "transistores MOS", presentan características interesantes
cuando se utilizan como elementos de contacto. En realidad, la
10 resistencia de drenaje suministro de un transistor MOS que consti-
tuye el contacto conmutador está controlada por el potencial de re-
jilla sin corriente de suministro - rejilla proporcionando un ais-
lamiento excelente del circuito de control con respecto al circuito
controlado. Además en un transistor de este tipo la resistencia
15 de drenaje de suministro es superior a 10^7 ohmios mientras se blo-

386580



2.

quea y varia entre 100 a 300 ohmios en estado conductor de baja impedancia asegurando así, con algunas precauciones, un buen funcionamiento como elemento conmutador.

Otra ventaja que se consigue con la utilización de transistores MOS como elementos de contacto es que los circuitos selectores y de control pueden también diseñarse con transistores MOS para los elementos activos así como para las resistencias. Resulta de esto que se pueden diseñar multiselectores elementales de una capacidad de 4 x 2, 4x4, 4x8, etc. puntos de cruce en forma de circuitos integrados unitarios, como es bien sabido, que pueden comprender varios cientos de transistores MOS.

En nuestro segundo certificado de adición Núm. 367330 a la patente principal No. 361.362 se ha descrito un multiselector elemental con disposición de matriz, que comprende m verticales y n horizontales. En cada punto de cruce entre un vertical j y un horizontal K se ha situado un circuito conmutador X_{jk} con transistores MOS que comprenden elementos conmutadores (permitiendo cada elemento establecer una conexión entre un vertical y un horizontal) y un biestable que asegura la retención de dichos elementos en la posición cerrada o abierta. Dos registradores de conmutación que comprenden m y n pasos están asociados, respectivamente, a los verticales y horizontales y para preparar el cierre o abertura del circuito conmutador. X_{jk} se situa en el estado 1 el biestable de rango j del primer registrador y el biestable de rango k del segundo registrador. El mando efectivo se realiza después aplicando una señal sobre uno de los dos conductores asignados respectivamente al control de abertura y al control de cierre.

Puede verse, así, en un multiselector de este tipo, que se

386580



3.

45 utilizan $m \times n$ biestables de retención y $m \times n$ pasos de regis-
tadores de conmutación.

En el presente invento, el circuito conmutador de tran-
sistores MOS comprende sólo los elementos de contacto y un transis-
tor de control y la función selectora se realiza por medio de un
único registrador de conmutación que comprende $m \times n$ pasos. Cada
50 paso está asociado a un circuito conmutador y su estado 1 ó 0 con-
trola el cierre y apertura de este circuito y su retención en esta
posición. El registrador asegura entonces la retención en funcio-
namiento normal, esto es, cuando no ha de hacerse ninguna modifi-
cación en el estado de los circuitos conmutadores de multiselector.

55 Cuando tenga que modificarse el estado de uno de estos
circuitos, el contenido del registrador se transfiere a un circuito
marcador y se procesa antes de ser reintroducido en dicho registra-
dor. La retención del estado de los puntos de cruce está asegurada,
durante esta fase de modificación, por la carga almacenada en la capa-
60 cidad de rejilla - sustrato de los elementos de contacto. Se
observará que el valor de esta capacidad es relativamente alto
pues las dimensiones de dichos elementos se hacen importantes a
fin de obtener resistencias de contacto bajas (resistencias de dre-
naje - suministro de un transistor conductivo.)

65 Esta organización de los multiselectores elementales tie-
ne la ventaja de reducir al mínimo el número de terminales del cir-
cuito integrado unitario.

El fin del presente invento es, así, un multiselector
electrónico elemental con capacidad de retención intrínseca y con
70 un número de terminales mínimo.

De acuerdo con una característica del invento, los circui-

386580



4.

75 tos asociados a cada punto de cruce entre dos conductores de conver-
sación perpendiculares comprenden medios para establecer conexiones
eléctricas entre dichos conductores, estando dichos medios constitui-
dos por un transistor MOS de geometría amplia 2, medios para controlar
y retener esta conexión por medio de un transistor MOS de geometría
pequeña Q1, uno de cuyos electrodos de salida (drenaje o suministro)
está conectado a la rejilla del primer transistor MOS, constituyendo
la asociación de los transistores Q y Q1 un circuito conmutador X,
80 medios para suministrar la información que retiene al transistor Q
en el estado bloqueado o conductivo, comprendiendo un biestable de
retención W que tiene su salida 1 conectada al suministro del tran-
sistor Q1 de modo que, cuando dicho conductor conduce y sus electre
dos se llevan a potenciales diferentes, el potencial que caracteri-
za el estado del biestable W se aplica a la rejilla del transistor
85 Q.

De acuerdo con otra característica del invento, se proveen
medios para realizar un multiselector elemental agrupando M x n
circuitos conmutadores en una disposición de matriz, medios para
90 conectar las rejillas de todos los transistores Q1 al mismo conduc-
tor e, medios para agrupar los m x n biestables de retención W en un
registrador de cpmutación estático de transistor MOS de modo que
éste constituya la imagen del estado del dispositivo multiselector,
medios para transferir el contenido del registrador a un circuito
95 marcador cuando deba modificarse el estado del circuito conmutador,
reteniendo la capacidad rejilla sustrato del tránsito Q el estado
de dichos circuitos conmutadores y medios para reinscribir la nueva
información en el registrador, teniendo lugar estas operaciones de
transferencia cuando se aplica una señal de bloqueo de los transis-

386580



100 tores 21 al conductor e.

Las anteriores y otras características y fines de este invento, serán evidentes por referencia a la siguiente descripción dada con relación a los adjuntos dibujos, en los que:

105 La fig. 1 representa los circuitos asociados a un punto de cruce.

La fig. 2 representa el símbolo que caracteriza a un circuito conmutador:

La fig. 3 representa un multiselector elemental

110 Las figs. 4a y 4b representan diagramas de las señales de reloj.

La fig. 5 representa el diagrama de un paso de un registrador de conmutación estático.

115 Antes de describir el invento se describirán las características principales de los transistores MOS y su modo de funcionamiento.

Un transistor MOS es casi perfectamente simétrico y los electrodos que realizan la función de drenaje y suministro pueden invertirse sin ningún inconveniente y sin modificar el funcionamiento cuando se utiliza en un circuito lógico.

120 En el funcionamiento de un transistor MOS - Ph (transistor de ampliación de canal P) se definen los potenciales siguientes:

VT : potencial de entrada

VD = " " drenaje

VG : " " rejilla

125 Los potenciales VD y VG se miden con respecto al potencial de suministro (VS = 0) y son negativos.

El potencial VT, que es un parámetro intrínseco del transis

386580



6.

tor es negativo para un transistor MOS - Ph.

Un transistor de este tipo se bloquea para $V_G \geq V_T$.

130 Presenta entonces una resistencia de drenaje - suministro RDS de un valor practicamente infinito (aproximadamente 10^7 ohms.)

Un transistor MOS - Ph conduce cuando $V_G < V_T$ (el signo " $<$ " significa "más negativo que"). Se comporta como una resistencia pasiva de valor

135
$$RDS = \frac{1}{K (V_G - V_T)} \quad (1)$$

siendo K un factor proporcional.

Se diferencia en este caso entre dos regiones conductoras : La región conductora de baja impedancia (o región no saturada).

140 cuando $0 > V_D > V_G - V_T$ en que la resistencia de drenaje - suministro RDS tiene un valor bajo (50 a 400 ohms.). Se dirá más adelante que un transistor funcionando en esta región está en su estado de "funcionamiento en baja impedancia", la región conductora de alta impedancia (o región saturada) cuando $V_D < V_G - V_T < 0$
145 con una resistencia RDS de un valor relativamente alto.

Si un transistor MOS- Ph presenta un potencial de entrada $V_T = -4$ v. y si se aplica al mismo un potencial $V_G = 0$, se bloquea. Si se le aplica un potencial $V_G = -24$ y un potencial V_D comprendido entre cero y - 20 voltios, se situa en el estado en que
150 se ha definido, como de funcionamiento en región de baja impedancia. Practicamente, si se desea tener una característica lineal de la resistencia RDS se queda limitado a valores bajos de V_D .

La resistencia RDS presenta entonces un valor muy bajo y permite la transferencia bidireccional de señales analógicas o digitales entre el drenaje y el suministro.
155

386580



7.

Los transistores MOS se utilizan también como resistencias permitiendo así realizar circuitos integrados unitarios. Este funcionamiento como elementos pasivos puede obtenerse para uno u otro de los tipos de conducción. Por ejemplo, si un transistor está en estado de funcionamiento de baja impedancia por un potencial de polarización adecuado aplicado permanentemente ($V_D \gt V_G - V_T$) y si está conectado en serie con un transistor inversor, aparece sobre la conexión común a ambos transistores, el potencial V_D o un potencial V_M ligeramente negativo según que dicho inversor esté bloqueado ($V_G \gt V_T$) o conduzca ($V_G \lt V_T$). En este último caso, si $V_M \lt V_T$ se puede controlar otro transistor MOS sin ninguna dificultad y se dirá después, a fin de simplificar la descripción que $V_M = 0$

En las diferentes figuras de la descripción, los transistores MOS utilizados como elementos activos tienen la referencia "Q" y aquellos utilizados como resistencia de carga tienen la referencia "R". Es evidente que la utilización de transistores MOS como resistencias de carga puede sólo considerarse en la técnica integrada en cuyo caso presenta las ventajas desde el punto de vista de fabricación. Sin embargo, queda bien entendido que cada transistor MOS con referencia R y utilizado como resistencia puede ser sustituido por una resistencia convencional de valor equivalente.

Los potenciales aplicados a los circuitos representados en las figuras 1, 4a, 4b y 5 se definen en la tabla siguiente:

386580



8.

180

185

190

| Referencia | Valor (Voltios) | Definición |
|--|---------------------------------------|--|
| VT | - 4 | Potencial de entrada de los transistores MOS |
| U | - 20 | Nivel "alto" de los potenciales aplicados a los transistores de las señales lógicas (EN, H, H, DI, DO, etc.) |
| VM | \mathcal{R} 0 | Nivel "bajo" de los potenciales aplicados a los transistores y de las señales lógicas. |
| Vgg | - 28 | Polarización de rejilla de los MOS conectados como resistencias (R2, R3, R4, fig. 5 y R11 fig.1) |
| Eds | \mathcal{R} 1,5 | Diferencia de potencial entre conductores H'k (H'k) y V'j (V'j) |
| Ed } Es } | $\mathcal{R} \langle Es \rangle - 10$ | Potenciales aplicados a los horizontales y a los verticales. |
| <p>N.B. : " < " significa "más negativo que".</p> | | |

195

La fig. 1 representa los circuitos asociados a un punto de cruce constituido por la intersección de los horizontales H'k, H''k y los verticales V'j y V''j llevados respectivamente a los potenciales Ed y Es. (Hágase referencia a la tabla). Cada uno de los pares de conductores H'k, V'j y H''k, V''j asegura la transmisión de la información en una dirección según se ha descrito en la patente francesa 1.555.813.

Los circuitos representados en esta figura comprenden:

- El circuito conmutador Xjk que comprende los transistores MOS - Ph Q' y Q'' que aseguran la conexión entre los pares de conductores y el transistor de control Q1 que es del mismo tipo;
- El biestable de retención Wjk que suministra en su salida 1 una señal de alto nivel o una señal de bajo nivel según que

1386580



9.

210 esté en el estado 1 o en el 0. La salida de este biestable está conectada al transistor Q1 por el conductor wjk.

- El inversor N2 que comprende los transistores Q11 y R11 y que suministra, sobre el conductor e una señal de bajo o alto nivel que controla Q1.

- El transistor Qo cuya función se explicará después.

215 Todos estos circuitos están diseñados para ser incluidos en circuitos integrados unitarios con un sustrato común puesto a potencial de tierra.

En el circuito Wjk, los transistores Q'y Q' tienen dimensiones relativamente grandes a fin de presentar una baja resistencia Rds en el estado de baja impedancia de modo que la capacidad rejilla-substrato Cgt presente un valor más bien alto. De ello resulta que, si el transistor de control Q1 se bloquea durante un determinado tiempo, la capacidad Cgt retiene el potencial de rejilla aplicado a Q' y Q' antes de este bloqueo. Además, es sabido que el circuito drenaje-
225 suministro de un transistor MOS es equivalente a dos diodos conectados en serie y en oposición y que están ambos bloqueados estando su punto común constituido por el sustrato. Pero el transistor Q1 tiene una geometría pequeña, con una resistencia drenaje - suministro relativamente alta, de modo que la corriente inversa del diodo drenaje -
230 - sustrato es extremadamente pequeña y la capacidad Cgt. no se descarga prácticamente durante el bloqueo de Q1, si esta cargado a un potencial U.

Se describirá ahora el funcionamiento del circuito conmutador Xjk de acuerdo con el estado del transistor Q1. Cuando el conductor e está a tierra el transistor Q1, cuyo potencial de drenaje
235 y suministro están al mismo potencial o más negativo (cero y U) que

386580



10.

la rejilla, se bloquea y el potencial de rejilla de Q' y Q'' se mantiene por la carga almacenada en el condensador Cgt.

240 Cuando se lleva el conductor e al potencial LL, pueden considerarse dos casos llamados "electrodos de salida" al drenaje y suministro del transistor Q1.

1) - Los electrodos de salida están al mismo potencial, estando estos potenciales fijados por la carga de Cgt y el estado del biestable Wjk: no pasa corriente por Q1 en absoluto indepen-
245 dientemente de que conduzca o este bloqueado.

2) - Los electrodos de salida estén a potenciales diferentes, cero y U : el transistor entonces conduce con una corriente de drenaje diferente a cero, actuando como drenaje el electrodo puesto a tierra. El condensador Cgt se carga entonces al potencial
250 en el conductor wjk. Si el biestable Wjk está en estado 1, Q' y Q'' "conducen y se transmite la información entre $V'j$, $H'k$ y $V''j$, $H''k$. Si está en estado 0 estos transistores se bloquean y la conexión entre los pares de conductores se desconecta.

El circuito conmutador Wjk se representa en forma simbólica en la fig. 2, en la cual los conductores $V'j$ ($H'k$, $H''k$) se han agrupado en un solo conductor Vj (Hk) y se muestran los conductores de control e y wjk antes definidos.
255

La fig. 3 representa un multiselector elemental que comprende, a modo de ejemplo no limitativo, dieciseis circuitos
260 conmutadores $X11$, $X21$ $X41$, $X12$, $X22$, etc..... Los biestables de retención (tal como Wjk, fig. 1) de estos circuitos están agrupados en el conmutador registrador RW que puede dividirse en 4 secciones $RH1$, $RH2$, $RH3$, $RH4$ asignadas respectivamente al control de los circuitos asociados a los horizontales $H1$, $H2$, $H3$, $H4$.

386580



11.

265 Este registrador RW es un registrador de conmutación estática MOS que recibe señales de avance H y \bar{H} y al que se aplican señales de información sobre el terminal DI.

Las señales H, representadas en la fig. 4a, son suministradas por un reloj y el inversor N1 suministra las señales complementarias \bar{H} (fig. 4b).

270 En funcionamiento normal, la entrada EN del multiselector está a tierra de modo que el transistor MOS Qo está bloqueado y el registrador RW no recibe ninguna señal de avance. Además, esta señal EN se invierte en el circuito N2 de modo que el conductor e, común a todos los circuitos conmutadores, se pone a potencial U y todos los transistores Q1 conducen poniendo las rejillas de Q' y Q'' al potencial de la salida 1 del biestable de retención correspondiente. En cada una de las secciones RH1 a RH4, como máximo un paso puede estar en el estado 1 (biestable Wjk de la fig. 1) asegurando la retención del circuito conmutador correspondiente en posición cerrada. Todos los otros circuitos están abiertos.

280 Cuando tenga que efectuarse una modificación del estado de un circuito conmutador, la entrada EN del multiselector se lleva a potencial U de modo que el transistor Qo conduce y todos los transistores Q1 del multiselector están bloqueados. Como se ha visto anteriormente, el condensador Cgt (fig. 1) retiene las rejillas de Q' y Q'' al potencial que se les ha aplicado antes del bloqueo. El estado de los circuitos conmutadores se mantiene entonces y el registrador RW recibe las señales de avance H y \bar{H} ,

290 Su contenido se transmite entonces al marcador sobre la salida DO. Cuando ha terminado el proceso de datos en este circuito, se reintroducen los nuevos datos en el registrador RW a través de la

386580



12.

entrada DI y la entrada EN se pone de nuevo a tierra. Puede verse así, que la entrada EN se lleva al potencial U en el tiempo que dura la modificación.

La fig. 5 representa el diagrama detallado, dado a modo de ejemplo, de un paso Sp del registrador. RW diseñado con transistores MOS - Ph. Comprende los inversores Q2 - R2, Q3- R3, Q4 - R4 y los transistores Q5 (controlados por señales H), Q6 y Q7 (controlados por señales \bar{H}). Este paso comprende un terminal de entrada DI' y un terminal de salida DO' y el estado lógico 1 (0) de tal paso se caracteriza por la presencia de un potencial U (cero) sobre el terminal DO'. Las capacidades rejilla - sustrato C2 y C3 de los transistores Q2 y Q3 están representadas por los condensadores C2 y C3. Se supondrá que inicialmente, C2 está descargado y que la rejilla de Q2 está a tierra.

Cuando el paso precedente S (p-1) está en estado 1 y aparecen una señal H, el transistor Q5 conduce. Un potencial U se aplica entonces a la rejilla Q2 que conduce y el punto A se pone a tierra bloqueando a Q3. El punto B está entonces al potencial U. Al final de la señal H las capacidades de rejilla - sustrato C2 y C3 de Q2 y Q3 retienen los potenciales de rejilla hasta el tiempo de aparición de la señal \bar{H} que desbloquea Q6 de modo que el potencial U del punto B se aplica a la rejilla de Q2 iniciando así un encerrojamiento del paso en el estado en que ha sido puesto por la señal H.

Esta señal \bar{H} controla también la colocación en estado conductor de Q7 que transmite el potencial del punto A (potencial de tierra) a la rejilla de Q2 que se bloquea, de modo que durante la presencia de esta señal \bar{H} , el terminal DO' y el conductor wjk (ver fig. 1) se llevan a potencial U: el estado 1 del paso S (p-1) se

386580



13.

transfiere entonces a la salida del paso Sp en un ciclo de señales de reloj. Se comprende entonces que el estado 0 del paso S (p-1) se transfiere en forma similar al paso Sp si C2 está cargado al potencial U.

325 Este invento corresponde a una solicitud de patente formulada en Francia el 19 de Diciembre de 1969, señalada con el Núm. 6944164 y se acoge, por lo tanto a los beneficios que otorgan los convenios internaciones vigentes.

- - - - - N O T A - - - - -

330 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1.- Un dispositivo multiselector electrónico caracterizado por un circuito conmutador que permite establecer una conexión eléctrica en el punto de cruce entre dos conductores que se designan vertical y horizontal y en el que : los electrodos de salida (suministro y drenaje) de un transistor MOS de amplia geometría Q están respectivamente conectados a este vertical y a este horizontal, de modo que la conexión se establece cuando el transistor conduce y se corta cuando está bloqueado; la rejilla del transistor Q está conectada a uno de los electrodos de salida de un transistor MOS de geometría pequeña Q1 cuya rejilla así como el otro electrodo de salida estan conectados respectivamente a los conductores de control e y w; el conductor w está conectado a la salida 1 del biestable de retención W de modo que cuando un potencial que hace conductivo al transistor Q1 se aplica al conductor e, si ambos electrodos de salida están a potenciales diferentes, este último transmite el estado del biestable W al transistor Q, siendo dicho transistor conductivo (o bloqueado) cuando el biestable está en el estado 1 (0) y si, cuando un potencial que bloquea

345



386580 14.

350 el transistor Q se aplica al conductor e, el potencial de rejilla del transistor Q se retiene en su capacidad rejilla - sustrato de modo que este transistor permanece en su estado previo.

2.- Un dispositivo multiselector electrónico elemental en disposición de matriz m verticales y n horizontales caracterizado por estar asociado a cada punto de cruce un circuito conmutador según el punto 1; las rejillas de todos los transistores de control Q1 están conectadas al mismo conductor e; los mxn biestables de retención están agrupados en registradores RW conmutadores estáticos MOS de modo que constituyen el dispositivo imagen del estado del multiselector; en funcionamiento normal el conductor e se lleva al potencial que hace conductivos a todos los transistores de control; cuando ha de modificarse el estado de un punto de cruce del multiselector modificando el estado del biestable de retención asociado, el contenido del registrador RW se transfiere a un circuito marcador en el que se realiza la modificación; los nuevos datos se escriben en el registrador RW y durante todo el tiempo de la transferencia y proceso de los datos el conductor e se lleva a un potencial que bloquea todos los transistores de control del multiselector.

3.- Un dispositivo multiselector electrónico caracterizado por un circuito conmutador según el punto 1 en el que cada vertical y cada horizontal comprendo p conductores; cada uno de los p pares de conductores está asociado a un transistor MOS de amplia geometría Q', Q'', etc. y las rejillas de todos estos transistores están conectadas a uno de los electrodos de salida de un único transistor de control Q1.

4.- Dispositivo multiselector electrónico.

Tal y como se ha descrito en la Memoria que antecede, re-

375

386580



15.

presentado en los dibujos que se acompañan y a los fines especificados.

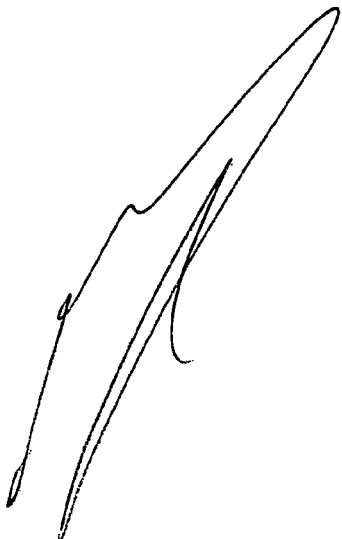
Esta Memoria consta de quince hojas escritas por una sola cara,

380

Madrid,

18 DIC 1970

Eugenio Barroso
EUGENIO BARROSO
Secretario General



386580

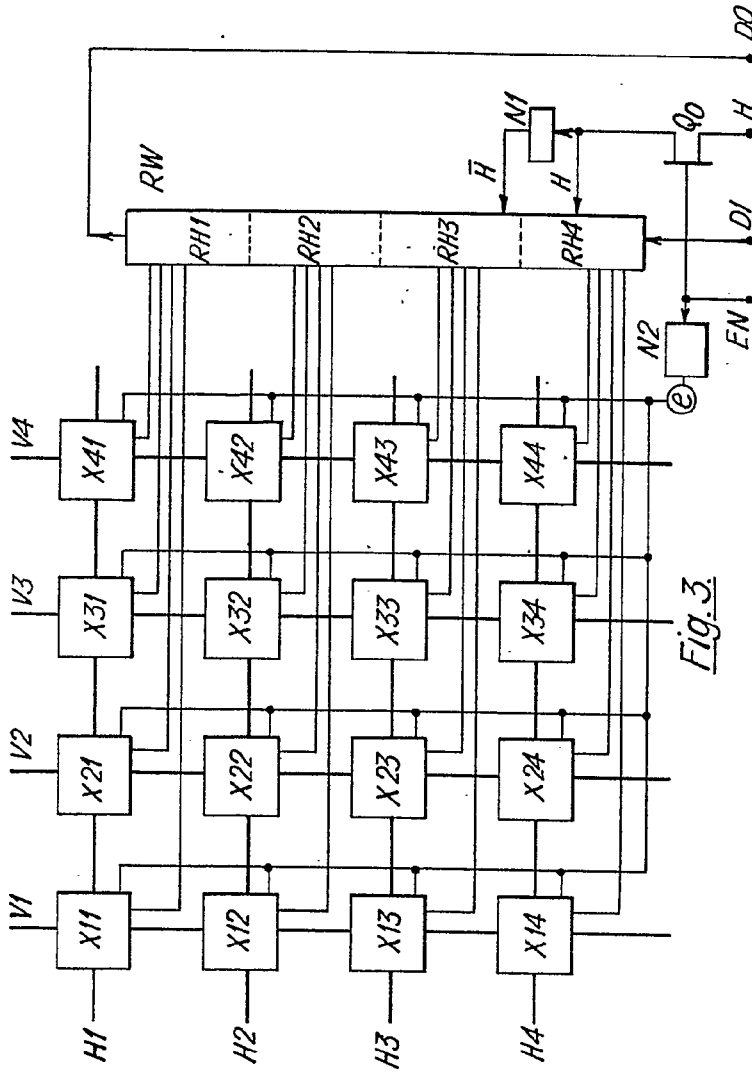
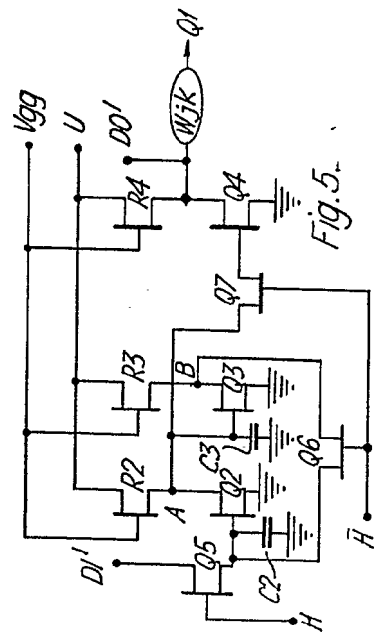
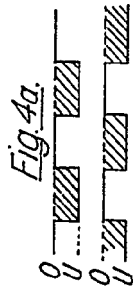
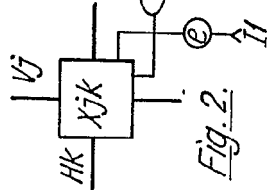
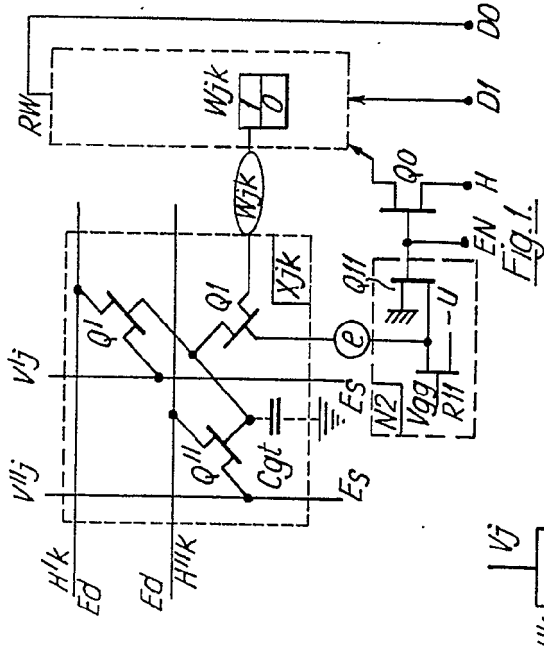
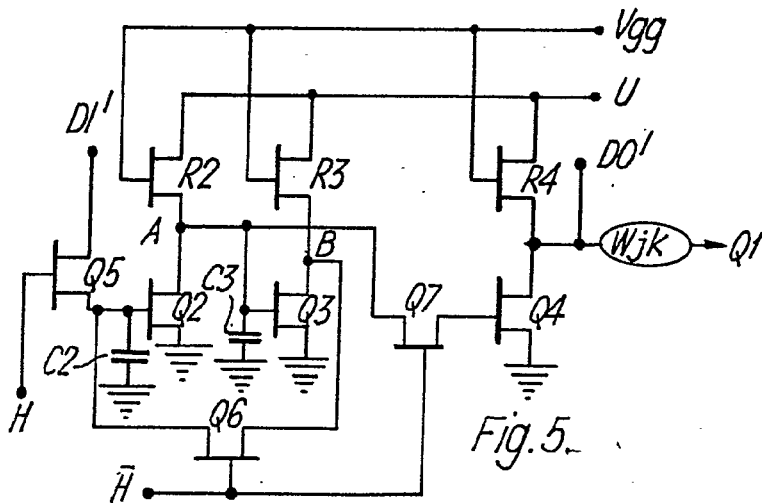
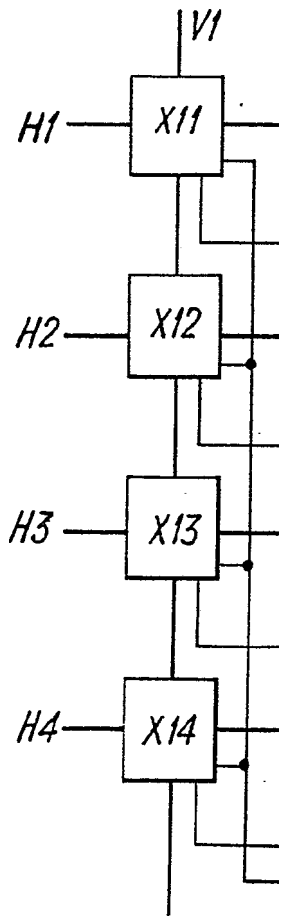
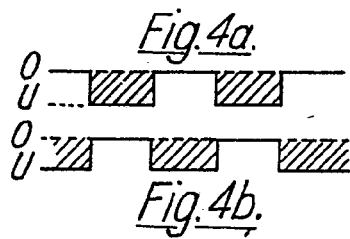
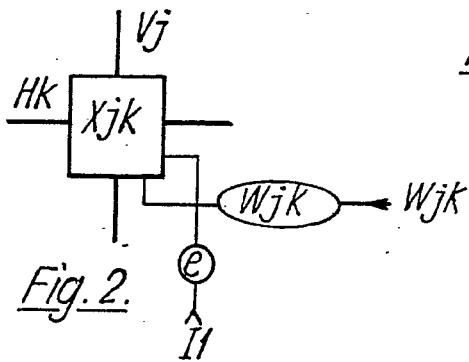
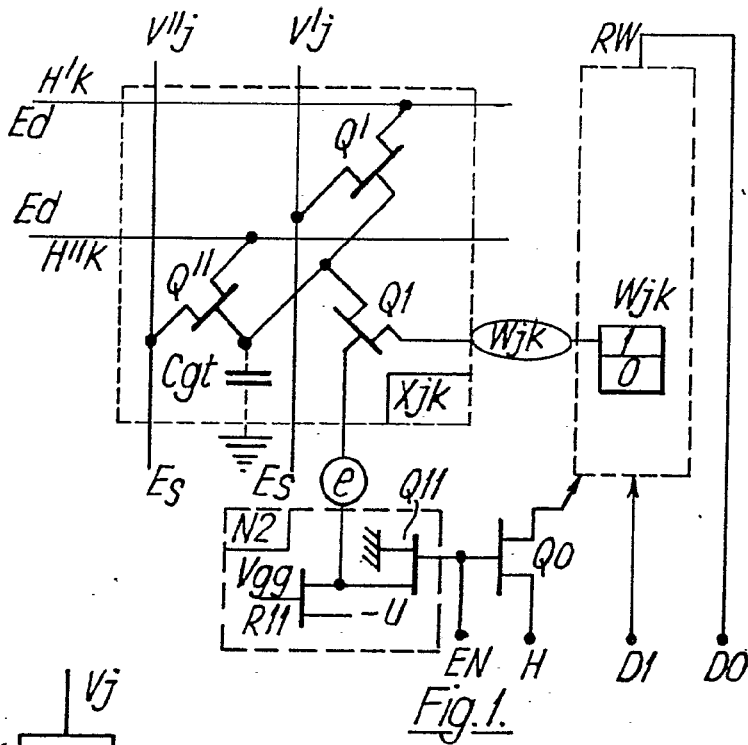


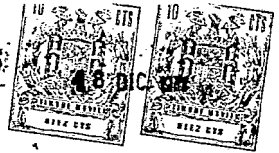
Fig. 3.

18 DIC 1970.



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General





386580

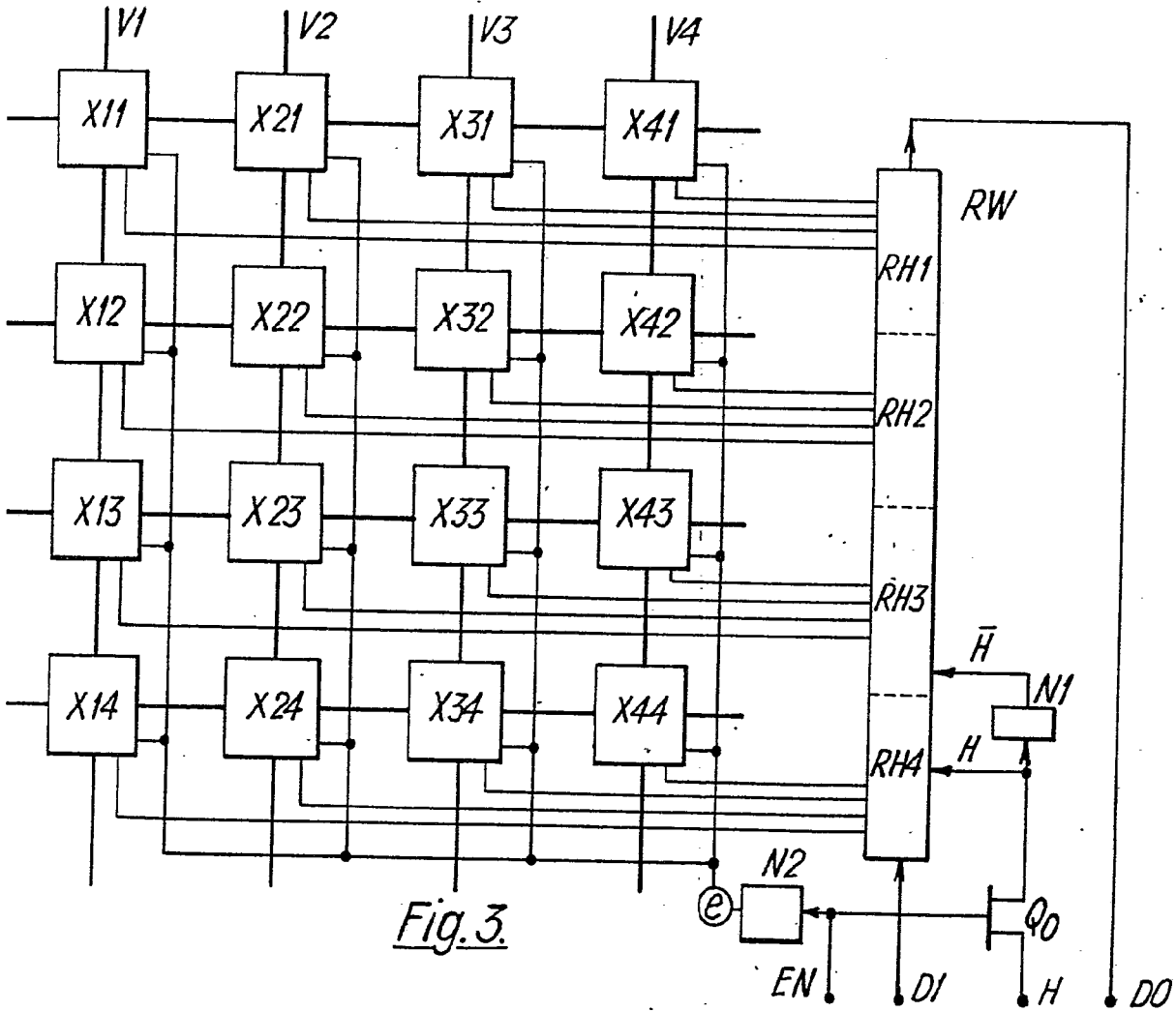


Fig. 3.

18 DIC 1970.



Eugenio Barroso
EUGENIO BARROSO
Secretario General