

385620



385620

SECCION TECNICA
CLASIFICACION I.C.
CLASE <u>H03</u>
SUBCLASE <u>B</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "MEJORAS EN CIRCUITOS AUTOCENTRADORES
ASOCIADOS A UN CODIFICADOR ANALOGICO A DIGITAL", A NOMBRE
DE STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID,
CALLE DE RAMIREZ DE PRADO Nº 5

El presente invento se refiere a mejoras en circuitos para corregir el centrado en codificadores analógico a digital, asegurando dichas mejoras una reducción del ruido introducido por la operación de codificación así como,
5 en la mayoría de los casos, la supresión de diafonía.

En la patente francesa número 1.366.812, se ha descrito un sistema de corrección de centrado que es adaptable para cualquier tipo de codificador y que permite suprimir los errores de codificación debidos a las fluctuaciones de los voltajes de corriente continua que intervienen en el codificador y a las variaciones de las características de los componentes.
10

Para obtener la información que permita esta corrección de centrado, se prueba, a intervalos periódicos,

385620



15 un canal de calibración en el que aparece una señal de am-
plitud constante e_0 que simboliza, por ejemplo, una señal
de cero voltios en un canal normal. En el caso particular
de señales sinusoidales sometidas a una codificación no si-
métrica de n dígitos, se obtiene normalmente para este vol-
20 taje $e_0 = 0$, uno de los códigos $N = 2^{n-1} - 1$ ó $N + 1 = 2^{n-1}$
que difieren por el hecho de que su dígito más significati-
vo es, respectivamente 0 y 1. La información de corrección
de centrado está constituida por este dígito y, cuando es
igual a 0 (1), controla la variación de uno de los voltajes
25 de corriente continua que intervienen en el codificador en
una dirección tal que se obtiene, en una de las pruebas si-
guientes, un código en el que el dígito más significativo
es 1 (0). Resulta de ello que la codificación de los otros
canales se hace con relación a un voltaje de referencia de
30 valor medio e_0 , que se centra así, sobre la escala de los
voltajes que tienen que codificarse, entre el valor del
voltaje para el que se obtiene el código N y aquél para el
que se obtiene el código $N + 1$.

Este método de corrección de centrado presenta el
35 inconveniente de que, cuando está presente una señal parásita
de amplitud baja en un canal normal, inicia una fluc-
tuación de los códigos de salida entre los valores $2^{n-1} -$
 1 y 2^{n-1} , de forma que, cuando se hace la decodificación,
se obtiene una señal de amplitud pico a pico igual a v
40 (siendo v la amplitud del escalón unidad de cuantificación)
incluso si la señal parásita tiene un valor muy bajo. Así,
si el canal normal corresponde a una línea telefónica en la
que el nivel de señales parásitas es normalmente más bajo

385620



3.

45 que 80 dB con relación a las señales útiles, esta amplifi-
cación eleva este nivel a 66 dB en el caso de un codifica-
dor no lineal que tenga un margen de codificación de 2048
escalones unitarios de cuantificación v (codificador des-
crito en la patente francesa número 1.460.676).

50 Para evitar este inconveniente, en el presente
invento se ha previsto el cambio de niveles de voltaje de
calibración y de los voltajes medidos en una amplitud $v/2$.
Resulta de ello que, para la codificación de los canales
normales, el voltaje de referencia está centrado, en el
margen de codificación, en el centro del escalón de cuanti-
55 ficación para lo que se obtiene el código N (ó $N + 1$). En
estas condiciones, se comprueba que las señales parásitas
de bajo nivel recibidas por una línea inactiva están supri-
midas puesto que sus valores instantáneos permanecen dentro
de un escalón de cuantificación.

60 El presente invento tiene por lo tanto como obje-
to la provisión de un circuito de corrección de centrado
mejorado para codificadores analógico a digital.

En un codificador de m canales multiplex en el
tiempo, el circuito de corrección de centrado recibe una
65 señal de calibración e_0 en el tiempo de canal $(m + 1)$, per-
mitiendo dicha señal elaborar una información de corrección
de centrado. De acuerdo con el invento, se proporcionan me-
dios para desplazar en una amplitud $v/2$ el nivel de las
señales medidas en el canal de calibración y en los canales
70 normales, el nivel de referencia establecido por la correc-
ción de centrado se ajusta así en el centro de un escalón
de cuantificación, de forma que las señales parásitas de

385620



75 baja amplitud recibidas por un canal inactivo normal, se
suprimen completamente, y medios para realizar una prueba
de los canales ($m + 1$) sin introducir voltajes extraños,
utilizando dichos medios, por ejemplo, contactos de relé o
transistores de efecto de campo.

80 Los antes mencionados y otros objetos y caracte-
rísticas de este invento quedarán más claros con referencia
a la descripción siguiente dada junto con los dibujos que
se acompañan en los que:

- La figura 1 representa los medios para determi-
nar el dígito más significativo en un codificador de reali-
mentación.

85 - Las figuras 2.a y 2.b representan la codifica-
ción y la decodificación de una señal parásita en un canal
inactivo normal cuando no hay corrección de centrado,

- La figura 3 representa la codificación de la
misma señal con una corrección de centrado convencional.

90 - La figura 4 representa la codificación de la
misma señal con una corrección de centrado modificada de
acuerdo con el invento.

- La figura 5 representa el diagrama general del
circuito de multiplexado.

95 Se recordará que la codificación de una señal
analógica de amplitud ec consiste en comparar esta última
con un voltaje de referencia variable que corresponde a una
cierta sucesión de códigos hasta el momento en que el vol-
taje comparado difiere, a lo sumo en un escalón de cuanti-
ficación. El código al que corresponde el voltaje de refe-
100 rencia utilizado que corresponde al voltaje de referencia

385620

5.



utilizado en ese momento se elige entonces para representar esta cantidad ec.

105 Se conocen varios métodos de codificación y se describirá, a título de ejemplo no limitativo, un sistema de corrección de acuerdo con el invento para un codificador de realimentación por comparación con el descrito en el libro "Notes on analog-to-digital conversion" de A.K. Susskind (Publicación MIT), páginas 5.54 a 5.60.

110 En este tipo de codificador, se tiene disponible para codificación una señal de amplitud ec en un código de n dígitos, un registrador de 2^n al que está asociado un decodificador que da un voltaje ed que representa el valor analógico del número almacenado en el registrador. El funcionamiento continúa durante n espacios de tiempo asignados sucesivamente a la determinación de los n dígitos, estando reservado el primer espacio de tiempo a la determinación del dígito más significativo, el segundo espacio de tiempo a la determinación del dígito que le sigue en significación, etc.

115

120

El registrador está inicialmente libre y se introduce inicialmente un dígito 1 en el flip-flop más significativo, o el flip-flop de orden 1, y se compara el voltaje decodificado correspondiente ed con el voltaje ec. Si $ec - ed > 0$ el valor del dígito más significativo D1 es 1 y no se modifica el estado del flip-flop de orden 1 no se modifica. Si $ec - ed < 0$, el valor de este dígito D1 es 0 y dicho flip-flop se repone a 0 bajo el control de un circuito lógico.

125

130 La misma operación se realiza en el espacio de

385620



tiempo siguiente después de que el flip-flop de orden 2 ha sido colocado en el estado 1 por una señal de control suministrada también por la unidad lógica. Se determinan así sucesivamente los diferentes dígitos del código y, al final del enésimo espacio de tiempo, el número que corresponde al voltaje e_c está disponible en el registrador en forma paralela.

La figura 1 muestra simbólicamente la forma de determinación del dígito D_1 en el caso particular de la codificación de voltajes de corriente alterna. En esta figura, la escala del lado de la izquierda representa la amplitud del voltaje decodificado e_d . Se sobrentiende que este último varía discontinuamente, en cada modificación del valor N , por incrementos del valor v (siendo v la amplitud del escalón de cuantificación unidad). Por lo tanto, en la figura el número 62 está representado por un voltaje decodificado $e_{d0} = v_0 + v$, el número 63 por un voltaje $e_{d1} = v_0 + 2v = V_R$, etc. La escala del centro representa los números correspondientes N y la escala de la derecha representa los voltajes que tienen que codificarse $\pm e_c$ el valor medio del cual para un voltaje sinusoidal corresponde al voltaje V_R . Se ve, en esta figura, que se tiene $D_1 = 1$ para $e_d - e_c > V_R$.

En una forma simplificada, se puede decir que, en el codificador descrito en la patente francesa número 1.366.812, la comparación se realiza de acuerdo con esta desigualdad, el comparador recibe por una entrada el voltaje $e_d - e_c$ y por la otra el voltaje de referencia V_R .

En la práctica, la fluctuación de los voltajes de



160 corriente continua que intervienen en el codificador y las variaciones de las características de los componentes, introducen un voltaje variable de error ϵ en uno de los términos de esta desigualdad y se tiene $D1 = 1$ para $ed - ec$ $VR + \epsilon$.

165 El voltaje de referencia ya no tiene su valor graduado y se cambia en un valor ϵ que puede hacerse mayor que v , introduciendo así un error de codificación.

Para evitar este inconveniente, se consigue, por medio de la corrección de centrado, un bucle de realimentación que permite centrar permanentemente el voltaje VR en la frontera entre los números 63 y 64. La información de corrección se obtiene por codificación, a intervalos regulares, de un voltaje constante $eo = VR$. Si la comparación da el resultado $D1 = \underline{1}$ (0) se reduce (aumenta) el valor de VR de forma que este voltaje de referencia oscila alrededor de su posición ideal (frontera entre los números 63 y 64).

Las figuras 2a y 2b representan respectivamente la codificación y la decodificación de una señal parásita de amplitud pequeña que aparezca en un canal normal inactivo (línea telefónica sin señales de conversación) cuando no hay centrado de corrección. Puesto que esta señal oscila a ambos lados del voltaje VR (figura 2.a), se obtiene una alternancia regular de códigos 63 y 64 que, en la decodificación (figura 2.b), da una señal parásita amplificada de amplitud v . Así, si el nivel de diafonía en una línea telefónica era por ejemplo, antes de la codificación, de 80 dB por debajo del nivel máximo de la señal, podría haberse amplificado a 66 decibelios por debajo de este mismo nivel en

385620



8.

el caso de un codificador no lineal, que tenga un margen
190 total de codificación de 2048 v y a 60 decibelios en el ca-
so de un codificador no lineal que tenga un margen de codi-
ficación de 1024 v.

La figura 3 representa la codificación de la mis-
ma señal en un codificador con corrección de centrado, cuyo
195 voltaje de referencia VR oscila a ambos lados de su valor
ideal e_0 . Debe señalarse que las fronteras de los interva-
los de cuantificación son paralelos al voltaje VR. Se ve
que se obtiene también una alternancia de códigos 63 y 64
pero esta alternancia ya no es regular.

200 La figura 4 representa la codificación de la mis-
ma señal en un codificador con corrección de centrado de
acuerdo con el invento. En este codificador, los niveles
del voltaje de calibración e_0 y del voltaje que tiene que
codificarse e_c se desplazan en $|\Delta v| = |v/2|$, siendo el va-
205 lor representado en la figura $|\Delta v| = -v/2$. Resulta de ello,
que para la codificación de un voltaje recibido por un ca-
nal normal, el voltaje VR está situado en el centro del mar-
gen de voltaje representado por el número 63 y que se supri-
me completamente un pequeño voltaje de diafonía, puesto que
210 se codifican una serie de números 63 que suministran, cuan-
do se decodifican, un voltaje de corriente continua. Mas
precisamente, si se designa por u la amplitud máxima de la
variación de VR y por e_{cm} la amplitud máxima del voltaje de
diafonía, se obtiene este resultado para $e_{cm} + u < v/2$.

215 La figura 5 representa el diagrama general del
circuito de multiplexación utilizado para conseguir la co-
rrección de centrado de acuerdo con el invento. En este cir



cuito, los equipos de línea L1, L2, ... que suministran las
señales analógicas de m canales están conectadas al codifi-
cador CD mediante las puertas de multiplexaje G1, G2 ...

Gm. Este codificador CD da los códigos por su salida C. El
muestreo de las señales se hace bajo el control de las seña-
les t1, t2 ... tm que están aplicadas a ellas sucesivamente
y en una forma repetitiva. El muestreo del canal de cali-
bración se hace por medio de la puerta G(m + 1) que está
controlado por una señal t(M + 1). El ciclo completo de se-
ñales de muestra que cubre un período de muestreo comprende
por lo tanto las señales t1, t2, ... tm, t(m + 1).

La señal de calibración eo es suministrada por el
puente constituido por las resistencias R1 y R2 cuyo valor
se elige de forma que sea tal que se tenga, en el caso del
ejemplo de la figura 1 que se refiere a la codificación de
un voltaje de corriente alterna: $e_o = v_o + 1,5 v$.

En la codificación de un voltaje de corriente
continua, se comprueba que se puede seleccionar un valor
cualquiera para eo, pero el valor antes mencionado presenta
la ventaja de que el signo de la desviación del voltaje VR
se obtiene muy simplemente mediante un examen del valor de
D1.

Las puertas de muestreo han sido representadas
simbólicamente en la figura 5 por medio de conmutadores. De
hecho es prácticamente necesario que estas puertas presen-
ten las características de un verdadero conmutador, esto es
que no deben introducir ningún voltaje extraño, el cual no
es el caso cuando están diseñadas con transistores de unión.
En este caso, las distintas puertas presentan diferentes

385620

10.



voltajes que no se puedan compensar con la corrección de centrado y el circuito de acuerdo con el invento no puede actuar de una forma óptima.

250 Conmutadores de este tipo pueden diseñarse utilizando contactos de relés o transistores de efecto de campo.

Sin embargo, en el caso de la codificación de un solo canal, se puede utilizar, obviamente, una puerta que tenga un voltaje que quede compensado perfectamente.

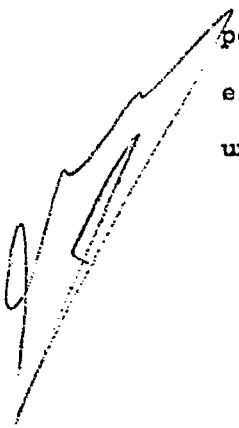
255 Aunque los principios del invento anterior se han descrito en relación con realizaciones específicas y sus modificaciones particulares, se sobrentiende que esta descripción se ha hecho a título de ejemplo y no como una limitación del alcance del invento.

260 Este invento corresponde a una solicitud de patente formulada en Francia el 18.11.1969 señalada con el número 6939636 y se acoge por lo tanto a los beneficios que otórgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

265 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

270 1 - Mejoras en circuitos autocentradores asociados a un codificador analógico a digital que funciona sobre informaciones suministradas por la codificación periódica de un voltaje de calibración caracterizado por el hecho de que los niveles de señal medidos en el canal de calibración por una parte y en los canales normales, por otra parte, están desplazados en $v/2$ (siendo v la amplitud de escalón unitario de cuantificación) de forma que el nivel de refe-

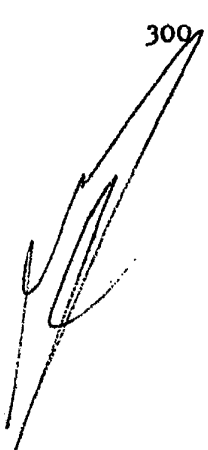




275 rencia establecido por la corrección de centrado está situado en el centro de un intervalo de cuantificación y porque, en la amplitud pico-a-pico de las señales parásitas que hay en un canal inactivo, es pequeña, suprimiéndose completamente dichas señales.

280 2 - Mejoras en circuitos autocentradores asociados a un codificador analógico a digital como el del punto 1 previsto para la codificación de cantidades analógicas suministradas por un solo canal caracterizado por el hecho de que cada período de muestreo está dividido en un espacio
285 de tiempo de calibración t_1 y un espacio de tiempo de medida t_2 , por el hecho de que, en el espacio de tiempo t_1 , se codifica un voltaje de calibración $e_0 + v/2$ ($\delta e_0 - v/2$), siendo e_0 un voltaje al que debe corresponder uno de los dos códigos N y $N + 1$, por el hecho de que si se obtiene
290 el código N ($N + 1$) se controla una disminución (un aumento) de uno de los voltajes de corriente continua que intervienen en el codificador y por el hecho de que, en el espacio de tiempo t_2 se hace la codificación de la cantidad analógica que tiene que medirse.

295 3 - Mejoras en circuitos autocentradores asociados a un codificador analógico a digital de acuerdo con el punto 1 y que funciona en multiplex en el tiempo caracterizado por el hecho de que se utiliza, como puertas de multiplexaje, componentes que no presentan ningún voltaje tales como relés o transistores de efecto de campo, que si se
300 tienen que codificar m cantidades analógicas, cada período de muestreo se divide en $m+1$ intervalos de tiempo de los que uno se reserva a la operación de calibración de acuerdo



1385620

12.



con el punto 2.

305

4 - Mejoras en circuitos autocentradores asociados a un codificador analógico a digital.

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

310

Esta memoria consta de doce hojas escritas por una sola cara.

Madrid, 17 NOV 1970



Eugenio Barroso
EUGENIO BARROSO
Secretario General



385620

Fig. 1.

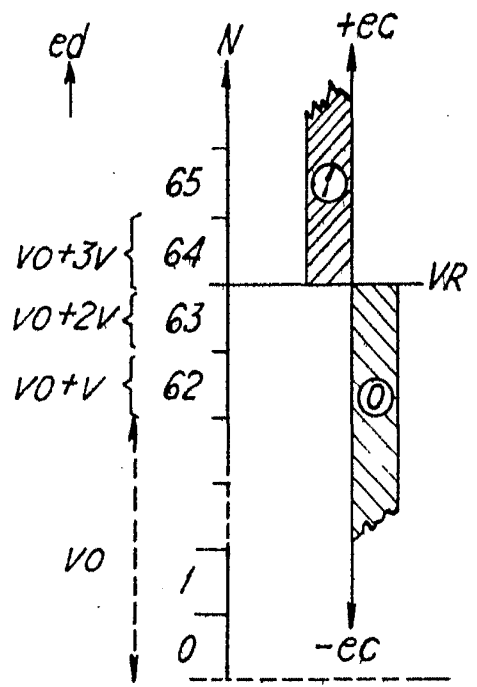


Fig. 2a.

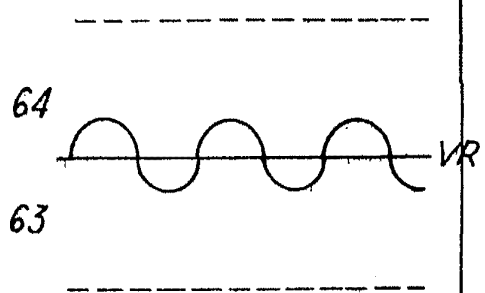
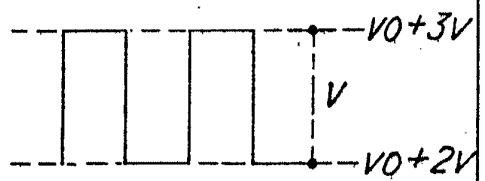


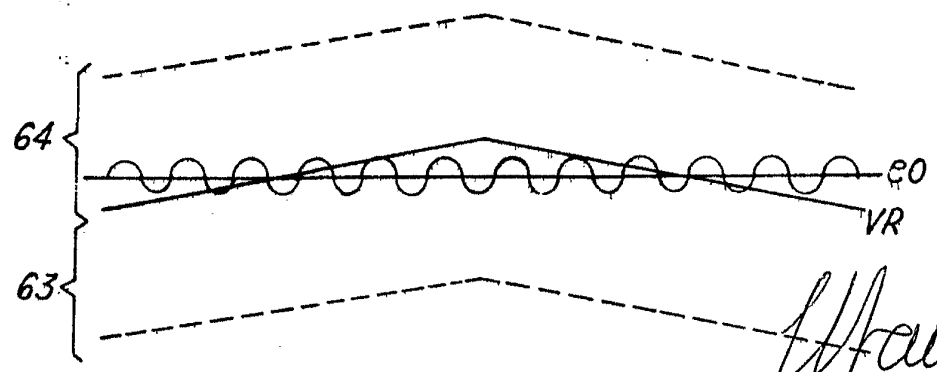
Fig. 2b.



17 NOV 1970



Fig. 3.



Eugenio Barroso

EUGENIO BARROSO
Secretario General



385620

Fig. 4.

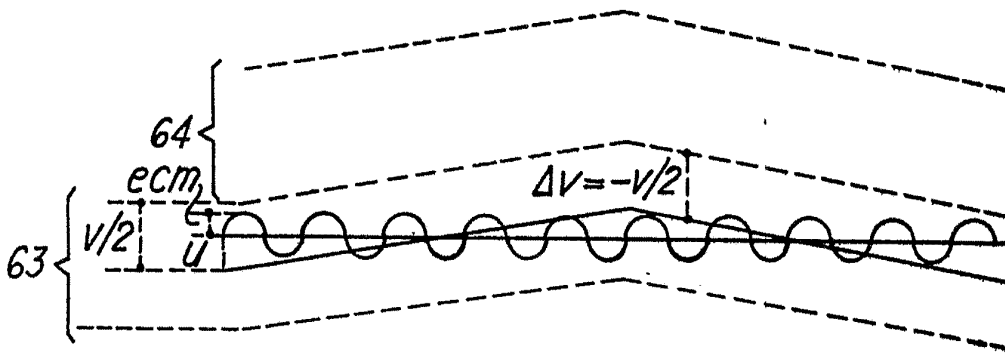
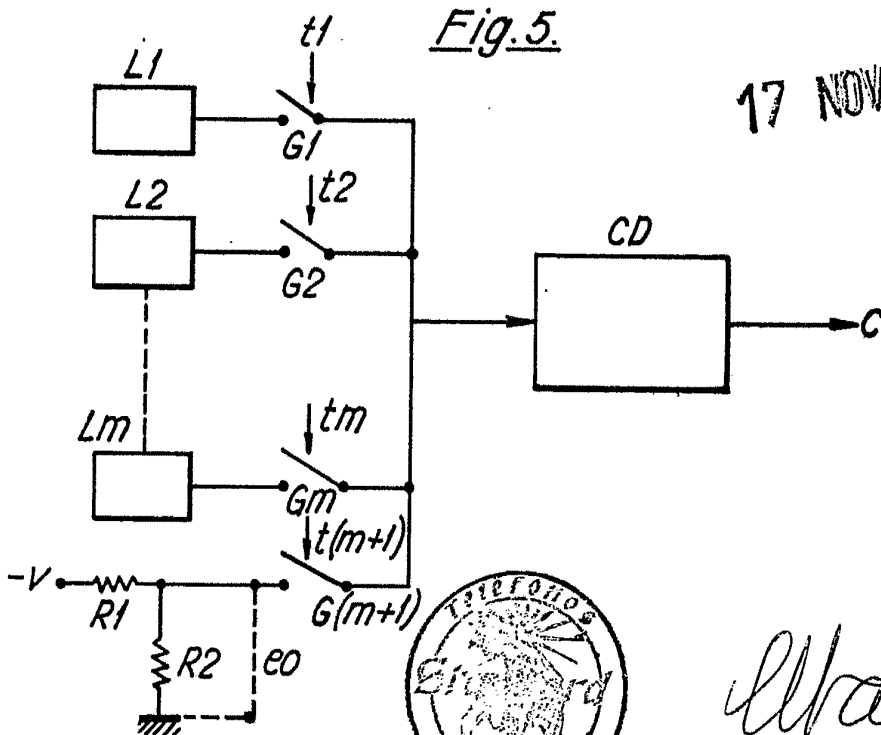


Fig. 5.



17 NOV 1970



Eugenio Barroso
EUGENIO BARROSO
 Secretario General