

384061

D.M. Thomas 3



SECCION TECNICA
CLASIFICACION I.P.C.
CLASE <u>H04</u>
SUBCLASE <u>2</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "SISTEMA DE TRANSMISION MULTIPLEX POR
DIVISION EN EL TIEMPO", A NOMBRE DE STANDARD
ELECTRICA, S.A., CON DOMICILIO EN MADRID,
CALLE DE RAMIREZ DE PRADO Nº. 5

Este invento se refiere a sistemas multiplex de división en el tiempo (TDM) y especialmente a la sincronización de cuadro de tales sistemas.

En los sistemas que utilizan corrientes de bits digitales en cuadros, el equipo receptor tiene que estar sincronizado con los cuadros de la corriente de bits. En el caso de un grupo multiplexado de canales de comunicación se necesita conocer el tiempo en que se presentan los canales particulares de forma que se necesita un equipo para obtener esta sincronización, utilizando esquemas de sincronización en la corriente de bits en cuadros. En el caso de un sistema PCM, este esquema de sincronización puede conseguirse utilizando un canal del cuadro como canal de sincronización al que se asigna un esquema de código especial. Para

384061

2.



15 un sistema TDM con un bit por cuadro para canal, de nuevo
pueda utilizarse un canal para sincronización, conduciendo
el canal una combinación de sincronización repartida en un
número de cuadros sucesivos. Este código especial puede ser
una combinación "comma-free", esto es una combinación como
20 0110110 110110 110110 ... que se repite sin fin.

Cuando se ha obtenido la sincronización es necesario comprobar la posición de tiempo de sincronización (o posiciones de tiempo si hay más de una en el cuadro), de forma que se pueda reconocer cuando se pierde la sincroniza
25 ción, esto es por ejemplo debido a un cambio de fase en el transmisor, o a un deslizamiento de bits debido a una diferencia de frecuencias entre la corriente de bits entrante y el reloj local, y entonces si se ha perdido la sincronización, para efectuar la resincronización. Los criterios para estas operaciones difieren, siendo típicamente la comprobación de persistencia utilizada en la comprobación para la
30 determinación de la pérdida de sincronización, más larga que el tiempo empleado en la búsqueda de resincronización.

El presente invento busca la forma de permitir
35 que se haga una resincronización más rápidamente que en la mayoría de los casos conocidos.

De acuerdo con el presente invento, se proporciona un sistema de transmisión multiplex de división en el tiempo en el que una o más posiciones de tiempo preseleccionadas del cuadro de tiempo se utilizan para conducir señales de sincronización, en el que, en una estación receptora,
40 el haz entrante de bits se comprueba para asegurarse de que se mantiene la sincronización entre dicho haz de bits y el

384061

3.



reloj local, en el que al mismo tiempo que se hace dicha
45 comprobación unos medios de prueba comprueban la corriente
de bits entrante para buscar en él la información de sincro
nización, en el que si dicha corriente de bits está en un
sincronismo adecuado con el reloj local, la nueva sincroni-
zación detectada por dichos medios de prueba y la sincroni-
50 zación corriente son iguales, en el que si dicha corriente
de bits y el reloj local pierden el sincronismo, la nueva
sincronización obtenida por dichos medios de prueba difiere
de la sincronización de corriente, y en el que la detección
de dicha diferencia hace que la sincronización de corriente
55 sea sustituida por dicha nueva sincronización.

Así se verá que la operación de buscar una falta
de sincronización y la de resincronización se hacen en pa-
ralelo y no secuencialmente, con un ahorro consiguiente en
tiempo y por lo tanto con menos pérdida de información.

60 A continuación se describirá una realización del
invento con referencia al dibujo que se acompaña, que es un
esquemático de bloque de parte de una estación receptora
para varios haces multiplex sobre cada uno de los cuales que
puede recibirse una corriente de bits en cuadros. Este in-
65 vento es especialmente ventajoso en los dispositivos en los
que la mayor parte del equipo de sincronización está com-
partido en el tiempo entre las corrientes de bits servidas.

Las corrientes de bits de que tratamos llegan so-
bre haces H1, H2, H3 y cada haz de corriente de bits tiene
70 un contador de sincronización de cuadro S, sirviendo estos
contadores 1S, 2S, 3S, respectivamente los haces H1, H2, H3.
La posición de estos contadores indica la condición de sin-

384061



75 cronización de corriente de los haces a los que corresponden. Estos y los haces son explorados por un equipo de exploración SE, SEM y SET de forma que cada contador y su haz son explorados al mismo tiempo. Esta exploración se hace bajo el control de impulsos de control derivados del reloj local.

80 Durante cada exploración, cada contador y su haz son examinados durante suficiente tiempo para que se haga una operación de comprobación. La duración de esta operación de comprobación depende del esquema de sincronización y también de los criterios utilizados para detectar una falta de sincronización. El resultado de la exploración de
85 estos contadores se envía por la conexión NS a un monitor de sincronización SM, que recibe también la corriente de bits que está siendo vigilada por el equipo de exploración SET. Si este monitor SM encuentra una falta de sincronización, se da una salida a un dispositivo de puerta GD.

90 La corriente de bits del haz que se está explorando por el equipo de exploración SET se envía también a una unidad de búsqueda de falsa sincronización DSS, que busca continuamente el código de sincronización, y cuando lo encuentra, repone un contador de sincronización falsa
95 DSC. Así, durante cada exploración, el contador DSC se coloca de acuerdo con el resultado de la búsqueda de sincronización de la unidad DSS.

100 La unidad de búsqueda DSS comprende, en el caso de un sistema PCM normal, un circuito de detección que está conectado a través de puertas a un estatizador en el que cada código PCM se almacena temporalmente. Cuando hay un có-



digo de sincronización, todas las puertas pueden accionar un dispositivo de indicación, como un biestable. Entonces este biestable da un impulso de salida al contador de falsa sincronización DSC. Esta última es una unidad relativamente sencilla, por ejemplo, una o más unidades de circuito integrado de los que pueden obtenerse de varios fabricantes. Cuando el sistema TDM tiene un bit por cuadro para cada canal, el almacenamiento en DSS puede acomodar un número de bits, y está controlado de forma que se comprueba un bit de cada uno de varios cuadros sucesivos.

Si al final del período de comprobación se ha detectado una condición de falta de sincronización, la aplicación de la señal de fuera de sincronismo al dispositivo GD (que en el caso de una transmisión de señal en paralelo podría ser una unidad de puerta múltiple) causa, por la conexión RC al equipo de exploración SEM, la reposición del contador de sincronización de cuadro para el haz de que se trate. Esta reposición es acompañada por la transferencia de nueva información de sincronización desde DSC a través de GD, RC y SEM al contador S apropiado. Por lo tanto el equipo de exploración puede avanzar inmediatamente al haz siguiente y su corriente de bits.

Así, el tiempo requerido para examinar una corriente de bits es igual al tiempo que se necesita para comprobar la sincronización o al tiempo requerido para obtener una nueva sincronización. Como estos tiempos son normalmente comparables, esto quiere decir que un haz y su corriente de bits puede tratarse en aproximadamente la mitad del tiempo necesario si no tiene que iniciarse una nueva búsqueda

384061

6.



135 de sincronización hasta que se dé una señal de falta de sincronización. Así, el equipo compartido en el tiempo puede servir aproximadamente al doble de corrientes de bits, o el mismo número de corrientes de bits puede ser servido aproximadamente en la mitad del tiempo.

Se sobrentiende que la descripción precedente de ejemplos específicos de este invento se ha hecho a título de ejemplo únicamente y no tiene que considerarse como una limitación de su alcance.

140 Este invento corresponde a una solicitud de patente formulada en Inglaterra el 30 Septiembre 1969 señalada con el número 48096/69 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

145 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

150 1 - Un sistema de transmisión multiplex por división en el tiempo en el que una o más posiciones de tiempo predeterminadas del cuadro de tiempo se utilizan para conducir señales de sincronización, en que en una estación receptora, el haz entrante de bits es comprobado para asegurarse de que se está manteniendo la sincronización entre dicha corriente de bits y el reloj local, en el que al mismo tiempo que se hace dicha comprobación unos medios de prueba, prueban la corriente entrante de bits para buscar allí la información de sincronización, en el que si dicha corriente de bits está en el sincronismo correcto con el reloj local, la nueva sincronización detectada por dichos

155



medios de prueba y la sincronización de corriente son iguales, en el que si dicha corriente de bits y dicho reloj local pierden sincronismo, la nueva sincronización establecida por dichos medios de prueba difiere de la sincronización de corriente y en el que la detección de dicha diferencia hace que la sincronización de corriente sea sustituida por dicha nueva sincronización.

2 - Un sistema como el del punto 1 en el que se comprenden varios haces entrantes explorados sincrónicamente, y en el que los medios de detección y de prueba están compartidos en el tiempo entre dichos haces.

3 - Un sistema de transmisión multiplex por división en el tiempo, sustancialmente, como se ha descrito con referencia al dibujo que se acompaña.

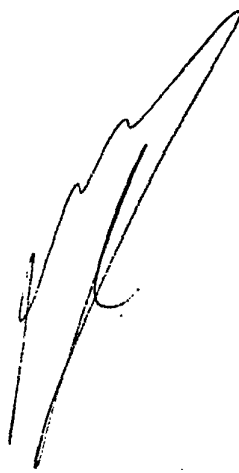
4 - Un sistema de transmisión multiplex por división en el tiempo.

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de siete hojas escritas por una sola cara.

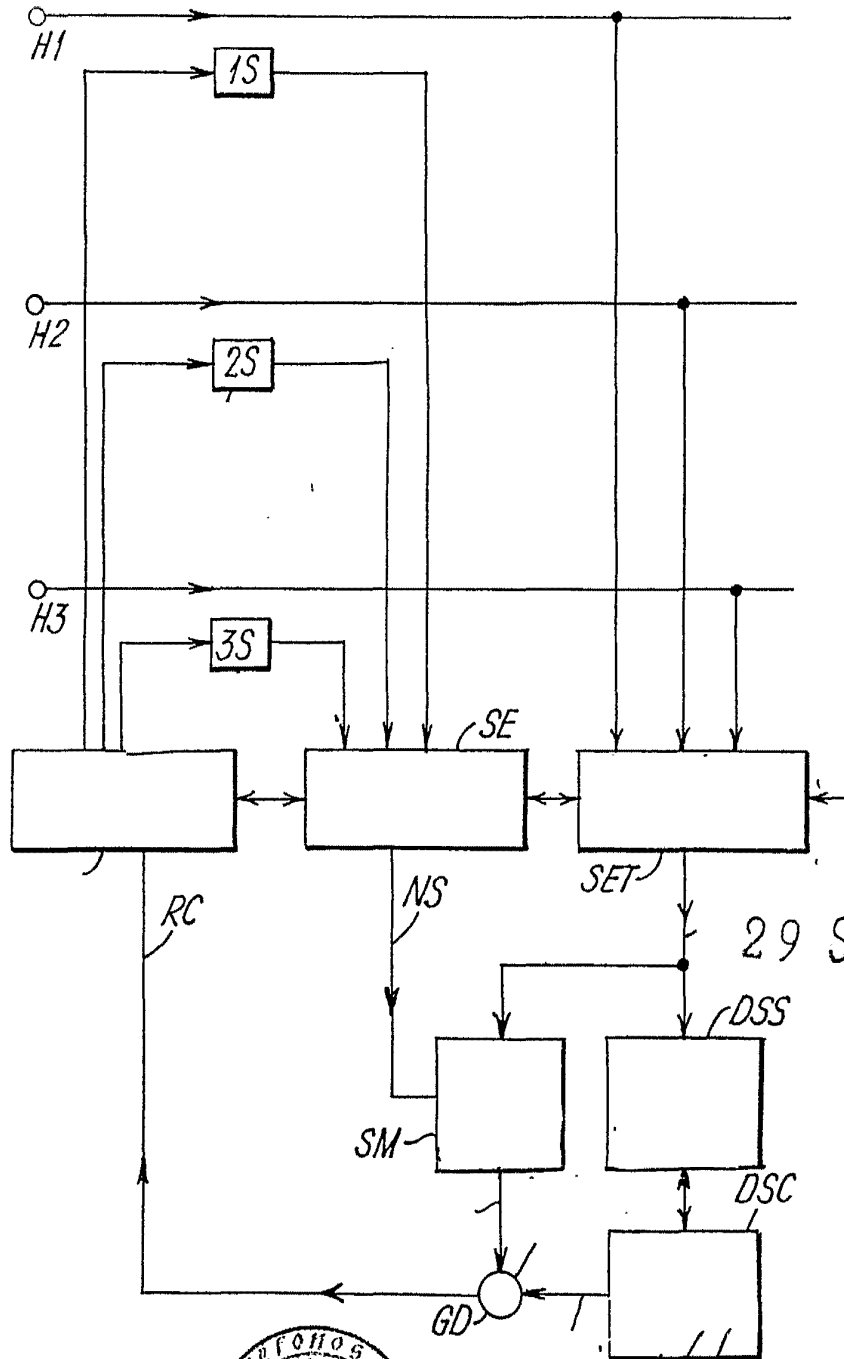
Madrid, 29 SEP. 1970


EUGENIO BARROSO
Secretario General

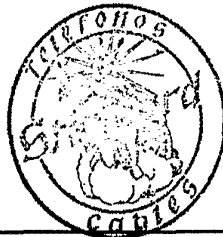




384061



29 SEP. 1970



Eugenio Barroso
EUGENIO BARROSO
Secretario General