

AB.

Caso ARTZ, W.M.1-1-2-1-1

Nº 381.850.

381850



SECCION TECNICA
CLASIFICACION
CLAVE <u>G06</u>
SUBCLASE <u>F</u>

P A T E N T E D E I N V E N C I O N

a favor de:

WESTERN ELECTRIC COMPANY, INCORPORATED. - de nacionalidad
norteamericana - domiciliada en: 195 Broadway - NEW YORK, N.Y.
(EE.UU.)

por:

"Sistema de computación modular"

==/s/s/s/s/:oOo:/s/s/s/s==

381850



Memoria descriptiva

5 La presente invención se refiere a sistemas de computación modular que comprende una pluralidad de unidades de elaboración, unidades de almacenamiento y unidades de entrada-salida, y circuitos de conmutación asociados con cada unidad para controlar la interconexión entre las unidades.

10 La patente estadounidense 3.386.082, otorgada el 28 de Mayo de 1.968, a T.S. Stafford y otros (correspondiente a la patente británica 1.108.819 concedida el 3 de Abril de 1.968) describe un sistema de computación modular en el que las unidades se pueden reconfigurar para omitir unidades averiadas y mantener un sistema operativo. Por esto es conocido proveer un sistema de computación modular en el que las unidades averiadas
15 pueden ser substituidas por unidades buenas.

Dichos sistemas de computación modular se emplean para una gran variedad de trabajos de elaboración de datos. Las diferentes necesidades de tal variedad de trabajos se pueden tratar
20 empleando las unidades en una técnica de tiempo compartido, pero en tal caso, se requiere una gran cantidad de tiempo para la vigilancia de las operaciones y para hacer asignaciones. El problema de grandes gastos generales en tiempo no productivo en dichos sistemas limita su utilidad.

25 El citado problema es eliminado de acuerdo con la invención mediante un sistema de computación modular, en el cual, una instalación de circuito controla los circuitos de conmutación para efectuar una división de las unidades del sistema en una pluralidad de sistemas de computación separados que funcionan independientemente.
30

Esta solución tiene la ventaja de permitir el uso de la misma citada instalación de circuito, para el aislamiento de unidades averiadas.



381850

Otro progreso nuevo de la invención se caracteriza porque la instalación de circuito puede comprender una matriz lógica que separa las unidades que solicitan servicio de las unidades que dan servicio, proveyendo cada punto de cruce de la matriz
5 lógica señales para impedir la comunicación entre una única unidad que solicita servicio y una única unidad que da servicio. Esta disposición de matriz organiza las combinaciones posibles para divisiones en una instalación fácilmente gobernable y permite facilidad de control.

10 La invención se caracteriza, en otro aspecto, porque la matriz lógica puede ser accionada por señales de programa generadas, almacenadas en dicha matriz lógica. De esta manera, la división en una pluralidad de sistemas independientes se puede llevar a cabo a velocidades de máquina.

15 En los dibujos:

La figura 1, es un diagrama en bloques general de un sistema de control de ordenación que utiliza un ordenador de datos y es adecuado para el empleo de la presente invención.

20 La figura 2, es un diagrama en bloques del conjunto de cables de interunidad necesarios para el sistema central lógico y de control ilustrado en la figura 1.

La figura 3, es un diagrama en bloques de las interrelaciones funcionales dentro del sistema central lógico y de control de la figura 1.

25 La figura 4, es un diagrama en bloques, más detallado de las instalaciones de acceso de almacenamiento empleadas por la unidad ordenadora del sistema central lógico y de control de la figura 3.

30 La figura 5, es un diagrama en bloques, más detallado de la unidad de control de programa de la unidad ordenadora que se ilustra en la figura 4.



381850

La figura 6, es un diagrama en bloques más detallado de la unidad de control de operando de la unidad ordenadora representada en la figura 4.

5 La figura 7, es un diagrama en bloques mas detallado de la unidad de control aritmética de la unidad ordenadora ilustrada en la figura 4.

La figura 8, es un diagrama en bloques mas detallado de las unidades de almacenamiento ilustradas en la figura 4.

10 La figura 9, es un diagrama en bloques más detallado de la unidad de conmutación de limite compartido, representada en la figura 4.

La figura 10, es un diagrama en bloques mas detallado del controlador de entrada-salida ilustrado en la figura 3.

15 La figura 11, es un diagrama en bloques mas detallado de la unidad de temporización y estado, representada en la figura 3.

La figura 12, es un diagrama en bloques todavía más detallado de la porción de estado de la unidad de temporización y estado de la figura 11.

20 La figura 13, ilustra un cuadro indicador apto para señalar el estado de configuración de un computador ordenador múltiple como el de la figura 2.

La figura 14, es un diagrama de circuito general de la porción lógica de prohibición o cierre de la unidad de estado ilustrada en la figura 12.

25 La figura 15, es un ejemplo de circuito del funcionamiento de los circuitos de cierre ilustrados en forma general en la figura 14.

30 La figura 16, es un diagrama de circuito del sistema lógico accionador de matriz de una unidad de división solicitante representada en forma de bloques en la figura 14.

381850



La figura 17, es un diagrama de circuito del sistema lógico accionador de matriz de una unidad de división solicitada, que se ilustra en forma de bloques en la figura 14.

5 La figura 18, es un diagrama de circuito del sistema lógico accionador de matriz para una unidad solicitante o solicitada aislada, ilustrada en forma de bloques en la figura 14, y

La figura 19, es un diagrama de circuito del sistema lógico de punto de cruce de matriz ilustrado en forma de bloques en la figura 14.

10 Las siglas en las figuras significan:

FIG. 1

	FD Nº 1	Fuente de datos Nº 1
	FD Nº 2	" " " " 2
	FD Nº M	" " " " M
15	SR	Subsistema de registro
	SMD	" " mantenimiento y diagnóstico
	SLCC	Sistema central lógico y de control
	CTD	Controlador de transmisión de datos
	SI	Subsistema indicador
20	SOD	Sistema de ordenación de datos
	PC Nº 1	Proceso controlado nº 1
	PC Nº 2	" " " " 2
	PC Nº N	" " " " N

FIG. 2

25	CSLCC	Cableado del sistema central lógico y de control
	UAP 1	Unidad de almacenamiento de programa 1
	UAP 2	" " " " 2
	UAP d	" " " " d
	MO 1	" " ordenación 1
30	UO 2	" " " 2
	UO a	" " " a



381850

	UAV 1	Unidad de almacenamiento variable 1
	UAV 2	" " " " 2
	UAV b	" " " " b
	CE/S 1	Controlador de entrada/salida 1
5	CE/S C	" " " " C
	UTE	Unidad de temporización y estado
	UMD	" " mantenimiento y diagnóstico
	UCI	" " conmutación interfacial o limite compartido.

FIG. 3

10	SLCC (F)	Sistema central lógico y de control (Funcional).
	AV	Almacenamiento variable
	AV-UCI	" " -Unidad de conmutación interfacial.
	AP (P)	" de programa (Principal)
15	AP (D)	" " " (Duplicado)
	AP-UCI	" " " -Unidad de conmutación interfacial.
	UP-UCI (P)	Unidad de programa-Unidad de conmutación interfacial (Programa)
20	CP	Control de programa
	CO	" " operando
	UP-UCI (O)	Unidad de programa-Unidad de conmutación interfacial. (Operandos).
25	CE/S-UCI	Controlador de entrada/salida-Unidad de conmutación interfacial.
	CE/S	Controlador de entrada/salida
	STA	Subsistema de transferencia de almacén
	SGT	" generador de temporización
	SUE	" de unidad de estado
30	ATU	A todas las unidades
	TE	Temporización y estado.

381850



FIG. 4

	AA	Acceso a almacenamiento
	AP (P)	Almacenamiento de programa (Principal)
	AP (D)	" " " (Duplicado)
5	E	Entrada
	S	Salida
	CP	Circuitos de prioridad
	PS	Prioridad secundaria
	UCI (AP)	Unidad de conmutación interfacial (Almacenamiento de programa)
10	S (P)	Solicitud (Principal)
	S (D)	" (Duplicado)
	UCI (UP)	Unidad de conmutación interfacial (Unidad de programa)
	UCP	Unidad de control de programa
15	UCA	Unidad de control aritmético.
	UCO	Unidad de control operando
	P	Petición
	R	Reconocimiento
	UCI (AV)	Unidad de control interfacial (Almacenamiento variable)
20	AV	Almacenamiento variable.

FIG. 5

	UCP	Unidad de control de programa
	AP	Almacenamiento de programa
	RI 1	Registro de instrucción 1
25	RI 2	" " " 2
	RI 3	" " " 3
	RI 4	" " " 4
	SS	Selector de segmento
	GP	Generador de peticiones
30	T	Traductor
	RC(32 BITS)	Registro comun (32 Bitios)
	MP (RC)	Modificador de peticiones (Registros C)
	LIO	Lista de instrucción de operando
	LIA	Lista de instrucción aritmética

381850



UCO Unidad de control de operando
UCA Unidad de control aritmética.

FIG. 6

UCO Unidad de control de operando
5 De L10 De lista de control de instrucción de operando
RIO Registro de instrucción de operando
TP-B Traductor de petición-B
DI Descodificador de instrucción
RZ Registros Z
10 RF Registro F
TCE Traductor de cambio y edición
RE Registro E
RB Registros B
SC Señales de control
15 RK Registro K
CC Circuito de cambio
CE Circuitos de edición
RL Registro L
S Sumador
20 RD Registro D
RSUCA Registro de salida de unidad de control aritmética
A ACU A Unidad de control aritmética
RDE Registros de datos de entrada
De AV De almacenamiento de avance
25 RPE Registro de petición de entrada
A AV A Almacenamiento de avance
RPS Registro de petición de salida
RDS Registros de datos de salida
REUCA Registro de entrada unidad de control aritmética
30 De UCA De unidad de control aritmética.

381850



FIG. 7

	UCA	Unidad de control aritmética
	De LIA	De lista de control aritmética
	RIA	Registro de instrucción aritmética
5	T	Traductores
	RA	Registros A
	CCLC	Circuitos de computación lógica y de control
	A UCO	A Unidad de control de operando
	RS B-A	Registro separador B a A
10	RS A-B	" " A a B
	CMR	Circuitos múltiples rápidos

FIG. 8

	UA	Unidad de almacenamiento
	ID-Y	Interruptor en derivación-Y
15	MS-Y	Matriz de selección-Y
	MNM	Matriz de núcleo magnético
	MS-X	Matriz de selección-X
	A-X	Accionadores-X
	A-Y	Accionadores-Y
20	AS	Amplificadores de sentido
	RD	Registro de datos
	CPD	Control de paridad de datos
	DE	Datos de entrada
	EPD	Errores de paridad de datos
25	DS	Datos de salida
	CPP	Control de paridad de petición
	EPP	Errores de paridad de petición
	DP	Descodificador de petición
	RP	Registro de petición
30	EP	Entrada de petición
	SC	Señales de control
	TC	Temporización y control
	MC	Mandos de control
	A UCI	A Unidad de conmutación interfacial.



381850

FIG. 9

	UCIAV	Unidad de conmutación interfacial de almacenamiento variable.
	ED	Entrada de datos.
5	CCD	Conmutador convergente de datos
	RD	Registro de datos
	S	Solicitudes
	C	Cierres
	CP	Circuitos de prioridad
10	CNP	Control de nivel primario
	CIM	Control de iniciación de memoria
	P	Peticiones
	CCP	Conmutador convergente de peticiones
	RP	Registro de petición
15	SR	Solicitudes de reconocimiento
	RS	Reconocimiento de solicitud
	IE	Informaciones de estado
	IEE	Información de error y estado
	De TU	De todas las otras unidades
20	CNS	Control de nivel secundario
	AV	Almacenamiento variable
	EPP	Error de paridad de petición
	EPD	Error de paridad de datos
	CNC	Control de nivel cuaternario
25	CNT	Control de nivel terciario
	SD	Salida de datos
	DD	Distribuidor de datos
	CCGBA	Circuitos de control de grupos de bitios adyacentes.

Fig. 10

30	CE/SSR	Controlador de entrada/salida y subsistema de registro
	TC	Transportes de cinta
	UDM	Unidades de disco magnético
	I	Impresores

381850



	PTP	Punzones de tarjeta perforada
	LTP	Lectores de tarjeta perforada
	RM	Registadores de microfilm
	CC	Controladores de cinta
5	CD	" " disco
	CM	" múltiples
	APM	Almacénamiento de palabra de mando
	C	Cables
	UCE	Unidad de control de entrada
10	UCP	" " " principal
	UCS	" " " de salida
	CE/S	Controlador de entrada/salida
	UIO	Unidad interfacial de ordenador
	UCI	Unidad de conmutación interfacial
15	A AV	A almacenamientos variables
	UO	Unidades de ordenación
	De AV	De almacenamientos variables
	<u>FIG. 11</u>	
	UTE	Unidad de temporización y estado
20	A TU	A todas las unidades
	A C	A la consola
	O	Ordenes
	D	Datos
	UE	Unidad de estado
25	T	Temporización
	UOCE/S	Unidades de ordenación de controlador de entrada/ salida.
	UCITE	Unidad de conmutación interfacial de temporización y estado.
30	UTI	Unidad de transferencia interfacial
	OS	Ordenes y solicitudes
	RCTD	Reloj de calendario de tiempo de día
	GT	Generador de temporización
	UCC	Unidad de control de canal



381850

CRCE/S	Canal reservado a controlador de entrada/salida
UTA	Unidad de transferencia de almacenamiento
RFP	Reloj de frecuencia de precisión
UCITA	Unidad de conmutación interfacial de transferencia
5	de almacenamiento.
RSMD	Registro separador de mantenimiento y diagnóstico
SMD	Subsistema de mantenimiento y diagnóstico
AP	Almacenamientos de programa.

FIG. 12

10	UE	Unidad de estado
	LCECD	Limite compartido de estado de cableado duro
	RPA	Registro de palanca acodada
	RFF	Registro flip-flop
	CP	Circuito de prioridad
15	CC	Circuito de control
	UCC	Unidad de control de canal
	UTI	Unidad de transferencia interfacial
	RS	Registro de salida
	RE	Registro de entrada
20	D	Distribuidor
	MM	Mando de matriz
	M	Matriz
	OM	Cierres manuales

FIG. 13

25	RC	Representación de configuración
	AV	Almacenamientos variables
	US	Unidades solicitadas
	TE	Temporización y estado
	CE/S	Controlador de entrada y salida
30	AP	Almacenamientos de programa
	A	Aislamiento
	D	División
	O	Ordenadores.



381850

FIG. 14

	SLC	Sistema lógico de cierre
	AD"S"	Accionadores de "solicitante"
	AAV	Accionadores de almacenamiento variable
5	ATE	Accionadores de temporización y estado
	ACE/S	Accionadores de controlador de entrada/salida
	AAP	Accionadores de almacenamiento de programa
	AAV-1	Accionador de almacenamiento variable-1
	AAV-16	Accionador de almacenamiento variable-16
10	ATE-1	Accionador de temporización y estado-1
	ATE-2	Accionador de temporización y estado-2
	ACE/S-1	Accionador de controlador de entrada/salida-1
	ACE/S-4	Accionador de controlador de entrada/salida-4
	AAP-1A	Accionador de almacenamiento de programa-1A
15	AAP-16B	Accionador de almacenamiento de programa-16B
	A "S"	Accionadores "solicitados"
	AO	Accionadores de ordenador
	AUO-1	Accionador de unidad de ordenación-1
	AUO-10	Accionador de unidad de ordenación-10
20	ML	Matriz lógica.

FIG. 15

	EC	Ejemplo de cierre
	SS	Señales solicitadas
	CDCP	Control directo de colección de programas
25	AM	Accionador de matriz
	RFF	Registro flip-flop
	SSO	Señales de solicitante
	UP-1	Unidad de programa-1
	BE	Bitio de estado
30	TE-1	Temporización y estado-1
	S	Solicitud
	AR	Accionador de representación
	TE-2	Temporización y estado-2.

381850



FIG. 16

	UDSSLAM	Unidad de división de solicitante. Sistema lógico accionador de matriz.
	MM	Modo manual
5	SM	Solicitante manual
	SCP	Solicitud de colección de programas
	A BD	A barra de datos
	DS	División de solicitante
	CIEI	Circuito indicador de equipo impulsado.

10 FIG. 17

	UDSSLAM	Unidad de división solicitada. Sistema lógico accionador de matriz.
	MM	Modo manual
	SCP(1)	Solicitud de colección de programas (1)
15	A BD	A barra de datos
	SM	Solicitud manual
	SCP(2)	Solicitud de colección de programas (2)
	MA	Modo automático
	D1	División 1
20	D2	División 2
	CIEI	Circuito indicador de equipo impulsado.

FIG. 18

	USSASLAM	Unidad de solicitante y solicitada. Accionador de sistema lógico de aislamiento de matriz.
25	PE	Pérdida de energía
	SM	Solicitud manual
	SCP	Solicitud de colección de programas
	A BD	A barra de datos
	CSE	Circuito seguidor emisor
30	CIEI	Circuito indicador de equipo impulsado
	A	Aislamiento.

381850



FIG. 19

SLPCM	Sistema lógico de punto de cruce de matriz
A (S)	Aislamiento (Solicitante)
D1 (S)	División 1 (Solicitada)
5 D (S)	División (Solicitante)
D2 (S)	División 2 (Solicitada)
A (SO)	Aislamiento (Solicitado).

10 En la forma de realización ilustrativa de la presente
invención, la división se lleva a cabo por medio de un sistema
de unidades de conmutación interfacial, o límite compartido, pro-
veyendo un límite compartido de conmutación entre cada una de las
unidades conectadas del sistema de ordenación de datos. Cada uni-
dad de conmutación es controlada por una señal de cierre que
15 inhibe todas las transferencias de señal entre cada par de unida-
des seleccionadas. En la forma de realización del ejemplo dichas
señales de cierre son generadas por una matriz lógica de dimen-
siones n , siendo n el número total de divisiones convenientes.
Luego, cada unidad del sistema de ordenación de datos se repre-
20 senta por las columnas, hileras y planos de la matriz, y cada
interconexión, mediante un punto de cruce en la matriz. Las co-
lumnas, hileras y planos de la matriz lógica, se pueden emplear
entonces, para elegir la división a la que pertenece cada unidad.
La matriz de cierre se puede accionar mediante señales generadas
25 por conmutadores manuales, o en una variante, por medio de seña-
les de programa generadas.

Dicha instalación de cierre de unidad de conmutación
interfacial presenta la ventaja adicional de que provee ais-
lamiento y segmentación, así como división. En este caso,
30 "aislamiento" significa la separación de una unidad única del
resto del sistema de ordenación de datos, es decir, que todas
las unidades de conmutación interfacial están cerradas. Normal-
mente, el aislamiento tiene finalidad de mantenimiento.



381850

5 "Segmentación" significa la separación de una pluralidad de unidades del sistema de ordenación de datos, cuya pluralidad de elementos es menor que la que se necesita para un sistema que funciona independientemente. La segmentación se utiliza normalmente para la verificación de diagnóstico del segmento. La "división" expresa, desde luego, la separación de las unidades en una pluralidad de unidades de ordenación de datos que funcionan independientemente.

10 Con referencia más particularmente a la figura 1, se representa un diagrama en bloques general de un sistema de ordenación de datos en tiempo real 10, que recibe datos en tiempo real de las fuentes de datos 11 y envía señales de control en tiempo real a una pluralidad de procesos controlados 12, 13 y 14. El sistema de ordenación de datos 10 comprende un sistema central
15 lógico y de control 15 que comporta las unidades de memoria, unidades de control de entrada-salida y unidades de ejecución de instrucción normalmente asociadas con un sistema de computación digital. Con el sistema central lógico y de control 15, está asociado un subsistema de registro 16, para proveer registros de
20 datos derivados del sistema de control 15 y para proveer entrada de máquina en dicho sistema de control 15. El subsistema 16 comprende el equipo de tarjeta perforada, cintas magnéticas y unidades de disco magnético asociadas normalmente con un sistema de ordenación de datos. Con el sistema central lógico y de control
25 15 se halla asociado asimismo un subsistema de representación 17 que comprende una representación en tiempo real de ciertas características de funcionamiento del sistema central lógico y de control 15.

30 Con el sistema central lógico y de control 15 está asociado también, un subsistema de mantenimiento y diagnóstico 18 que comprende todos los circuitos necesarios para vigilar el funcionamiento del sistema de control 15 con el fin de detectar errores



381850

en este funcionamiento y para iniciar la corrección automática de error necesaria o procedimientos de reorganización. Un controlador de transmisión de datos 19 recibe la salida de datos en tiempo real del sistema central lógico y de control 15, y
5 utiliza dicha salida para emitir señales de control para el control de los procesos 12, 13 y 14. Estos procesos 12, 13 y 14 comprenden también, medios para generar señales de indicación y verificación para la transmisión hacia atrás, a través del controlador de transmisión 19 al sistema central lógico y de
10 control 15 con el fin de indicar el curso y estado de las operaciones que se controlan.

El sistema de control de la figura 1, se puede emplear en cualquier operación de computador controlada en tiempo real como, por ejemplo, en una planta de tratamiento de petróleo controlada automáticamente, un sistema de almacén o depósito automatizado, o incluso en un sistema de control de fuego para
15 aplicaciones militares. Todos estos sistemas presentan en común las necesidades de recibir datos de entrada en tiempo real, efectuar computaciones detalladas sobre estos datos de entrada, y generar señales de control de salida en tiempo real. Los entendidos en la materia pueden ver fácilmente otras muchas aplicaciones del citado sistema.
20

El sistema central lógico y de control 15 de la figura 1 es el elemento de control central de todo el sistema. En situaciones en que hay que controlar procesos grandes y complicados, es necesario que en el sistema de control 15, se pueda disponer de una importante energía de computación. Con este fin, el sistema de control 15 está organizado sobre una base modular. Esto es, cada función requerida por el sistema central lógico y de
25 control 15, es llevada a cabo por una pluralidad de unidades idénticas, cuyo número se puede variar para facilitar el trabajo de ordenación de datos específico requerido.
30



381850

Volviendo a la figura 2, se ilustra un diagrama en bloques esquemático de un sistema central lógico y de control adecuado para empleo en el sistema como el que se ilustra en la figura 1. Las unidades modulares básicas comprendidas en el sistema central lógico y de control de la figura 2 son una unidad de almacenamiento de programa, una unidad de ordenación, una unidad variable o de almacenamiento de operando, un controlador de entrada/salida y una unidad de temporización y estado. Como se puede ver en la figura 2, se ha previsto una pluralidad de unidades de almacenamiento de programa 30, 31 y 32 para almacenar la secuencia de instrucciones o mandos de máquina necesarios para accionar la totalidad del sistema.

Se ha previsto una pluralidad de unidades de ordenación 33, 34 y 35 para ejecutar las instrucciones una vez restablecidas desde las unidades de almacenamiento de programa 30 a 32. Se ha previsto una pluralidad de unidades de almacenamiento variable 36, 37 y 39 como dispositivos de almacenamiento temporal para los datos que han de servir como operandos en la ejecución de instrucciones por las unidades de ordenación 33 a 35. Existe una pluralidad de controladores de entrada-salida 39 a 40 para controlar la transferencia de datos procedentes del sistema central lógico y de control de la figura 2 al resto del sistema de ordenación de datos.

Existe una unidad de temporización y estado 41 prevista para generar y distribuir la temporización básica requerida en el sistema de control o en las otras unidades. Además, la unidad 41 recibe registros de estado en forma de señales de datos binarios de todas las otras unidades y registra esta información en registros apropiados para el empleo en procedimientos de mantenimiento y diagnóstico.

Con el fin de valerse plenamente de la instalación modular del sistema central lógico y de control de la figura 2, es necesario que cada una de las unidades 30 a 41 sea capaz de interconexión con otra cualquiera de las unidades.



381850

Esto se realiza por medio de una unidad de conmutación interfa-
cial o limite compartido (UCI), que forma parte de cada una de
las unidades 30 a 41. Las unidades de conmutación interfacial
terminan en cables, ilustrados en la figura 2 con las líneas
5 llenas, que están conectadas entre las varias unidades. Las
unidades de conmutación interfacial proveen la interrupción
ciclica necesaria de las varias conexiones y proveen, asimismo,
un grado de control de prioridad sobre las varias interconexio-
nes.

10 Se ilustra una unidad de mantenimiento y diagnóstico que
sirve para recoger cierta información de todas las demás unida-
des de la figura 2, por medio de una barra de datos múltiples
43, y para emplear esta información para diagnosticar y mantener
el sistema central lógico y de control. Dicha unidad de mante-
15 nimiento y diagnóstico 42 no forma parte del sistema central lógi-
co y de control en un sentido funcional pero se muestra en la
figura 2, para ilustrar la completa separación e independencia
de la barra de adquisición de datos 43 de las vías de datos
normal que se extiende entre las unidades de conmutación inter-
20 facial de las varias unidades 30 a 41. Así se puede ver que la
recogida de información de mantenimiento y diagnóstico no depen-
de de la funcionalidad de todas o de cualquier porción de las
vías normales de ordenación de datos. Esto simplifica considera-
blemente la función de vigilancia y aumenta la seguridad de
25 funcionamiento hasta un grado importante.

Con objeto de comprender mejor el funcionamiento del sis-
tema central lógico y de control, se muestra en la figura 3 un
diagrama en bloques funcional que ilustra la interrelación fun-
cional de las varias unidades de la figura 2. Para mayor simpli-
30 cidad, en la figura 3, se representa solamente una única unidad
de cada tipo de unidades, entendiéndose que existen interconexio-
nes similares entre las unidades múltiples, como se indica en
general en la figura 2.



381850

5 En la figura 3, se ilustran mediante las líneas gruesas las vías de datos y por medio de las líneas delgadas las vías de señales de control. El número de posiciones binarias o bitios llevados a cabo por cada línea, se indica con los números entre paréntesis adyacentes a las líneas gruesas. Puede apreciarse que se ha conseguido cableado uniforme, normalizando para ello el tamaño de cable para 34 bitios.

10 Con referencia a la figura 3, se puede ver que el sistema central lógico y de control comprende la unidad de ordenación 50 con su unidad de conmutación interfacial asociada 51 representada en la figura 3, dividida en dos partes. Una parte comunica con la porción de control de programa de la unidad de ordenación 50, mientras que la otra comunica con la porción de operando de la unidad de ordenación 50. La porción de control de programa
15 de la unidad de ordenación 50, recibe instrucciones de programa de las unidades de almacenamiento de programa 52 y 53 por medio de las unidades de conmutación interfacial 54 y 55 respectivamente. Con vistas a la seguridad de funcionamiento, las instrucciones de programa se registran en dos diferentes unidades de
20 almacenamiento de programa. Así, la unidad de almacenamiento de programa 52, se identifica como el almacenamiento de programa principal, en tanto que la unidad de almacenamiento de programa 53, se identifica como la unidad de almacenamiento de programa duplicada. Se expiden solicitudes idénticas para la siguiente
25 instrucción a ambas unidades de almacenamiento 52 y 53, y la primera unidad de almacenamiento de programa para responder, automáticamente, cancela la solicitud en la otra unidad. De esta manera, si se pierden instrucciones de programa en alguna unidad de almacenamiento de programa por malos funcionamientos, el sistema puede continuar funcionando esencialmente sin pérdida de
30 tiempo.

381850



La porción de control de operando de la unidad de ordenación 50, restablece datos de la unidad de almacenamiento variable 51; y de la unidad de conmutación interfacial 57.

5 Está dispuesto un controlador de entrada/salida 58 para
comunicar con todas las otras unidades por medio de la unidad
de conmutación interfacial 59. Esto es, puede cambiar datos y
órdenes con la porción de control de operando de la unidad de
ordenación 50 por medio de las unidades de conmutación inter-
facial 51' y 59. Puede también, cambiar datos y órdenes con la
10 unidad de almacenamiento variable 56 por medio de las unidades
de conmutación interfacial 57 y 59. Finalmente, puede cambiar
datos y órdenes con la unidad de temporización y estado 60 a
través de la unidad de conmutación interfacial 61. El controla-
dor de entrada/salida 58 controla, desde luego, las transferen-
15 cias de información entre el sistema central lógico y de control
de la figura 3, y todas las otras unidades del sistema de orde-
nación de datos ilustrado en la figura 1.

La unidad de temporización y estado 60 comprende tres
subsistemas independientes necesarios para el funcionamiento de
20 todo el sistema central lógico y de control. Un subsistema de
transferencia de almacenamiento controla la escritura de las
instrucciones de programa en las unidades de almacenamiento de
programa como las 52 y 53. Verdaderamente, el subsistema de
transferencia de almacenamiento, es el único medio para alterar
25 las instrucciones de programa y comunica con las unidades de al-
macenamiento de programa por medio de la unidad de conmutación
interfacial 61', que es realmente una porción de la unidad de
conmutación interfacial 61.

El subsistema generador de temporización y la unidad de
30 temporización y estado 60 proveen toda la información de tempo-
rización y reloj necesaria para el funcionamiento del sistema.
Utilizando señales de reloj principales, dicho subsistema gene-
rador de temporización mantiene información diaria y expide ór-
denes temporizadas para sincronizar los varios ciclos de ordena-



381850.

ción de datos en tiempo real.

5 El subsistema de unidad de estado y unidad de temporización y estado 60, mantiene un registro de corriente del estado de todas las unidades del sistema central lógico y de control, transfiere periódicamente esta información en las unidades de almacenamiento variable como la unidad 56 y contiene los circuitos de control para aislamiento, segmentación y división.

10 También puede apreciarse que la porción de control de programa de la unidad de ordenación 50, puede obtener instrucciones de programa del almacenamiento variable 56 por medio de las unidades de conmutación interfacial 51 y 57. Esto permite el almacenamiento en la unidad de almacenamiento variable 56, de secuencias de programa temporales y su empleo para el control de la unidad de ordenación 50. También se notará que todos los
25 cables que se extienden entre las diferentes unidades del sistema central lógico y de control de la figura 3, comprenden 34 bitios de información, lo que permite diseño de cable uniforme.

20 Como se ha señalado anteriormente, el sistema central lógico y de control es el corazón del sistema de ordenación de datos de la figura 1. El sistema central lógico y de control ejecuta toda la ordenación y computación de datos requeridas por todo el sistema. Por tanto, el sistema central lógico y de control comprende varios solicitantes que son capaces de solicitar asincrónicamente y recibir acceso en las varias unidades de almacenamiento del sistema. Todos los pares posibles de dichas unidades están interconectados mediante vías de conmutación directas para proveer una capacidad de ordenación de datos flexible y de elevada velocidad. La construcción modular del sistema central lógico y de control permite adaptar su capacidad
25 de ordenación de datos a las necesidades de cualquier aplicación particular, así como proveer una seguridad de funcionamiento del sistema, elevada sin duplicación excesiva. Solamente ha sido
30 duplicado el almacenamiento de programa con objeto de tener



381850

plena seguridad de que se puede disponer de programas cuando sea necesario. Cada unidad de almacenamiento es independiente y un fallo en una unidad cualquiera no incapacita toda la memoria.

5 En la figura 4 se ilustra un diagrama en bloques mas detallado de los circuitos de acceso para las varias unidades de almacenamiento y su relación en la unidad de ordenación. Así, la unidad de ordenación 50 comprende una unidad de control de programa 71, una unidad de control de operando 72 y una unidad de control aritmético 73. La unidad de control de programa 71
10 expide simultáneamente solicitudes sobre los conductores 74 y 75 para buscar selectivamente y extraer instrucciones de programa de la unidad de almacenamiento principal 52 y de la unidad de almacenamiento duplicada 53, respectivamente. La solicitud sobre el conductor 74 es aplicada a los circuitos de prioridad 76
15 en la unidad de conmutación interfacial 54. La solicitud sobre el conductor 75 es aplicada a los circuitos de prioridad 77 de la unidad de conmutación interfacial 55. Los circuitos de prioridad 76 y 77 forman una fila de espera de solicitudes procedentes de las varias unidades de ordenación y cuando son solicitudes, unen prioridades particulares a la solicitud de unidades particulares. La petición que se ha de servir a continuación es aplicada por medio del conductor 78 a la unidad de almacenamiento de programa 52, y mediante el conductor 79 a la unidad de
20 almacenamiento de programa 53. Al mismo tiempo, se aplica al circuito de prioridad secundaria 80, una indicación de que está poniendo en servicio la solicitud. El circuito de prioridad secundaria 80, retira la solicitud duplicada de la fila de espera de solicitudes en el otro de los circuitos de prioridad
25
30 76 y 77.



381850

La unidad de almacenamiento de programa que recibe últimamente la solicitud recibe, además, una petición de instrucción de la unidad de control de programa 71 por medio de un separador de salida 92 y un separador de entrada 91 ó 93. En respuesta a dicha petición, la unidad de almacenamiento de programa apropiada 52 ó 53 envía la instrucción solicitada al separador de salida 81 ó 82 donde es enviada a una de las unidades de ordenación adecuadas. Así, en la figura 4, se suministra al separador de entrada 82 de la unidad de conmutación interfacial 51. El separador de entrada 82 sirve para unir las instrucciones solicitadas de los varios diferentes almacenamientos de programa y suministrar dichas instrucciones a la unidad de control de programa 71.

La unidad de control de programa 71 ejecuta ciertas operaciones iniciales sobre las instrucciones de programa recibidas del separador de entrada 82 y pasa la instrucción sobre la unidad de control de operando 72 ó unidad de control aritmética 73. La unidad de control de operando 72 recibe la parte de petición de operando de la instrucción y envía una solicitud por el conductor 84 a la unidad de almacenamiento variable solicitada para suministrar los datos requeridos. Dicha solicitud es reconocida por medio del conductor 85 del circuito de prioridad 86, el cual a su vez, permite a la unidad de control de operando 72 enviar una petición a través del separador de salida 87 de la unidad de conmutación interfacial 51' al separador de entrada 88 de la unidad de conmutación interfacial 57. Esta petición es suministrada a la unidad de almacenamiento variable 56 para entrar en el operando requerido, el cual es suministrado, a su vez, al separador de salida 89 de la unidad de conmutación interfacial 57. Este operando es transferido por medio de la entrada 51' a la unidad de control de operando 72. Empleando dichos datos de operando, la unidad de control aritmética 73 puede luego completar la ejecución de la instrucción de programa.

381850



5 Se puede apreciar que cada unidad de conmutación interfa-
cial comprende separadores para recibir información procedente
de una cualquiera de una pluralidad de unidades y separadores
separados para enviar información a una cualquiera de una plura-
lidad de otras unidades. Además, cada unidad de conmutación
interfacial comprende circuitos de prioridad que se utilizan
para ordenar la puesta en servicio de solicitudes procedentes
de las otras varias unidades.

10 Antes de continuar con la descripción de la figura 5 de
los dibujos, será conveniente describir primero el formato de
instrucción de las instrucciones recibidas de las unidades de
almacenamiento de programa 52 y 53 de la figura 4. Tales uni-
dades de almacenamiento de programa están organizadas en pala-
bras de 68 bitios. Esto es, cada petición suministrada a la
15 unidad de almacenamiento de programa hace que sea enviada a la
unidad de conmutación interfacial una palabra de 68 bitios.
Esta palabra de 68 bitios se divide en dos medias palabras de
34 bitios que son enviadas secuencialmente a la unidad de ela-
boración.

20 Desde un punto de vista funcional, cada palabra de alma-
cenamiento de programa de 68 bitios se divide en cuatro segmen-
tos de 17 bitios cada uno de los cuales comprende 16 bitios
de información de instrucción y un bitio de paridad. Los bitios
de paridad son descartados antes de la ejecución de las instruc-
25 ciones. Estas instrucciones pueden estar en un formato de 16
bitios o en un formato de 32 bitios. Así, cada segmento puede
constituir una instrucción de 16 bitios y dos segmentos adyacen-
tes cualesquiera pueden constituir una instrucción de 32 bitios.
En este sentido, el último segmento de una palabra de almacena-
30 miento de programa y el primer segmento de la palabra de almacena-
miento de programa sucesiva siguiente se consideran adyacentes
y pueden constituir una instrucción única de 32 bitios.



381850

5 En la figura 5, se ilustra un diagrama en bloques esquemático de la unidad de control de programa 71 (Fig. 4) que forma una parte de la unidad de elaboración 50. La unidad de control de programa de la figura 5 comprende un registro de ins-
10 trucción de cuatro etapas que comporta registros 101, 102, 103 y 104. Cada uno de los registros 101 a 104 es capaz de almacenar una palabra de almacenamiento de programa de 68 bitios. Las palabras de almacenamiento de programa son recibidas inicialmente por el registro de instrucción 101. Normalmente, a medida
15 que prosigue la ejecución del programa, los contenidos del registro de instrucción 101 son transferidos al registro de instrucción 102.

20 El selector de segmento 105 transfiere dos segmentos adyacentes de la palabra del registro de instrucción 102 o dos segmentos adyacentes de las palabras de los registros de instrucción 102 y 103 al registro común 106. Cuando todos los segmentos del registro 102 han sido transferidos al registro común 106, los contenidos de cada uno de los registros 101, 102 y 103 son transferidos al registro sucesivo inmediato, es decir el 101
25 al 102, el 102 al 103, y el 103 al 104. En este momento, el generador de peticiones 107 genera una petición para iniciar la recogida de la siguiente palabra de almacenamiento secuencial para entrada en el registro de instrucción 101. Los contenidos originales del registro 104 son destruidos por la transferencia de los contenidos del registro 103. Si el registro de instrucción 102 es vaciado antes de que la nueva palabra de almacenamiento sea recibida por el registro 101, entonces esta nueva palabra es inmediatamente transferida a través del registro 101 al registro 102.

30 Los registros de instrucción 103 y 104 proveen almacenamiento para los denominados "ciclos cortos" en los que se puede repetir cualquier número de veces, sin necesidad de recogidas adicionales de la unidad de almacenamiento de programa, una se-



381850

cuencia de instrucciones (que comprende hasta 16 segmentos). Esta instalación ahorra una considerable cantidad de tiempo por otra parte necesario para las recogidas extras requeridas para la ejecución repetida .

5 Cada petición de almacenamiento de programa, comprende 5 bitios que identifican la unidad de almacenamiento de programa adecuada. Los siguientes 13 bitios identifican una de 8192 palabras de almacenamiento de programa en la unidad de almacenamiento de programa. Se utilizan dos bitios adicionales para
10 identificar uno de los cuatro segmentos de cada palabra de 68 bitios. Se emplea un bitio final como bitio de paridad. Dichas peticiones de instrucción son generadas por el generador de peticiones 107 que comprende cuatro contadores de programa independientes. Estos contadores se pueden emplear en diferentes
15 tiempos bajo el control de programa para controlar la recogida de instrucción. Por medio del traductor 108 actúan instrucciones de transferencia o de desviación de secuencia para modificar el funcionamiento secuencial normal del generador de peticiones 107 con el fin de dirigir la recogida de una palabra de almacenamiento de programa no secuencial. Se debe señalar que los dos
20 bitios de identificación de segmento son transferidos al selector de segmento 105 y por tanto nunca dejan la unidad de control de programa de la figura 5.

 Se analizan las instrucciones en el registro común 106
25 para determinar si pueden ser ejecutadas en la misma unidad de control de programa o si deben ser enviadas a la unidad de control de operando, o a la unidad de control aritmético. En los dos últimos casos, las instrucciones son colocadas en uno de dos registros de fila de espera de cuatro etapas denominados la
30 lista de instrucción de operando 109 y la lista de instrucción aritmética 110. Además, se han previsto circuitos de modificación de petición 111, para modificar las peticiones de las instrucciones. Los circuitos de modificación de petición 111,

381850



comprenden cuatro registros C de 4 bitios, que se emplean para indicar el valor de la modificación de petición. Después de tal modificación, las instrucciones se hacen pasar sobre las listas de instrucción 109 y 110 como antes.

5 Dichas instrucciones que pueden ser retenidas en y ejecutadas por la unidad de control de programa de la figura 5, son manipulaciones de los registros C, modificaciones de campo de petición de registro e instrucciones de bifurcación. Las instrucciones que requieren la recogida o almacenamiento de palabras de
10 datos en las unidades de almacenamiento variable son colocadas en la lista de instrucción de operando 109. Las instrucciones que requieren manipulaciones aritméticas o lógicas de datos tienen lugar normalmente en la unidad de control aritmético, y de aquí, son colocadas en la lista de instrucción aritmética 110.

15 Volviendo a la figura 6, se ilustra un diagrama en bloques esquemático de la unidad de control de operando 72 (Figura 4). La unidad de control de operando de la figura 6, comprende un registro de instrucción de operando 120 que recibe instrucciones de la lista de instrucción de operando de la figura 5. La porción de código de funcionamiento de la instrucción es suministrada al descodificador de instrucción 121 donde es descodificada y se generan señales de control para dirigir la ejecución de la instrucción identificada. La unidad de control de operando comprende, además, 16 registros B 122, que se emplean como registros de índice en la modificación de petición de operando. Un traductor de petición B 123 selecciona el apropiado entre los 16 registros B traduciendo ciertos campos de identificación de la instrucción, en el registro 120. Análogamente, se emplean 16 registros Z 124 para almacenar varios parámetros necesarios para interrupciones de programa. Tales parámetros comprenden asuntos tales como las peticiones de punto de interrupción, peticiones de recuperación de error, peticiones de retorno de error y otras cantidades similares. Un traductor de petición Z 125 identifica uno de los 16 registros Z, traduciendo para ello, un campo apropiado de la instrucción del registro 120.

381850



5 El registro E 126 se emplea para almacenar parámetros explícitos que forman una parte de la misma instrucción. Tales parámetros son almacenados en el registro E 126 antes de las operaciones aritméticas en un circuito sumador de tres entradas 127. Los registros K y L 128 y 129 se emplean para almacenar otras cantidades requeridas para la operación de sumar. Tales cantidades se pueden derivar de los registros B 122, los registros Z 124 o del registro de unidad de entrada de control aritmético 130.

10 Un traductor de desplazamiento y edición 131, transforma subdivisiones apropiadas de la instrucción del registro 120 a los circuitos de desplazamiento de control 132 y circuitos de edición 133 para proveer desplazamiento y edición de cantidades en los otros varios registros.

15 Los resultados de las sumas en el circuito sumador 127 se almacenan en el registro D 134, desde el cual, se suministran al registro de petición de entrada de almacenamiento variable 135, al registro de salida de almacenamiento variable 136, o al registro de salida de unidad de control aritmético 137. Finalmente, los datos de las unidades de almacenamiento variable son suministrados a los registros de datos de entrada 138, y los datos a almacenar en las unidades de almacenamiento variable son suministrados a los registros de datos de salida 139. Se ha previsto un registro F 140 para almacenar datos antes de la entrada en los registros Z 124 o en los registros B 122. Estos datos pueden ser recibidos desde las unidades de almacenamiento variable por medio de los registros de entrada de datos 138, o puede disponerse de ellos como resultado de una operación aritmética en el registro D 134.

25

30 En la figura 7, se representa un diagrama en bloques detallado de la unidad de control aritmético, ilustrada como



381850

5 el bloque 73 en la figura 4. La unidad de control aritmético de la figura 7 comprende un registro de instrucción aritmética 150 que recibe instrucciones aritméticas de la lista de instrucción aritmética 110 de la figura 5. Tales instrucciones son enviadas al registro 150, una cada vez y, a su vez, son aplicadas a los circuitos de traslación 151. Los traductores 151 descodifican las instrucciones aritméticas y generan señales de control necesarias para la ejecución de dichas instrucciones.

10 Se ha previsto una pluralidad de registros de almacenamiento local, registros A 152 para almacenar operandos aritméticos durante el curso de, y entre las ejecuciones de las instrucciones aritméticas. Los registros A 152 comunican con la unidad de control de operando de la figura 6 por medio de registros separadores 153. Por tanto, se pueden transferir 15 operandos alternativamente entre la unidad de control de operando de la figura 6 y los registros A 152.

20 En la unidad de control aritmético de la figura 7 están también comprendidos los circuitos lógico y de control de computación 154 que comprenden todos los circuitos lógico básico y de control aritmético necesarios para efectuar las citadas operaciones sobre los operandos almacenados en los registros A 152. Con objeto de evitar retrasos indebidos en la ejecución de instrucciones aritméticas se han previsto circuitos rápidos de multiplicación 155 para proveer la rápida ejecución de ins- 25 trucciones que comportan multiplicación. Como es bien sabido, por otra parte dichas instrucciones precisan para su ejecución un tiempo considerablemente mayor que otras clases de instrucciones.

30 Con referencia a la figura 8, se ilustra un diagrama en bloques detallado de las unidades de almacenamiento representadas en la figura 4 por los bloques 52, 53 y 56. Las unidades de almacenamiento variable y las unidades de almacenamiento de

381850



5 programa comprenden sustancialmente idéntico equipo físico de almacenamiento. La mayor diferencia entre dichos almacenamientos es la duplicación de todas las entradas en las unidades de almacenamiento de programa. Esta diferencia da por resultado alguna variación en los circuitos de control y la señalización de control, pero es de poco efecto sobre la naturaleza o funcionamiento del mismo equipo físico de almacenamiento.

10 En la figura 8, se ilustra una unidad de almacenamiento que comprende una matriz de núcleo magnético 160 que comporta un sistema de núcleos magnéticos y conductores de control asociados que pasan por tales núcleos, todo ello de acuerdo con prácticas ya bien conocidas. Los núcleos magnéticos de la matriz 160 son solicitados de acuerdo con la práctica convencional 2-1 2D mediante señales coincidentes de la matriz de selección X 161 y la matriz de selección Y 162.

15 Durante el ciclo de lectura se envía una corriente semiseleccionada sobre la línea seleccionada de la matriz X 161, y se envía asimismo, una corriente semiseleccionada sobre las líneas de la matriz Y 162 en cada posición de bitio, forzando los núcleos magnéticos seleccionados 160 al estado "0". Durante el ciclo de escritura, se envía una corriente semiseleccionada sobre la línea seleccionada de la matriz X 161, y se aplica una corriente semiseleccionada aditiva condicional a las líneas seleccionadas de la matriz Y 171, en cada posición de bitio para forzar el núcleo al estado "1". La corriente aditiva condicional se aplica selectivamente a las líneas de la matriz Y 162 en cada posición de bitio por medio del interruptor en derivación Y 171. Como quiera que se insertan datos en cada posición de bitio de una palabra seleccionada por medio de la selección lógica o condicional de una corriente semiseleccionada aditiva, se tiene que emplear una matriz independiente Y 162, para cada posición de bitio de la memoria.



381850

5 Las citadas matrices de selección 161 y 162 son, a su vez, accionadas por excitadores X 163 y excitadores Y 164 respectivamente. Los excitadores 163 y 164 reciben información de petición del descodificador de petición 165 que, a su vez, recibe la petición de memoria del registro de petición 166. Tales peticiones son, desde luego, suministradas a la unidad de almacenamiento de la figura 8, desde circuitos de acceso de almacenamiento en otras partes del sistema de elaboración de datos. Todas las peticiones almacenadas en el registro 166 son verificadas, comprobándose errores de paridad en el circuito de control de paridad de petición 167. Cualesquiera errores detectados en dichas peticiones son informados a través de la línea 168.

15 La información almacenada en la matriz de núcleo magnético 160 que es solicitada desde las matrices 161 y 162, produce salidas representativas de la información binaria almacenada en la locación de matriz 160. Dichas señales son detectadas por amplificadores detectores 169 y la información binaria es almacenada en el registro de datos 170. Como quiera que, la lectura de información de los núcleos magnéticos determina la destrucción de tal información, la misma información es aplicada selectivamente a las líneas de bitio por medio de un interruptor en derivación Y 171 para restablecer la información en las mismas locaciones en los núcleos magnéticos 160. De esta manera, la lectura se hace indestructiva y la información almacenada en la matriz 160 es retenida para ulterior utilización.

30 Todos los datos almacenados en la matriz de núcleo magnético 160 comprenden bitios de control de paridad que se pueden emplear para verificar la paridad de los datos almacenados. Cada palabra de datos almacenada en el registro 170, es por lo tanto, verificada por lo que respecta a su correcta

381850



paridad por los circuitos de control de paridad de datos 172, y los errores de paridad de datos son informados a través de la línea 173. Los datos mismos son enviados a través de la línea 174.

5 Cuando se desea almacenar información en la unidad de
almacenamiento de la figura 8, estos datos de entrada son
enviados por medio de la línea 175, y almacenados en el regis-
tro de datos 170. Al mismo tiempo, se envían señales de peti-
10 ción al registro de petición 166, que indican el emplazamiento
preciso en el que se han de almacenar los datos de entrada. La
información anteriormente almacenada en la posición solicitada
en los núcleos magnéticos 160, es primeramente leída en los
núcleos magnéticos 160, lo cual da por resultado la destrucción
de tal información. En este caso, las señales resultantes no
15 son detectadas por los amplificadores detectores 169. Los da-
tos de entrada almacenados en el registro de datos 170 son
enviados a través del interruptor en derivación Y 171 a la
matriz de núcleo magnético 160 en sincronismo con las señales
de control de petición generadas por el descodificador de peti-
20 ción 165, excitadores 163 y 164 y matrices de selección 161
y 162. De esta manera, se almacena información de entrada en
la matriz 160 para ulterior utilización. Los datos de entrada
son asimismo verificados por lo que respecta a errores de pari-
dad por los circuitos de control de paridad 172, y los errores
25 de paridad son informados a través de la línea 173.

 El funcionamiento de todos los circuitos de la figura 8
se halla bajo el control de señales generadas por el circuito
de temporización y control 176. El circuito de control 176 es
a su vez, accionado por mandos de control a través de la línea
30 177, de tal manera, para generar las señales de control adecua-
das en los momentos oportunos y en la apropiada secuencia. Con
objeto de comprender mejor el funcionamiento de la unidad de
almacenamiento de la figura 8, se describirán con mayor detalle
los aludidos mandos de control.



381850

Primero se dirá que cada palabra de la matriz 160 comprende 68 bitios de información binaria que, a su vez, comprenden cada uno de ellos un grupo de bitios adyacentes izquierdo (bitios 0-33) y un grupo de bitios adyacentes derecho (bitios 34-67).

5 La memoria es capaz de enviar uno cualquiera de dichos grupos de bitios adyacentes en respuesta a una petición de grupo de bitios adyacentes y, además, detecta e indica separadamente para cada grupo de bitios adyacentes los errores de paridad de datos. Finalmente, la unidad de almacenamiento de la figura 8 es apta para

10 una lectura polarizada, es decir, es capaz de establecer el primer y segundo bitios de una palabra solicitada en "1's" durante cada ciclo de lectura. Luego dichos bitios se pueden emplear por el sistema externo para reconocer que la palabra ha sido previamente leída de la memoria. La unidad de almacenamiento es

15 capaz, además, de cambiar un ciclo de lectura en un ciclo de escritura siguiendo la porción de lectura de cualquier ciclo de memoria después de recibirse las señales del sistema externo. Esta última posibilidad se llama "almacenamiento condicional".

Las órdenes de control enviadas a los circuitos de control

20 176 son, por tanto, izquierda y derecha y ambas comprenden señales de grupo de bitios así como lectura polarizada y señales de almacenamiento condicionales y normales. Tales órdenes de control actúan en los circuitos 176 para generar las señales de temporización y control detalladas que llevan a cabo las acciones

25 convenientes.

Las señales enviadas y recuperadas de la unidad de almacenamiento de la figura 8 son manipuladas a través de una unidad de conmutación interfacial que se indica en la figura 8 a la derecha. Esta unidad de conmutación interfacial forma una parte

30 física de la unidad de almacenamiento y realiza la función de un separador entre la unidad de almacenamiento y las otras varias unidades que solicitan servicio de la unidad de almacenamiento.

381850



5 Como quiera que todas dichas unidades de conmutación interfacial tienen la misma función y son de construcción similar, sólo se describirá con detalle un tipo de unidad de conmutación interfacial. Así, en la figura 9 se ilustra un diagrama en bloques detallado de la unidad de conmutación interfacial de almacenamiento variable representada por el bloque 57 de la figura 4.

10 La unidad de conmutación interfacial de la figura 9 comprende circuitos de prioridad 180 a los que se aplican solicitudes de servicio a través de los conductores 181. Tal como se dijo con relación a la figura 3, se recordará que las unidades de almacenamiento variable reciben peticiones de servicio de unidades de ordenador y controladores de entrada-salida. Estas solicitudes son aplicadas a los circuitos de prioridad 180 y se da servicio primeramente a la solicitud que tiene la mayor prioridad. Es decir, que los datos que aparecen en la línea 182 y las solicitudes que aparecen en la línea 183 que se hallan asociadas con la solicitud de prioridad mayor en los conductores 181 son seleccionados por un interruptor de enlace de datos 184 y por un interruptor de enlace de peticiones 185 respectivamente, y son almacenados en el registro de datos 186 y en el registro de petición 187 respectivamente. Al mismo tiempo, en el circuito de control de nivel primario 188 son registradas las señales de control asociadas con dichas solicitudes. Tales señales de control comprenden los bitios de selección de grupo de bitios adyacentes señales de designación de recogida y almacenamiento y una señal de petición de cancelación. Esta última señal se puede emplear para cancelar la petición en cualquier momento antes del acceso real de la unidad de almacenamiento variable.

25 Las señales de control en el circuito de control de nivel primario 188 son almacenadas, elaboradas, retemporizadas y pasadas en el circuito de control de iniciación de memoria 189. El circuito 189 genera las señales de control reales que inician un ciclo de memoria en la unidad de almacenamiento de memoria 189.



381850

Además, las señales del circuito de control de nivel primario 188 y el circuito de control de iniciación de memoria 189, son aplicadas al circuito de reconocimiento de petición 191, el cual genera una señal en la línea 198 reconociendo la puesta en servicio de la correspondiente petición. La unidad de solicitud emplea dicho reconocimiento para terminar la petición, dado que ahora ha sido puesta en servicio.

La información de petición y datos procedente de los registros 186 y 187 se pasa sobre la unidad de almacenamiento variable 190, simultáneamente con la señal de iniciación de memoria del circuito 189. Al mismo tiempo, las otras varias señales de control se pasan sobre el circuito de control de nivel secundario 192. Dichas señales de control en el circuito 192, son aplicadas, junto con salidas de control de la unidad de almacenamiento variable 190, al circuito de error de paridad de petición 193. El circuito 193 genera y pasa a la unidad de petición adecuada una indicación de un error de paridad de petición en la solicitud justamente reconocida con anterioridad. Las señales de control procedentes del circuito de control secundario 192, se pasan sobre el circuito de control de nivel terciario 194. Como quiera que la unidad de almacenamiento variable 190, es apta para el acceso y envío de grupos de bitios adyacentes de media palabra, se emplea el circuito de control 194 para gobernar el circuito de control de grupo de bitios adyacentes 195 para manipular así los grupos de bitios adyacentes de media palabra de la manera adecuada. Como sea que una palabra completa procedente de la unidad de almacenamiento variable 190, es enviada al circuito de control 195 en forma de secuencia de dos grupos de bitios adyacentes de media palabra, los circuitos de control de grupos de bitios adyacentes 195 son controlados de tal manera que montan nuevamente los grupos de bitios adyacentes de datos en la palabra de datos completa.



381850

Los errores de paridad de datos detectados por la unidad de almacenamiento variable 190 son informados desde el circuito de control de nivel terciario 194 al circuito de error de paridad de datos 196 y, a su vez, son informados a la unidad que solicita la recogida o almacenamiento de datos. Señales de control procedentes del circuito de control de nivel terciario 194 son pasadas asimismo al circuito de control de nivel cuaternario 197 el cual controla un distribuidor de datos 198 para pasar así los datos de salida sobre la unidad de petición apropiada a la vez que la unidad de petición se prepara para recibir dichos datos.

El circuito de información de error y estado 199 sirve para detectar y almacenar indicaciones de errores internos que suceden en cualquiera de los otros circuitos de la unidad de conmutación interfacial de almacenamiento variable. El circuito 199 prepara y envía informes de estado del funcionamiento de toda la unidad de conmutación interfacial a la unidad de estado representada por el bloque 60 de la figura 3.

Los circuitos de control de la unidad de conmutación interfacial de la figura 9, se dividen en cuatro niveles (primario, secundario, terciario y cuaternario) para separar la temporización y el control que se requieren en cada etapa para poner en servicio una solicitud. Además, esta separación del control permite la superposición de solicitudes sucesivas, haciendo posible la elaboración de cada petición antes de la terminación de la elaboración de la petición anterior.

De acuerdo con la forma de realización ilustrativa de la presente invención, los circuitos de prioridad 180 están dispuestos para cerrar selectivamente una o unas unidades particulares cualesquiera de las unidades de petición. Esto es efectuado por señales de cierre por conductores 200 aplicados a los circuitos de prioridad 180. Dichas señales de cierre inhiben la puesta en servicio de las peticiones correspondientes, en tanto que permiten

381850



la puesta en servicio de todas las otras solicitudes. De esta manera se completa la comunicación entre dicha unidad de almacenamiento variable particular y una unidad de petición cualquiera. Desde luego, se proveen cierres similares para cerrar cualquiera de las otras unidades del sistema de ordenación de datos, inhabilitando la citada comunicación en las unidades de conmutación interfacial adecuadas. Los detalles de este control de cierre se darán mas adelante.

En la figura 10, se muestra un diagrama en bloques mas detallado del controlador de entrada-salida representado por el bloque 58 en la figura 3 y el subsistema de registro representado por el bloque 16 en la figura 1. El controlador de entrada-salida 58 comprende la unidad de conmutación interfacial del controlador de entrada-salida 59, una unidad interfacial elaboradora 210, una unidad de control de entrada 211, una unidad de control de salida 212, una unidad de control principal 213 y un almacenamiento de palabra de mando 214. Antes de proseguir con una descripción detallada del funcionamiento de dichas unidades, se dará un resumen general de las funciones del controlador de entrada-salida.

El controlador de entrada-salida (CES) 58 dirige la circulación de instrucción desde las unidades de elaboración hasta los dispositivos periféricos que componen el subsistema de registro. En la figura 10 los dispositivos periféricos están representados por las unidades de transporte de cinta 215, 216 y 217 sometidas al control de los controladores de cinta 218, las unidades de disco magnético 219 a 220 controladas por los controladores de disco 221; las impresoras 222, las unidades perforadoras de tarjetas 225, los lectores de tarjeta 226 y los registros de microfilm 229, todos bajo el control de los controladores múltiples 224. Todos los citados dispositivos periféricos son bien conocidos por las personas entendidas en la materia.



381850

5 El CES 58 dirige la circulación de instrucción desde las unidades de elaboración a dichos dispositivos periféricos, permitiendo así a las unidades de elaboración ejercer control sobre los dispositivos periféricos, cuyo CES 58 dirige, además, la
10 circulación de datos entre las unidades de almacenamiento variable y los dispositivos periféricos. En la ejecución de esta función, la unidad CES 58 acepta y ejecuta órdenes de las unidades de elaboración o de cualquiera de los dispositivos periféricos para iniciar funciones de entrada y salida. Además, la unidad CES 58 puede accionar los dispositivos periféricos para ejecutar funciones de entrada y salida independientemente de las unidades de elaboración.

15 Las unidades de elaboración están construídas para ver la unidad CES 58 como una parte del almacenamiento variable y hacer por ello, a la unidad CES 58 completamente independiente de un ordenador particular, excepto durante el instante en que es solicitado por una unidad de elaboración particular. Se transfieren órdenes a la unidad CES 58 de la misma manera que se transfieren operaciones de almacenamiento a las unidades de almacenamiento variable desde la unidad de elaboración. Una petición del almacenamiento elaborador a la unidad CES 58 obliga a esta
20 unidad a aceptar una palabra de orden procedente de la unidad de elaboración.

25 Bajo el control de palabra de mando procedentes de la unidad de elaboración, el CES 58 puede restablecer de las unidades de almacenamiento variable secuencias detalladas de órdenes necesarias para ejecutar todas las operaciones de entrada-salida. De esta manera, siguiendo una única orden de una unidad de elaboración, el controlador de entrada-salida puede actuar completamente independiente de todas las unidades de elaboración y completar las funciones de entrada y salida relativamente grandes sin
30 ayuda ulterior de las unidades de elaboración.

381850



5 Volviendo a la figura 10, la unidad de control principal 213, mantiene el control sobre toda la unidad CES 58 y ejecuta todas las funciones de contaduría requeridas por el funcionamiento del CES. Dicha unidad de control principal 213 ejecuta todas las órdenes de control y vigilancia excepto unas pocas órdenes de mando emitidas por la unidad de elaboración. La unidad de control principal 213 inicia operaciones de transferencia de datos en la unidad de control de entrada 211 y en la unidad de control de salida 212, completa dichas operaciones y elabora todos los errores internos del CES. Como quiera que no hay vías de datos entre la unidad de control principal 213 y las unidades exteriores al CES 58, la unidad de control principal 213 utiliza la unidad de control de entrada 211 cuando es necesario escribir una palabra en el almacenamiento variable y emplea la unidad de control de salida 212, cuando se ha de recoger una palabra del almacenamiento variable. Estas mismas unidades se emplean para transmitir y aceptar palabras de mando a y desde los dispositivos periféricos.

20 La unidad interfacial de elaborador 210 establece contacto directamente con las unidades de elaboración. Por tanto, contiene todos los circuitos de interrupción de elaborador y ejecuta las órdenes recibidas de las unidades de elaboración.

25 El almacenamiento de palabra de mando 214 es una instalación de almacenamiento temporal pequeña que tiene un emplazamiento para cada uno de los cables de entrada 231 y de los cables de salida 232. Dichas posiciones son empleadas por la unidad de control principal 213 para el almacenamiento temporal de datos o mandos de transferencia de orden para el canal asociado.

30 La unidad de control de salida 212 controla la transferencia de palabras binarias desde las unidades de almacenamiento variable a los dispositivos periféricos. Es una unidad asíncrona que, en virtud de una petición de un dispositivo periférico o de



381850

la unidad de control principal 213, transfiere la deseada pala-
bra o palabras desde la unidad de almacenamientos variable a la
unidad de petición. La información de control y petición necesaria
5 para dicha transferencia es obtenida del lugar de almacena-
miento asociado en el almacenamiento de la palabra de mando 214.
En verdad, el emplazamiento de la adecuada palabra de mando en el
lugar asociado del almacenamiento de palabra de mando 214 es una
señal a la unidad de control de salida 212 para responder a la
solicitud procedente de los dispositivos periféricos asociados.
10 Cuando es transmitido el último dato o palabra de orden al dispo-
sitivo periférico, la unidad de control de salida 212 envía un
aviso de terminación a la unidad de control principal 213. Se
manipulan transferencias de palabra múltiple, disminuyendo para
ello una subdivisión de cuenta de palabras en la palabra de mando
15 de transferencia almacenada en el almacenamiento de palabra de
mando 214.

La unidad de control de entrada 211, es muy similar a la
unidad de control de salida 212, a excepción de que controla la
transferencia de palabras de datos binarios desde los dispositi-
20 vos periféricos al almacenamiento variable. Se halla igualmente
bajo el control de palabras de mando almacenadas en el almacena-
miento de palabra de mando 212.

Cada controlador de dispositivo periférico tiene un cable
de entrada y un cable de salida empleados para transferir infor-
25 mación binaria a y desde los dispositivos periféricos asociados.
Un par de cables de entrada-salida, junto con los hilos de control
asociados, se denomina un canal E/S y así se han previsto 16 cana-
les de acuerdo con la instalación de la figura 10. Cada canal
tiene una terminación de entrada que se llama puerta lógica,
30 cuyas puertas se identifican como puerta 0 y puerta 1. Las 32
puertas han sido numeradas consecutivamente de 0 a 31 para permi-
tir formatos de instrucción de puerta orientada.



381850

Hay tres tipos diferentes de palabras binarias que pueden ser transferidas entre el CES 58 y los dispositivos periféricos. Tales palabras son (1) palabras de mando que contienen información de control para la unidad de control principal 213; (2) palabras de instrucción destinadas como información de control para los dispositivos periféricos, y (3) palabras de datos a enviar a las unidades de almacenamiento variable o a los dispositivos periféricos. Las palabras de mando son transferidas por los cables de entrada, las palabras de instrucción por los cables de salida y las palabras de datos por ambos cables. Los hilos de control se emplean para controlar dichas transferencias.

La transferencia de una o más palabras de instrucción y de una o más palabras de datos se llama un Trabajo de Transferencia de Instrucción, ó un Trabajo de Transferencia de Datos, respectivamente. El número de palabras a transferir en una unidad de trabajo está contenido en una palabra de mando que corresponde a dicha unidad de trabajo. La unidad de control de entrada 211 manipula unidades de trabajo de transferencia de datos de entrada, mientras que la unidad de control de salida 212 manipula unidades de trabajo de transferencia de datos de salida y unidades de trabajo de transferencia de instrucción. Todas esas unidades de trabajo son iniciadas por la unidad de control principal 213, pero una vez iniciadas, son controladas por el contenido del almacenamiento de palabra de mando 213. Cuando las unidades de control 211 y 212 completan la unidad de trabajo, es enviada una señal de terminación a la unidad de control principal 213 para permitir la iniciación de la siguiente secuencia de operaciones.



381850

La unidad de control principal 213 comprende dos registros de historial de 64 bitios que contienen información sobre el estado de todas las puertas en todo momento. Consisten en un registro de historial 1 y un registro de historial 2. El registro de historial 1 contiene la información sobre la disponibilidad de las puertas 0 a 19, en tanto que el registro de historial 2 contiene la información sobre la disponibilidad de las puertas 20 a 31. El estado de cada puerta se representa mediante un código de 3 bitios que se interpreta como sigue:

<u>Código</u>	<u>Significado</u>
000	Puerta libre pero no inhibida.
001	Puerta inhibida.
010	Transferencia de instrucción en curso.
011	Puerta inhibida durante la transferencia de instrucción.
100	Transferencia de datos en curso.
101	Puerta inhibida durante la transferencia de datos.

Con los restantes códigos de la serie de 3 bitios son posibles otras indicaciones de estado.

Una parte del registro de historial 2 (bitios 39 a 46) se denomina el Registro de Petición de Base y contiene una petición de base de 8 bitios. La petición de base identifica la primera posición de un bloque de 2048 palabras en las unidades de almacenamiento variable. Como quiera que en la unidad de almacenamiento variable se almacenan secuencias detalladas de palabras de mando, dicha petición de base provee una referencia al apropiado sector de las unidades de almacenamiento variable para las citadas secuencias. La petición de base se emplea de la manera que se describirá mas adelante.

381850



Todas las palabras son transferidas de una manera asín-
crona mediante el empleo de un impulso de petición y un impul-
so de reconocimiento para cada transmisión de una palabra.
La unidad que desea acción envía las peticiones y se devuelven
5 los reconocimientos al solicitante para indicar que la acción
ha sido realizada. Si, por ejemplo, un dispositivo periférico
ha obtenido datos que desea transferir a la unidad de almace-
namiento variable, el dispositivo periférico envía un impul-
so de petición a la unidad CES 58 y sitúa la palabra de datos
10 sobre el cable apropiado en la unidad de control de entrada
211. La unidad de control de entrada 211 almacena temporal-
mente la palabra en un registro separador y envía un impulso
de reconocimiento al dispositivo periférico indicando que la
palabra ha sido aceptada. Luego el dispositivo periférico
15 puede retirar la palabra binaria del cable de datos y prosi-
gue hasta la siguiente palabra enviando para ello una solici-
tud.

La unidad de control de entrada 211 descodifica la por-
ción de petición de los datos recibidos y genera una solicitud
20 de escritura para la apropiada unidad de almacenamiento varia-
ble. El resto de las peticiones de almacenamiento variable,
junto con la palabra de datos, se colocan luego en las líneas
hasta la unidad de conmutación interfacial 59. La unidad de
almacenamiento variable actúa sobre la solicitud, acepta la
25 información de datos y petición y devuelve un impulso de re-
conocimiento al control de entrada 211. La unidad 211 puede
entonces retirar las palabras de datos y solicitud y prosigue
con la siguiente tarea.

Cuando un dispositivo periférico solicita datos de las
30 unidades de almacenamiento variable, la parte de solicitud
de la palabra de mando es descodificada por la unidad de con-
trol de salida 212 para generar una petición de recogida para
la apropiada unidad de almacenamiento variable. La petición



1970

381850

de almacenamiento variable es colocada en las líneas de salida en la unidad de conmutación interfacial 59 y cuando se cumple la solicitud, se devuelve un reconocimiento a la unidad de control de salida 212. La palabra recogida es colocada
5 en el almacenamiento separador en la unidad de control de salida 212 y luego es conmutada al apropiado dispositivo periférico en el oportuno cable de salida junto con el reconocimiento que indica que ha sido cumplimentada la petición original.

10 Si bien las unidades de control 211 y 212 pueden actuar solamente sobre una petición a la vez, dichas peticiones pueden ser enviadas por cualquiera de los dispositivos periféricos a la vez. Tales peticiones son puestas en fila de espera en las unidades de control hasta que puedan ser cumplimentadas.
15

Con el fin de entender detalladamente la circulación de programa, primero es necesario señalar la organización de una porción de las unidades de almacenamiento variable. El bloque de palabra 79 de los lugares de almacenamiento variable relacionado por el Registro de Petición de Base y denominado Caja de Depósito, es anulado para el empleo mediante el CES 58. La caja de depósito es análoga a un policía de tráfico que dirige el tráfico y sirve para interrumpir y activar la iniciación y circulación de programa.
20

25 Las varias listas de unidades de trabajo y estado de entrada-salida que se deben citar a medida que el CES prosigue con sus unidades de trabajo están organizadas como una lista encadenada de palabras denominada cadena de enlace. Tales cadenas de enlace son alcanzadas por palabras localizadoras llamadas Indicadoras de Cabeza. Las Indicadoras de Cabeza son almacenadas en la Caja de Depósito. La Indicadora de Cabeza contiene dos peticiones, una petición de indicador de enlace que localiza la siguiente palabra en una cadena de en-
30

381850



lace y una petición de indicador de mando que localiza la primera palabra de mando de una unidad de trabajo de entrada-salida a ejecutar. Solo se han de almacenar en la Caja de Depósito las Indicadoras de Cabeza (o palabras localizadoras);
5 las cadenas de enlace y programas de unidades de trabajo de entrada-salida pueden ser localizados en cualquier parte del almacenamiento variable. La Unidad de Control Principal 213 comprende un contador de mando para secuenciamiento a través de las rutinas de entrada-salida designadas por las Indica-
10 doras de Cabeza.

En la figura 11 se muestra un diagrama en bloques más detallado de la Unidad de Temporización y Estado 60 representado en forma de bloque en la figura 3. La Unidad de Temporización y Estado 60 comprende tres subunidades mayores, la Unidad de Estado 240, el Generador de Temporización 241 y la Unidad de Transferencia de Almacenamiento 242. Cada una de estas
15 unidades ejecuta una función particular para el conjunto del sistema de ordenación de datos. La Unidad de Estado 240, por ejemplo, forma la superficie de contacto con una consola de estado empleada por personal de maniobra para vigilar el funcionamiento del sistema, para extraer datos del sistema y para
20 introducir en el mismo, datos con fines de mantenimiento y control. Además, la Unidad de Estado 240 recoge, almacena y reparte una cantidad considerable de información de estado básica relacionada con el sistema de accionamiento. Se halla
25 interconectada con todas las demás unidades del sistema de ordenación de datos por las Líneas de Estado 243 que permiten la recogida de información de estado independientemente de todas las vías de datos normales del sistema de accionamiento.

30 El Generador de Temporización 241, hace de límite compartido entre el sistema de accionamiento y el Reloj de Frecuencia de Precisión 244. Este Reloj 244 proporciona la temporización básica a todo el sistema de ordenación de datos.

381850



El Generador de Temporización 241 origina palabras de mando en el Controlador de Entrada-Salida para hacer que este controlador efectúe secuencias específicas de operaciones en tiempos específicos. Además, el Generador de Temporización
5 241 provee impulsos de tiempo real a los dispositivos periféricos de la figura 10 para controlar la temporización de las operaciones periféricas. El Generador de Temporización 241 puede proveer asimismo, el tiempo diario (TD) de reloj de calendario a las unidades de ordenación o a los Controladores
10 de Entrada-Salida en virtud de petición.

El Reloj de Frecuencia de Precisión 244 provee una señal de temporización de 5 mHz al Generador de Temporización 241 el cual comprende un contador (TD) de reloj de calendario de 48 bitios. Por ello el bitio menos importante de dicho contador (TD) representa 0,2 microsegundos y la cuenta total del
15 reloj es igual aproximadamente a un año. Además, el Reloj de Frecuencia de Precisión 244 provee una palabra en código binario-decimal (CBD) de 42 bitios al generador de temporización donde el bitio menos importante es igual a un milisegundo. Una unidad de ordenación puede solicitar dicho TD CBD
20 con el fin de sincronizar el Reloj de Frecuencia de Precisión 244 y el Generador de Temporización 241.

La Unidad de Transferencia de almacenamiento 242 tiene el único fin de alterar los contenidos de los Almacenamientos
25 de Programa 52 y 53 de la Fig. 3. Es la única unidad que puede hacer esto y de esta manera todas las modificaciones del almacenamiento de programa se han de efectuar mediante la Unidad de Transferencia de Almacenamiento 242. La Unidad de Transferencia de Almacenamiento 242 recibe palabras de instrucción
30 y datos y distribuye las modificaciones del almacenamiento de programa por medio de la Unidad de Conmutación Interfacial de Transferencia de Almacenamiento 61' a las unidades de

381850



almacenamiento de programa apropiadas. Además, la Unidad de Transferencia de Almacenamiento 242, verifica errores en la información recibida e indica tales errores como información de estado a la Unidad de Estado 240.

5 Las tres unidades descritas distribuyen vías de comunicación dentro y fuera de la Unidad de Estado de Temporización 60. Una de tales vías se establece por medio de la Unidad de Conmutación Interfacial de Temporización y Estado 61. Se transmiten datos dentro o fuera desde la Unidad de Conmutación Interfacial de Temporización y Estado 61 casi de la misma
10 manera como se transmiten dentro y fuera de las otras unidades mayores, tal como la Unidad de Almacenamiento variable. Con el fin de permitir la normalización de las unidades de conmutación interfacial, se ha previsto una Unidad de Transferencia Interfacial 245 para simultanear los accesos de la Unidad de
15 Estado 240, el Generador de Temporización 241 y la Unidad de Transferencia de Almacenamiento 242 en la Unidad de Conmutación Interfacial única 61.

20 Con objeto de proveer un medio de interrumpir el sistema de accionamiento, las tres unidades funcionales 240, 241 y 242 se distribuyen en un Canal único 246 del Controlador de Entrada-Salida. Esta distribución de canal está sometida al control de una Unidad de Control de Canal 247.

25 Además, el Subsistema de Mantenimiento y Diagnóstico 18 hace de límite compartido con la Unidad de Temporización y Estado 60 por medio del Registro Separador de Mantenimiento y Diagnóstico 248. De esta manera, el Subsistema de Mantenimiento y Diagnóstico 18 puede recibir informes desde la Unidad de Temporización y Estado 60 y controlar el funcionamiento de
30 toda esta Unidad.

La Unidad de Estado 240 tiene cuatro límites compartidos mayores. Estos límites compartidos están constituidos por el límite compartido manual entre la consola de control de estado

381850



y la unidad de estado por medio de Conductores 249, el limite compartido de cableado duro entre la Unidad de Estado 240 y todas las demás Unidades del Sistema Central Lógico y de Control por medio de los conductores 243 y los dos limites compartidos de colección de programas y rutinas por medio de la Unidad de Conmutación Interfacial 61 y el Canal de Controlador de Entrada-Salida 246. El objeto de la unidad de estado es recoger información de estado del sistema, informar los programas de accionamiento del estado de los sistemas, y ejecutar tales funciones iniciadas por la colección de programas y distribuidas por el limite compartido de cableado duro. Una de tales salidas cableadas duras comprende las señales de cierre que pueden inhibir la transferencia de datos en la Unidad de conmutación interfacial, y permitir así, la división, segmentación y aislamiento del sistema. La Unidad de Estado 240 utiliza el Canal de Controlador de Entrada-Salida 246 con fines de interrupción siempre que ocurra un cambio importante en el estado del sistema.

En la figura 12 se puede encontrar un diagrama en bloques mas detallado de la Unidad de Estado 240. Como se ilustra en la figura 12, la unidad de estado comprende una pluralidad de registros de estado divididos en dos tipos básicos denominados Registros Flip-Flop 260, y Registros de dos direcciones 261. Hay 108 Registros Flip-Flop 260, y 12 Registros de dos direcciones 261. Esto suma en conjunto 120 Registros. Cada registro de estado establece limite compartido exclusivamente con un módulo particular del sistema de ordenación de datos.

La comunicación con la Unidad de Estado 240 por medio de la Unidad de Transferencia Interfacial 245 se establece mediante un Registro de Entrada 262 para recibir información en la Unidad de Estado 240 y un Registro de Salida 263 para

381850



transferir información desde la Unidad de Estado. El Registro de Entrada 262 distribuye datos y palabras de instrucción por medio del Distribuidor 264 a los Registros Flip-Flop 260, los Registros de dos direcciones 261 y el Circuito de Accionamiento de Matriz 265. Además de ser controlado por señales de programa derivadas del Distribuidor 264, el Accionador de Matriz 265 se halla sometido al control de señales derivadas manualmente de la consola de control de estado por medio de conductores 249. El Circuito de Accionamiento de Matriz 265 junto con el Circuito de Matriz 266, provee el sistema de cierre básico de los circuitos de ordenación de datos. En general, se ha previsto un tipo de punto de cruce de matriz por medio del cual se emplea la coincidencia de peticiones de cierre procedentes de las varias unidades para generar señales de cierre que controlan la interrupción real de transferencia de datos entre dichas unidades. Las citadas señales de cierre son distribuidas por medio de Registros Flip-Flop 260 a las varias unidades de conmutación interfacial en las que se efectúa el cierre.

La información de estado en los Registros Flip-Flop 260, es verificada continuamente para averiguar las condiciones de estado en el sistema central lógico y de control. Tales indicaciones de estado se ordenan, como prioridad, en el Circuito de Prioridad 267, y operaciones de corrección o interrupción apropiadas iniciadas por señales generadas en el Circuito de Control 268 y transferidas al Controlador de Entrada-Salida por medio de la Unidad de Control de Canal 247.

Las 120 palabras de estado de los Registros 261 y 262 están asociadas con varias unidades del equipo físico del sistema de ordenación de datos sobre una base de uno por uno en la mayoría de los casos. De esta manera, puede disponerse

381850



5 de dieciseis palabras de estado que corresponden a las die-
ciseis unidades de almacenamiento variable, de treinta y dos
palabras de estado que corresponden a las treinta y dos uni-
dades de almacenamiento de programa, y de diez palabras de
estado en correspondencia con las diez unidades de ordena-
ción. Algunas de tales unidades, como las unidades de tempori-
zación y estado, requieren cinco palabras diferentes para
representar a toda la información de estado con respecto a
dichas unidades. También puede disponerse de palabras de
10 estado para representar el estado de las varias unidades
periféricas ilustradas en la figura 10, así como varias uni-
dades externas al Sistema Central Lógico y de Control 15 de
la figura 1.

15 En la figura 13 se ilustra una posible configuración
de representación para representar el estado de las unidades
del sistema de ordenación de datos de la figura 2. Con este
fin, dichas unidades se dividen en dos tipos básicos: unida-
des solicitantes y unidades solicitadas. Las unidades soli-
citanter comprenden los ordenadores, los controladores de
20 entrada-salida y las unidades de temporización y estado. Se
denominan solicitantes puesto que pueden iniciar solicitudes
de servicio a las otras unidades. Análogamente, las unidades
solicitadas comprenden los almacenamientos de programa, los
almacenamientos variables, los controladores de entrada-sali-
da y las unidades de temporización y estado. La matriz de
25 representación que se ilustra en la figura 13 es particular-
mente adecuada para representar el estado de dichas unidades
de una manera gráfica. La posición de representación de
cada punto de cruce, correspondiente a una de las unidades
solicitantes y a una de las unidades solicitadas, se puede
30 emplear para indicar el estado de las interconexiones entre
la unidad solicitante y la solicitada. Si, por ejemplo, se
utilizan lámparas en dichos puntos de representación, se

381850



5 puede emplear una única lámpara encendida para indicar la interrupción de la comunicación entre las dos unidades. Además, pueden emplearse lámparas de diferentes colores para representar el estado de dichas unidades, por lo que se refiere a división, segmentación y aislamiento. Así, por ejemplo las unidades que entran en una división particular se pueden identificar mediante lámparas análogamente coloreadas en el adecuado punto de intersección. Como se puede ver en la figura 13, se han previsto bancos separados de posiciones de representación para distinguir entre aislamiento y división para cada una de las unidades.

10 Como quiera que no todas las unidades solicitantes tienen acceso a todas las unidades solicitadas, no se necesitan lámparas de representación en algunos de los puntos de cruce.

15 La representación de la configuración de la figura 13, forma una parte de la consola de control de estado conectada a la unidad de estado 240 de la figura 11. En dicha consola de control de estado, quedan asimismo comprendidos, bancos de conmutadores manuales que se pueden emplear para generar señales de control con el fin de iniciar las señales de división segmentación y aislamiento. Tales señales generadas manualmente y las señales de colección de programas generadas desde el registro de flip-flop 260 (Figura 12), se utilizan para controlar la producción de las señales de cierre, necesarias para efectuar las operaciones de aislamiento, segmentación y división.

20 En la figura 14, se ilustra un diagrama en bloques detallado en el circuito lógico de cierre que forma una parte de la unidad de estado 240 (Figura 11) y, más particularmente, el circuito accionador de matriz 265 y la matriz 260 de la figura 12. En la figura 14, los accionadores de matriz se dividen en dos tipos: accionadores solicitantes 330 y accionadores solicitados 331. Comprendidos entre los accionadores

25

30

381850



5 solicitantes se encuentran los accionadores de almacenamiento variable 332, que ascienden a 16, para corresponder a las 16 unidades de almacenamiento variable. También quedan comprendidos dos accionadores de temporización y estado 333, cuatro
10 accionadores de controlador de entrada-salida 334 y treinta y dos accionadores de almacenamiento de programa 335. Los accionadores solicitados 331 comprenden análogamente diez accionadores de unidad de ordenación 336, dos accionadores de temporización y estado 337 y cuatro accionadores de controlador de entrada-salida 338. La salida de cada uno de tales accionadores comprende una barra matriz tal como las barras 339 y 340 que se pueden denominar barras solicitantes y barras solicitadas, respectivamente.

15 En la intersección o punto de cruce de cada barra solicitante y cada barra solicitada hay un circuito lógico 341. Todos los circuitos lógicos 341 son idénticos y utilizan las señales sobre la barra solicitante y la solicitada para generar señales de control con fines de cierre. Los detalles de dichos circuitos se darán mas adelante en esta descripción.

20 Con objeto de comprender mejor la instalación de cierre, en la figura 15 se muestra un ejemplo simplificado de producción y utilización de señal de cierre. Se recordará que, en primer lugar, en el sistema de ordenación de datos se han previsto dos unidades de temporización y estado. En la figura
25 ra 15 se ilustran como unidad de temporización y estado 350 y unidad de temporización y estado 351. Tales unidades son idénticas en todos los aspectos, pero provienen de señales de cierre independientes. Como se puede ver en la unidad de temporización y estado 350, las señales solicitantes son aplicadas a los accionadores de matriz 330 mientras que las señales solicitadas son aplicadas a los accionadores de matriz
30 331. La matriz 266 genera señales de cierre que son aplica-

381850



1970

5 das al registro flip-flop 260. La señal de cierre es apli-
cada por medio de una puerta 355 a la posición de registro
adecuada 260 y genera una señal de cierre en un conductor
356. Los estados de cierre son almacenados en los acciona-
dores de matriz 330 y 331 y pueden ser leídos y probados
por las unidades de ordenación. El bitio de estado 353 pue-
de ser establecido por señales de colección de programa y,
si no es inhabilitado por la puerta Y 354, provee señales
de cierre independientes en el conductor 356, una base de
10 par por par. La señal de cierre en el conductor 356 es apli-
cada a la unidad de conmutación interfacial de la unidad a
cerrar que, en el presente ejemplo, es la unidad de conmuta-
ción interfacial 357 de la Unidad de Almacenamiento Variable
357.

15 La señal en el conductor 356 es aplicada a la puerta
O 358, donde se hace 0 con una señal similar procedente de
la unidad de temporización y estado 351. La salida de la
puerta O 358 aparece en el conductor 359 y es aplicada a una
representación tal como la representación ilustrada en la fi-
20 gura 13 y es aplicada, además, a la puerta 360. La puerta
360 inhibe la transferencia de datos desde la Unidad de alma-
cenamiento variable 1 a la unidad de ordenación número 1,
inhibiendo para ello las solicitudes de dichas transferencias
en la citada puerta. De esta manera, en la unidad de conmu-
25 tación interfacial el cierre resulta efectivo para inhibir
la transferencia de señales entre las dos unidades.

30 Se comprenderá que la instalación de la figura 15 es
simplemente ilustrativa de interconexiones similares y cir-
cuitos lógicos previstos para interrumpir la comunicación
entre cada dos de las unidades ilustradas en la figura 2.
Entonces una unidad es aislada de todas las unidades del
sistema. Es segregada o dividida una pluralidad de unidades

381850



5 cuando son incomunicadas de todas las demás unidades del sistema excepto las que están dentro de su grupo. Cada una de tales funciones, es decir, aislamiento y división es controlada por el mismo tipo de señales de cierre generadas de manera similar y operativas en las unidades de conmutación interfacial para inhibir la transferencia de datos.

10 La segmentación representa un grado de libertad que no puede siempre ser manipulada por los circuitos del Accionador de Matriz puesto que un segmento puede también ser considerado como una división dentro de una división. Por tanto, un segmento puede ser establecido por la reacción directa de la colección de programas con las posiciones del Bitio de Estado 353 por medio de un límite compartido 353 que pone en derivación los circuitos del Accionador de Matriz. Esta característica se incorpora a la Unidad de Estado y es accesible por medio de instrucciones de la unidad de ordenador.

15 En la figura 16, se ilustra un diagrama lógico detallado que emplea los circuitos lógicos de las figuras 19 a 23 de la parte de división del circuito lógico accionador solicitante que se representa en forma de bloque en la caja 330 de la figura 14. Se ha previsto un circuito flip-flop 420 para almacenar las solicitudes de colección de programa iniciadas para la división. El flip-flop 420 está sometido al control de las puertas NAND 421 y 422. Dichas solicitudes de colección de programa originan por medio de instrucciones una solicitud de división particular que está representada por un dibujo de bitios de datos que accionan puertas, similares a las puertas NAND 421 y 422, en el conjunto de circuitos lógicos de accionador de división de solicitante.

20
25
30 Son iniciadas solicitudes manuales por conmutadores en la consola de control de estado y llegan por el conductor 423 junto con una señal de habilitación de modo manual por



5 el conductor 424. Tales señales son aplicadas a circuitos seguidores de emisor 425 y 426, respectivamente, cuyas salidas son aplicadas a la puerta NAND 427. La salida de la puerta NAND 427, junto con la salida "0" del flip-flop 420 es aplicada a la puerta NOR 428, la salida de la cual es, a su vez, aplicada al accionador de cable 429.

10 Puede apreciarse que una solicitud de división de colección de programas, registrada en el flip-flop 420, o una solicitud manual, indicada por la salida de la puerta NAND 427, inicia una señal en el conductor 430 que indica la solicitud de división. La salida "1" del flip-flop 420 es aplicada al Circuito Indicador de Establecimiento de Impulsos 431, para proveer acceso bilateral al flip-flop 420, para el empleo del subsistema de mantenimiento y diagnóstico.

15 Para cada una de las unidades solicitantes se ha previsto un circuito lógico accionador tal como el que se representa en la figura 16, es decir, hay 16 de dichos circuitos lógicos, uno para cada uno de los módulos de almacenamiento variable, dos circuitos para los módulos de temporización y estado, cuatro circuitos lógicos para los controladores de entrada-salida
20 y 32 circuitos lógicos, uno para cada uno de los 32 módulos de almacenamiento de programa.

25 En la figura 17, se ilustra el circuito lógico de accionador de división para las unidades solicitadas, representado por la caja 331 en la figura 14. Para más simplicidad, se ha supuesto que sólo se necesitan dos divisiones separadas para el sistema de ordenación de datos de la presente invención. Tales divisiones se identifican como división 1 y división 2. En la figura 17, se ha previsto el circuito lógico
30 para alojar solicitudes para la inclusión en una cualquiera de dichas dos divisiones. Se emplea un circuito flip-flop 440 para registrar una solicitud de colección de programas para la asignación a la división 1. Esta solicitud de colección de programas aparece como señales de entrada en las

581850



puertas NAND 441 y 442. Análogamente, se emplea el circuito flip-flop 443 para almacenar una solicitud de colección de programas, por medio de las puertas NAND 444 y 445, para la inclusión dentro de la división 2.

5 En un conductor único 446 aparecen solicitudes manuales para la inclusión dentro de dichas divisiones cuando una señal "1" indica una solicitud para la inclusión en la división 1 y una señal "0" indica una solicitud para la inclusión en la división 2. Dichas señales son aplicadas al circuito seguidor emisor 447 que tiene una salida normal en el conductor 448 y una invertida en el conductor 449. Una señal de
10 habilitación de modo manual en el conductor 450 es aplicada al circuito seguidor emisor 451. Similarmente, una señal de habilitación de modo automática en el conductor 452 es apli-
15 cada al circuito seguidor emisor 451.

Las salidas "0" de los flip-flops 440 y 443, junto con las salidas de los seguidores emisores 447, 451 y 453, son aplicadas selectivamente al banco de puertas NAND 454, 455, 456 y 457. Las puertas 454 y 455 producen señales que indi-
20 can solicitud de inclusión en la división 1. Tales señales son aplicadas a la puerta NOR 458 y de ella al accionador de cable 459. Análogamente, las puertas NAND 456 y 457 gene-
ran señales que indican solicitudes de inclusión en la divi-
sión 2. Estas señales son aplicadas a la puerta NOR 460 y de
25 desde ésta al accionador de cable 461. Así, una señal por el conductor 462 indica una solicitud de inclusión dentro de la división 1, mientras que una señal en el conductor 403 indica una solicitud de inclusión en la división 2.

30 Se emplean circuitos de indicador de establecimientos de impulsos 464 y 465 para proveer acceso a los flip-flops 440 y 443 de una manera similar al circuito 431 de la figura 16.

381850



5 Se apreciará que es necesario un circuito lógico similar al de la figura 17 para cada una de las unidades solicitadas representadas por la caja 331 en la figura 14. Así, son necesarios diez circuitos lógicos de accionador de módulo de
10 ordenador, dos circuitos lógicos de accionador de módulo de temporización y estado, y cuatro circuitos lógicos de accionador de controlador de entrada-salida. Aunque los circuitos de las figuras 16 y 17, se indican como divisiones de habilitación, se comprenderá que las solicitudes de divisiones menores que un sistema de accionamiento completo, dá por resultado una segmentación, más bien que una división.

15 En cada uno de los circuitos de accionador solicitante y en cada uno de los circuitos de accionador solicitado de la figura 17, está comprendido asimismo un circuito lógico accionador de solicitud de aislamiento, tal como el que se ilustra en la figura 18. Se emplea un circuito flip-flop 470, para almacenar solicitudes de aislamiento de colección de programas, como las solicitudes que se aplican a las puertas NAND 471 y 472. Al circuito seguidor de emisor 474
20 se aplica una solicitud manual de aislamiento que llega por el conductor 473. Similarmente, en el conductor 475 hay disponible una señal que indica que la unidad asociada ha perdido su potencia, cuya señal es aplicada al circuito seguidor emisor 476. Dado que la pérdida de potencia en un módulo
25 requiere que este módulo sea aislado del equilibrio del sistema, dicha señal de falta de circuito es tratada de la misma manera que una solicitud de aislamiento.

30 La salida "1" del flip-flop 470, junto con las salidas de los seguidores emisores 474 y 476, es aplicada a la puerta NOR 477, la salida de la cual es aplicada al accionador de cable 478. Por tanto, una salida de señal sobre el conductor 479, indica que el módulo correspondiente se debe aislar del resto del sistema.

381850



El circuito Indicador de Establecimiento de Impulsos 480 está conectado a la salida "0" del circuito flip-flop 470 con fines similares a los descritos con referencia a las figuras 16 y 17.

5 En la figura 19 se ilustra el circuito lógico necesario para cada uno de los puntos de cruce de la figura 17. Por tanto, la figura 19 representa el circuito lógico de punto de cruce de matriz 341 de la figura 14. Se apreciará que se necesita uno de dichos circuitos lógicos de punto de cruce para cada par solicitante-solicitado. El conductor de entrada 479 lleva una señal que indica una solicitud de aislamiento hecha por un módulo solicitante. Esta señal proviene de un circuito similar al circuito de la figura 18. Análogamente, el conductor 479' lleva una señal que indica
10 una solicitud de aislamiento hecha por un módulo solicitado y también proviene de un circuito similar al de la figura 18.

15 Una señal en el conductor 430 indica una solicitud de división hecha por una unidad solicitante y procede de un circuito análogo al ilustrado en la figura 16. Una señal en el conductor 462 indica una solicitud para la inclusión en la
20 división 1, que proviene de un módulo solicitado, mientras que una señal en el conductor 463 indica una petición de inclusión dentro de la división 2 hecha por un módulo solicitado. Las señales en los conductores 462 y 463 provienen de
25 circuitos similares al de la figura 17.

30 La señal en el conductor 430 es suministrada directamente a la puerta NAND 490 y, por medio de un circuito inversor 491, a la puerta NAND 492. Las salidas de las puertas NAND 490 y 492, junto con las señales en los conductores 479 y 479', son aplicadas a la puerta NOR 493, la salida de la cual es aplicada a los accionadores de cable 494 y 495 en seno. La señal de salida en el conductor 496 es una señal

381850



5 de cierre que puede ser aplicada a la unidad de conmutación interfacial de cada módulo solicitado y empleada para inhibir el acceso de un módulo solicitado específico al módulo solicitante. El empleo específico de una de dichas señales de cierre se ha descrito con relación a la unidad de conmutación interfacial de la figura 9.

10 Puede apreciarse que las señales de cierre generadas por los circuitos similares a los de la figura 19 proveen un medio para inhibir la comunicación entre cada par de módulos solicitante-solicitado del sistema de ordenación de datos. La inhibición de las comunicaciones separa efectivamente cada par de módulos puesto que no se permite comunicación entre ellos. Cuando están así separados, tales módulos pueden participar en operaciones de ordenación de datos separadas e independientes, bajo el control de programas diferentes, utilizando distintas unidades de ordenación y unidades de almacenamiento variable, así como diferentes unidades de temporización y estado, y distintos controladores de entrada-salida. En esencia, las diferentes divisiones resultan en diferentes sistemas de ordenación de datos y se pueden utilizar como tales, mientras continúa la división. Esto es particularmente útil en grandes sistemas de ordenación de datos, que ocasionalmente tienen cargas muy pesadas de computación en tiempo real, pero que otras veces tienen

15

20

25

30

cargas en tiempo real más ligeras, y es conveniente emplear el exceso de capacidad de ordenación de datos para otros fines. Como ejemplo, durante las horas de carga normal en la carga de ordenación de datos en tiempo real, se puede dividir fuera de la carga de computación en tiempo real una parte del sistema, y puede utilizarse para la ordenación de datos en tiempo no real, como ensamblaje, compilación y varios procesos de mantenimiento y diagnóstico.

381850'



N O T A

Se reivindica como objeto de la presente Patente de Invención:

5 1.- Sistema de computación modular, que comprende una pluralidad de unidades de elaboración, unidades de almacenamiento y unidades de entrada y salida, y un circuito de conmutación asociado con cada unidad para controlar las interconexiones entre la unidad asociada y otras de las
10 unidades , caracterizado porque una instalación de circuito controla los circuitos de conmutación para efectuar una división de las unidades del sistema en una pluralidad de sistemas de computación separados que funcionan independientemente.

15 2.- Sistema de computación modular, según la reivindicación 1, caracterizado porque la instalación de circuito comprende una matriz lógica que separa las unidades que requieren servicio de las unidades que dan servicio, proveyendo cada punto de cruce de la matriz lógica señales para evitar la comunicación entre una unidad individual que requiere
20 servicio y una unidad individual que da servicio.

 3.- Sistema de computación modular, según la reivindicación 2, caracterizado porque la matriz lógica es accionada por señales de programa generadas, almacenadas en la matriz
25 lógica.

 4.- Sistema de computación modular, según la reivindicación 2, caracterizado porque la matriz lógica es accionada por medio de señales generadas manualmente desde un cuadro de control.

 5.- Sistema de computación modular, según la reivindicación 1, caracterizado porque la instalación de circuito controla asimismo, los circuitos de conmutación para efectuar el aislamiento de cualquier unidad individual del sistema.

30

381850 />



6.- Sistema de computación modular, según la reivindicación 1, caracterizado porque la instalación del circuito comprende un cuadro indicador que señala que partición de cada unidad está comprendida dentro.

5

7.- Sistema de computación modular.

Esta memoria consta de sesenta y dos hojas, escritas por una sola cara.

BARCELONA, 17 JUN. 1970

P. A.

FIG. 1

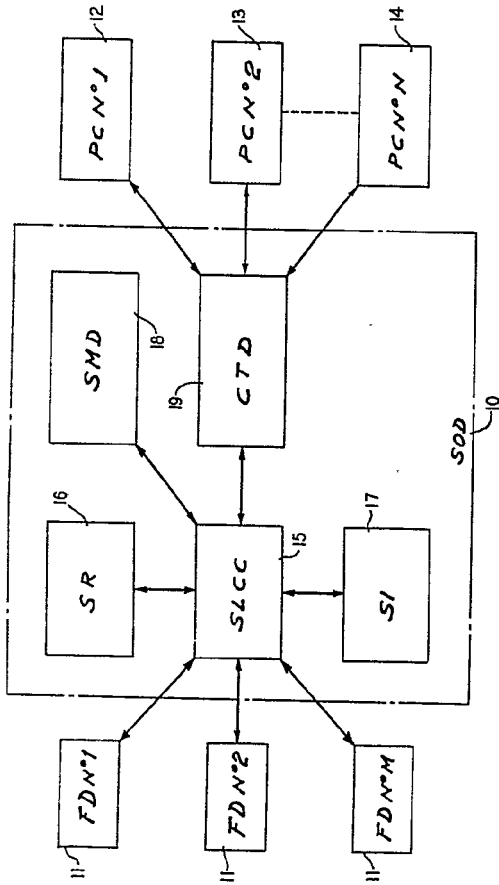


FIG. 3

SLCC (F)

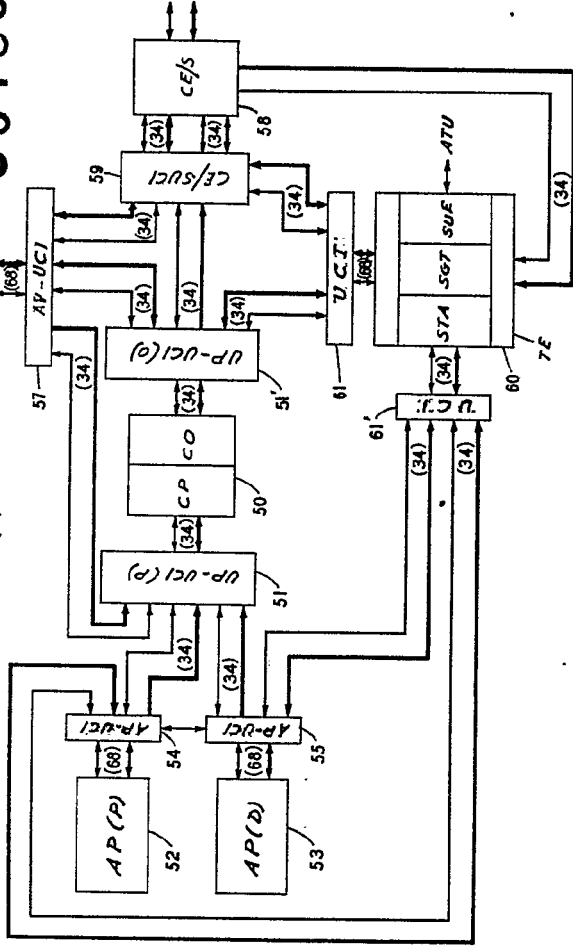


FIG. 9

UC/AV

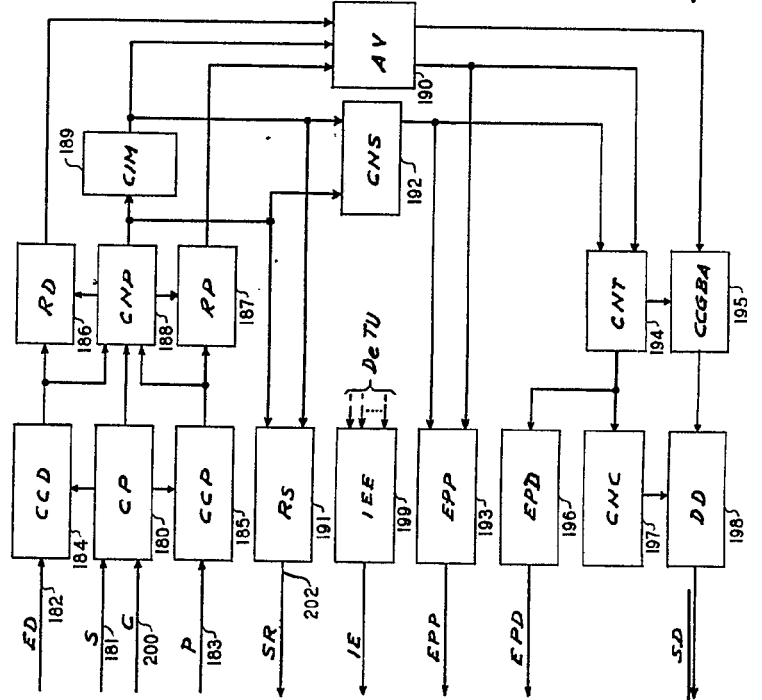
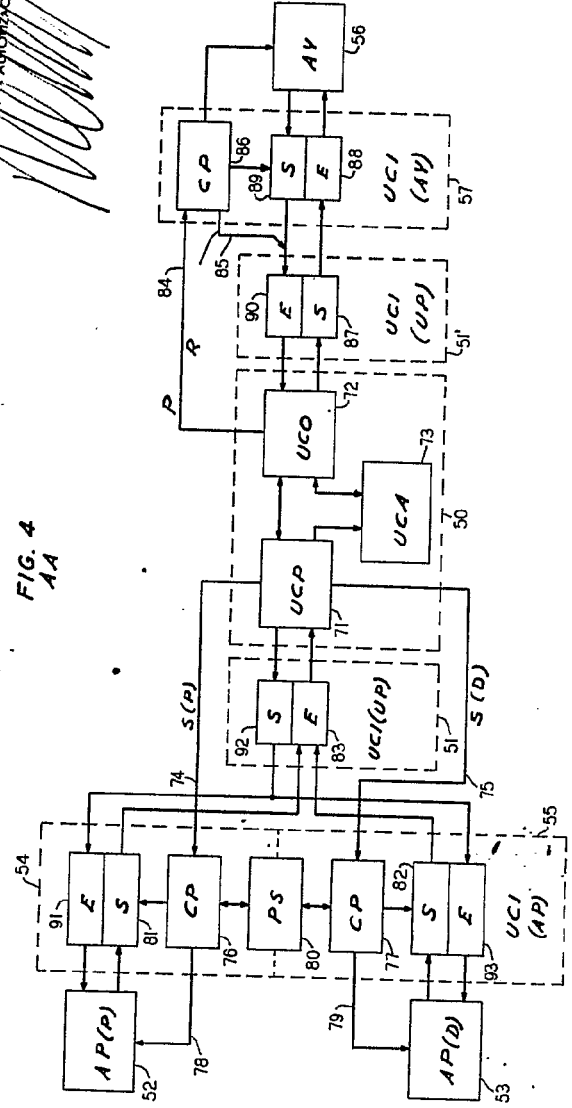


FIG. 4

AA



[Handwritten signature]
 REV. 1/10/53

FIG. 1

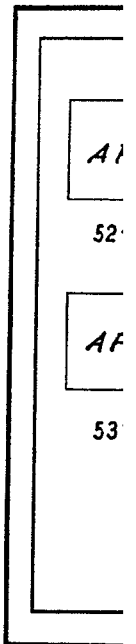
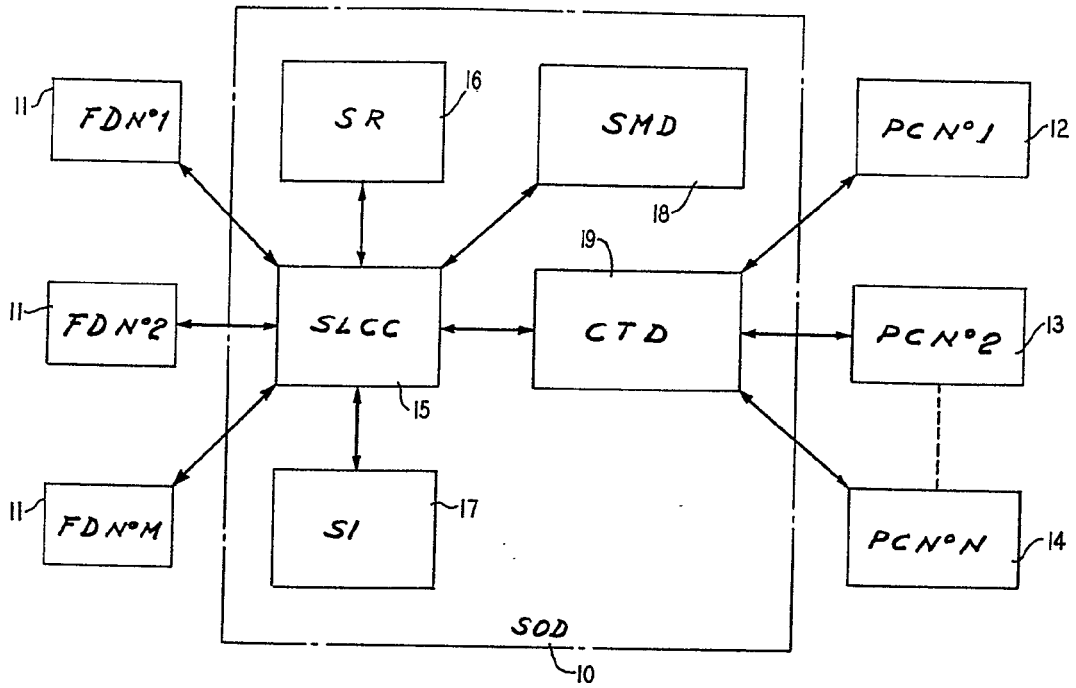
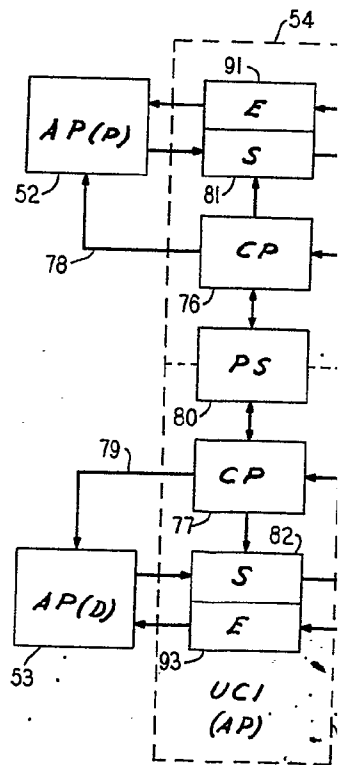
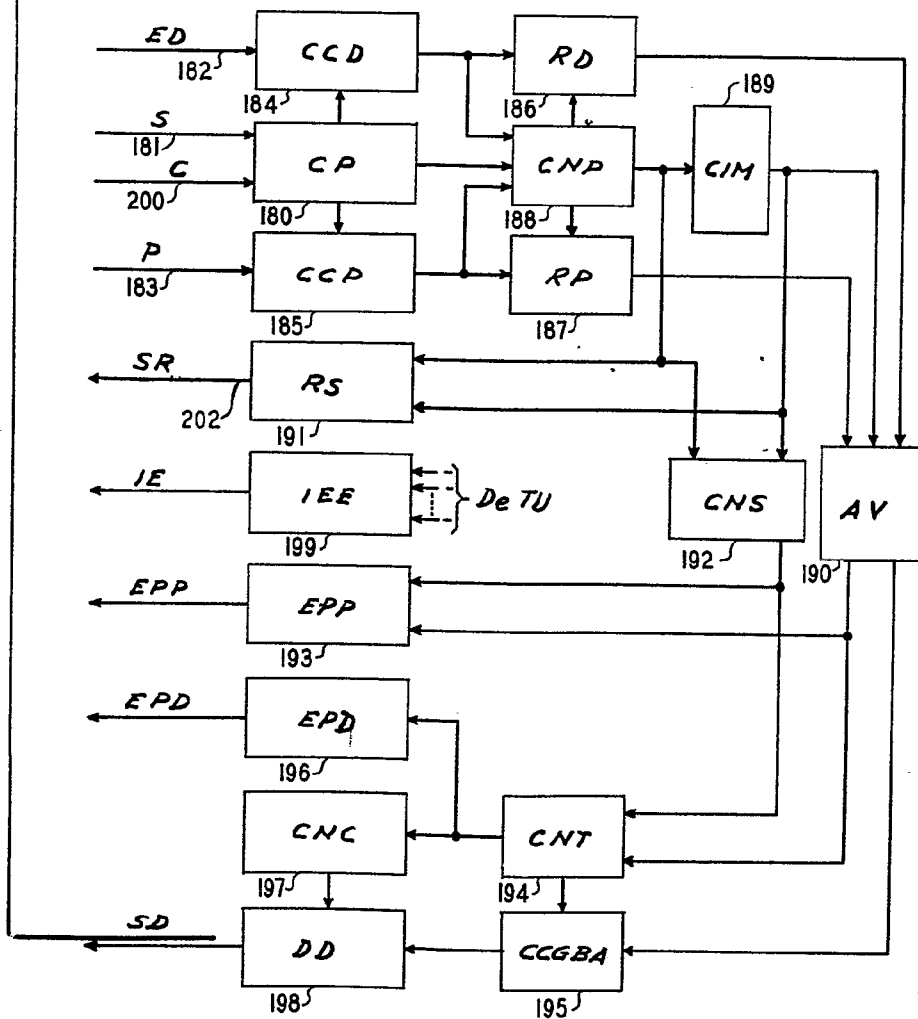


FIG. 9
UCIAV



ARTZ, W.M. N.º 1-1

381850

FIG. 3
SLCC(F)

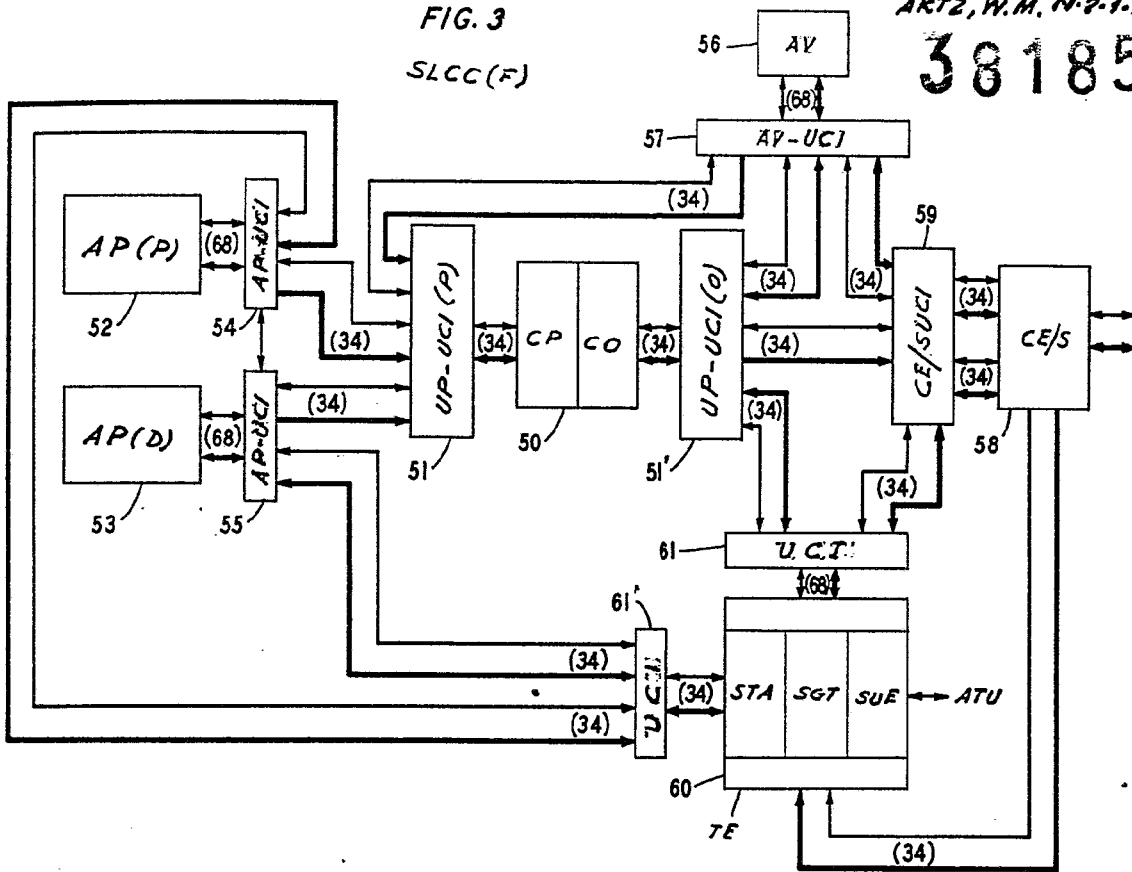
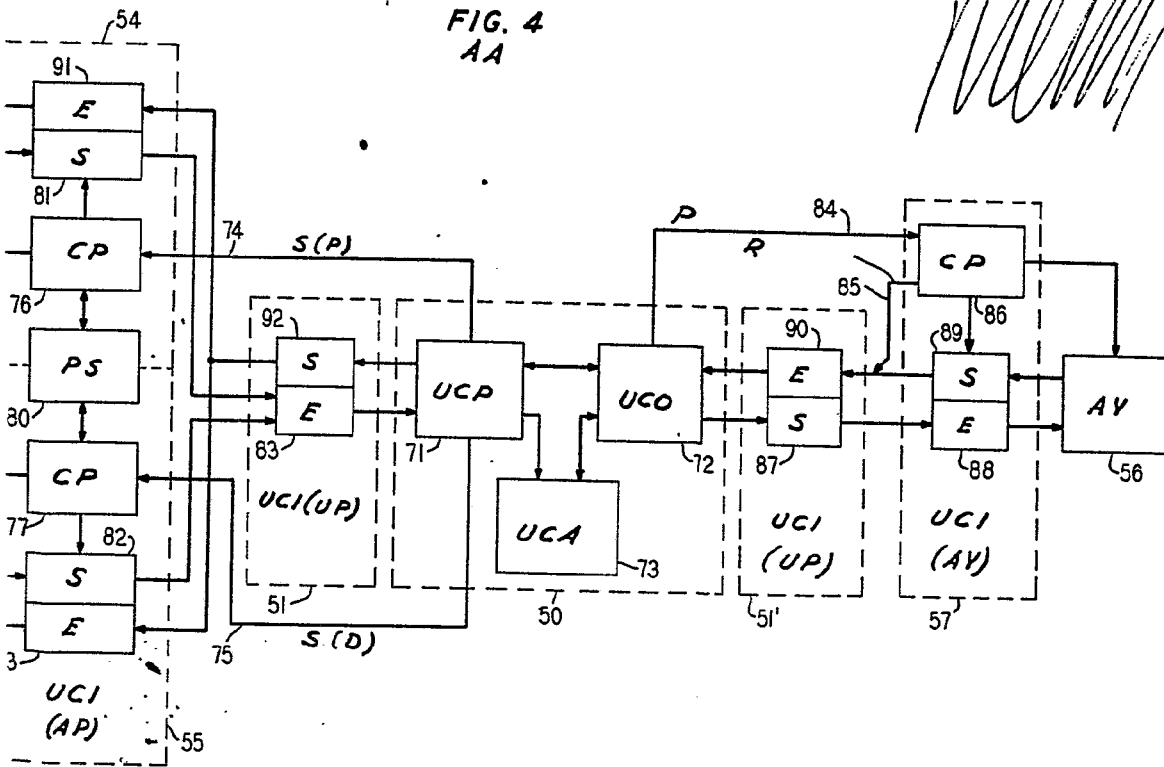


FIG. 4
AA



MAN AUTORIZACION

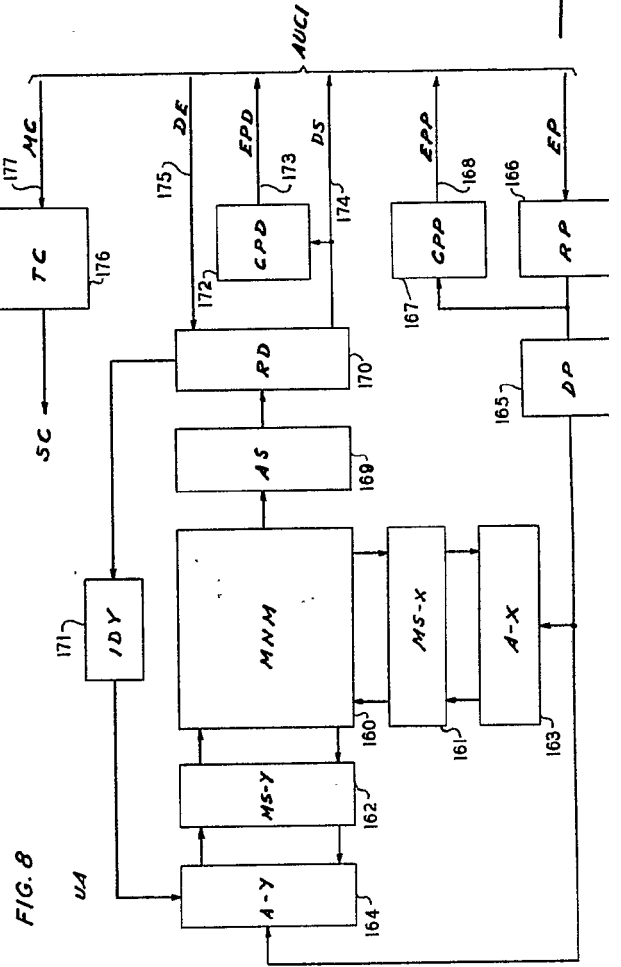
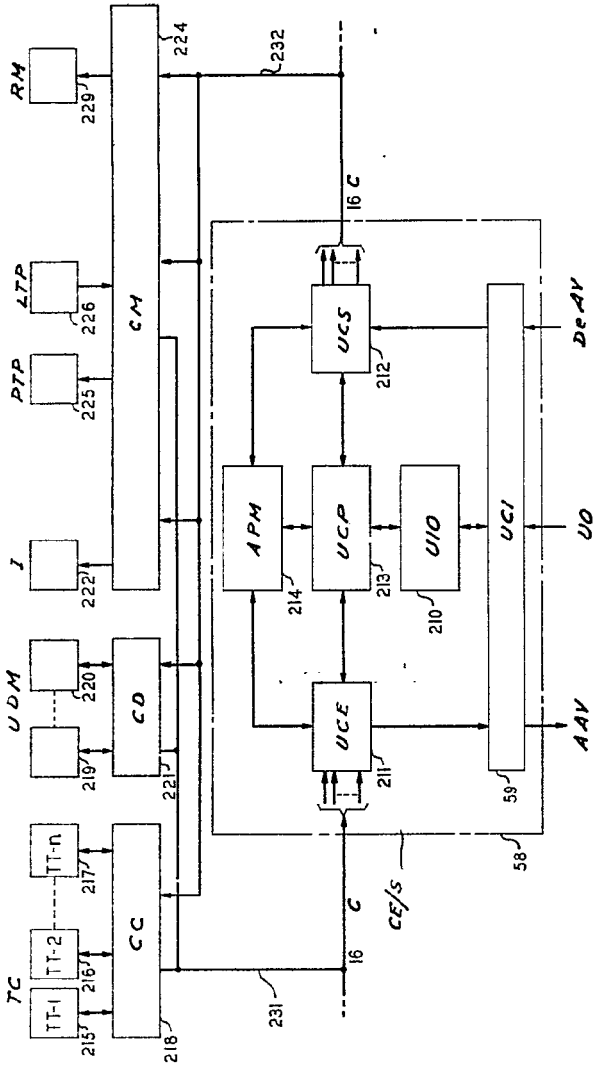
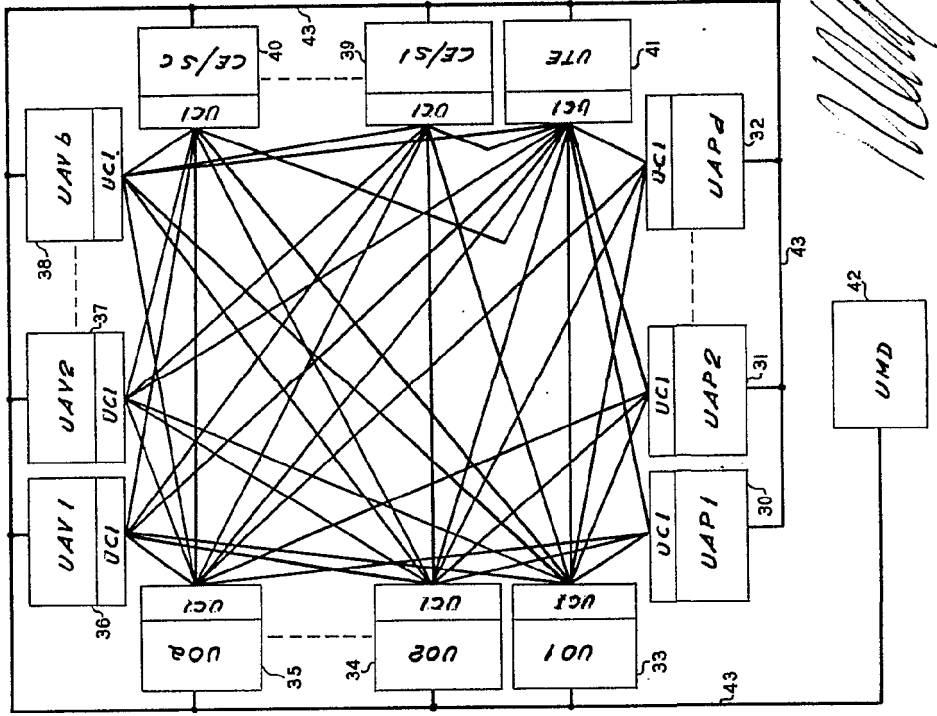


FIG. 2
CS LCC



FOR AUTORIZACION

[Handwritten signature]

FIG. 10 CE/S SR

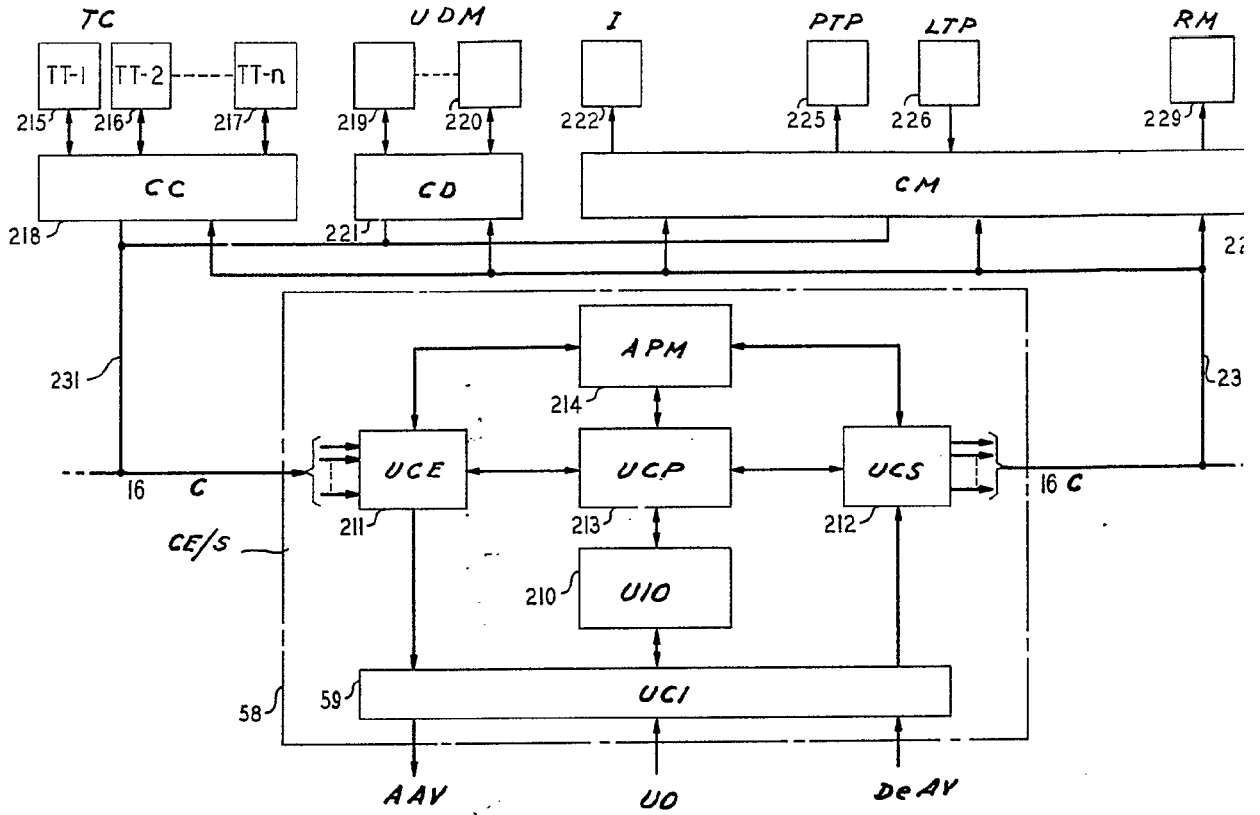
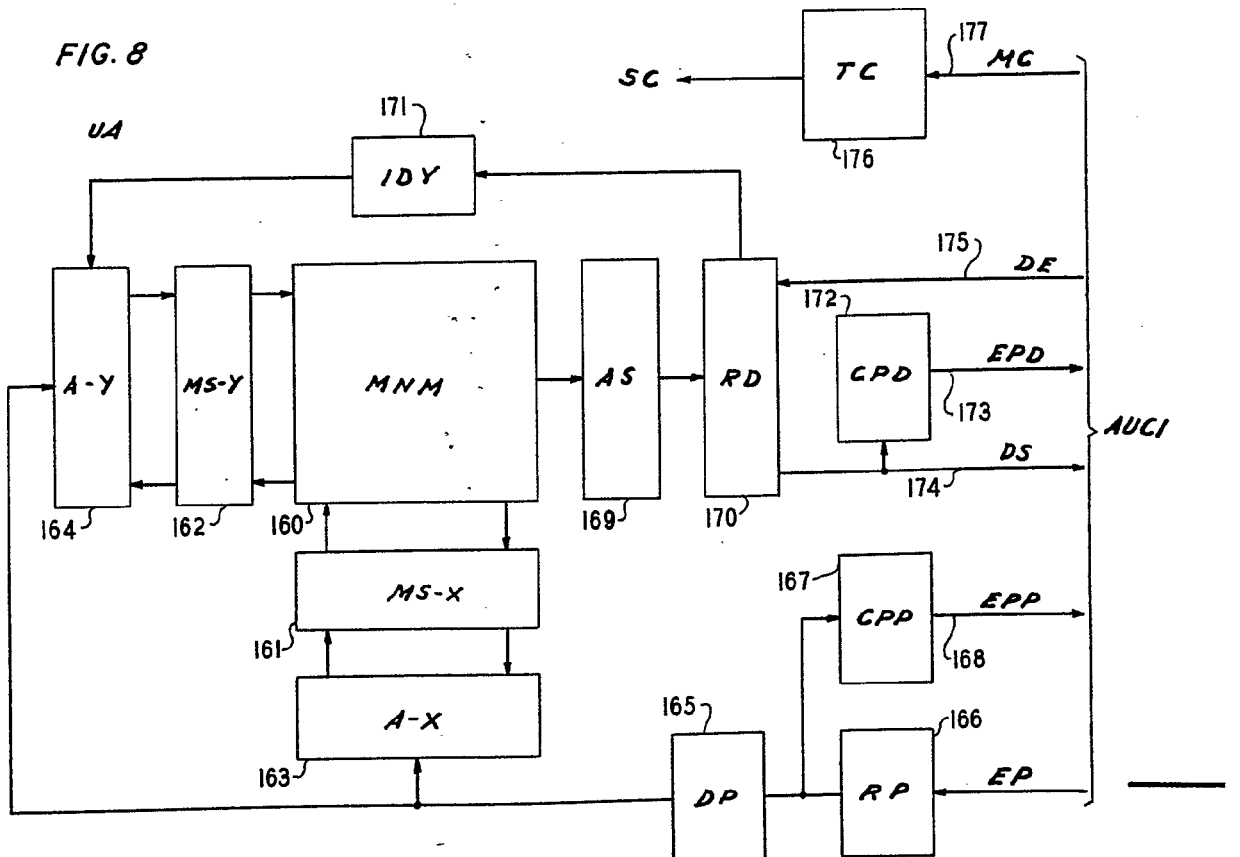


FIG. 8



381850

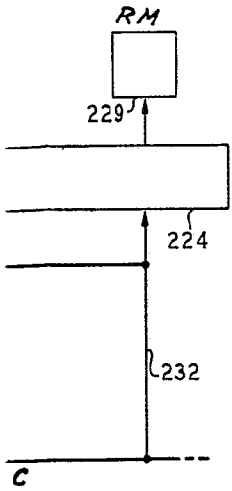
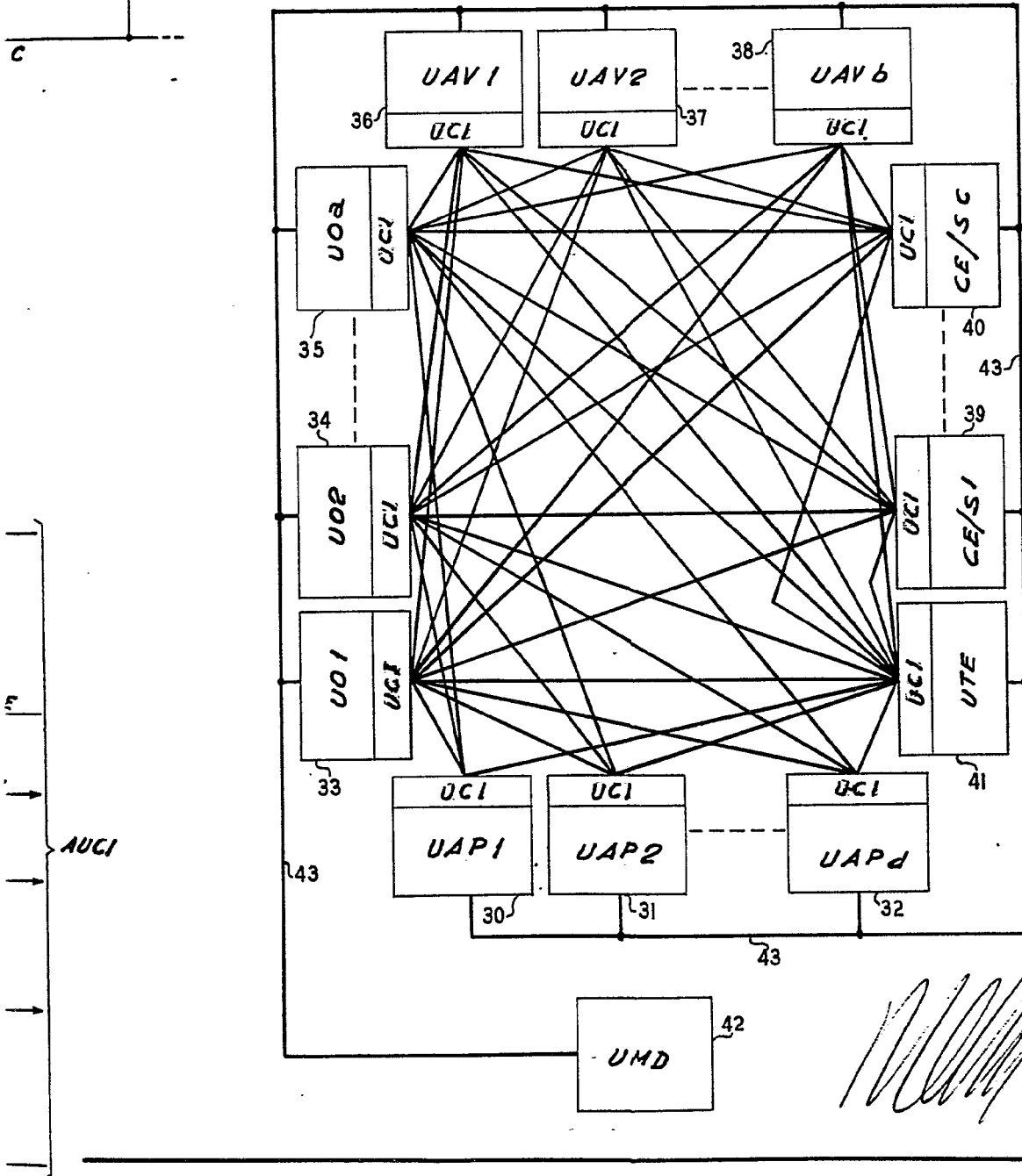


FIG. 2
CSLCC



FOR AUTORIZACION.

FIG. 7
UCA

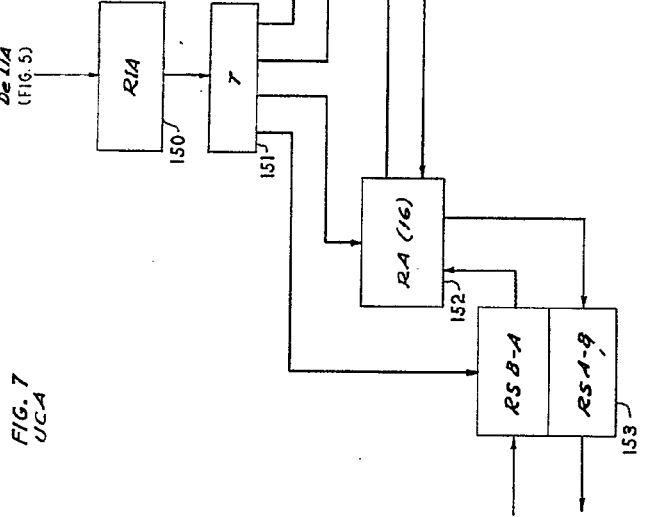


FIG. 6
AUCO

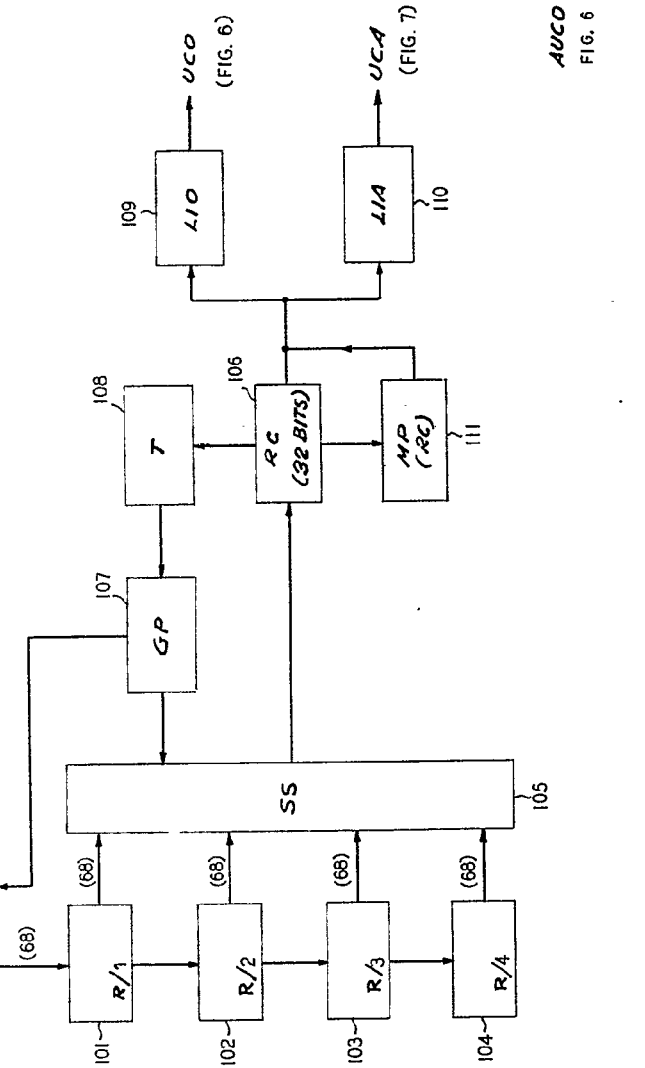


FIG. 6
UCO

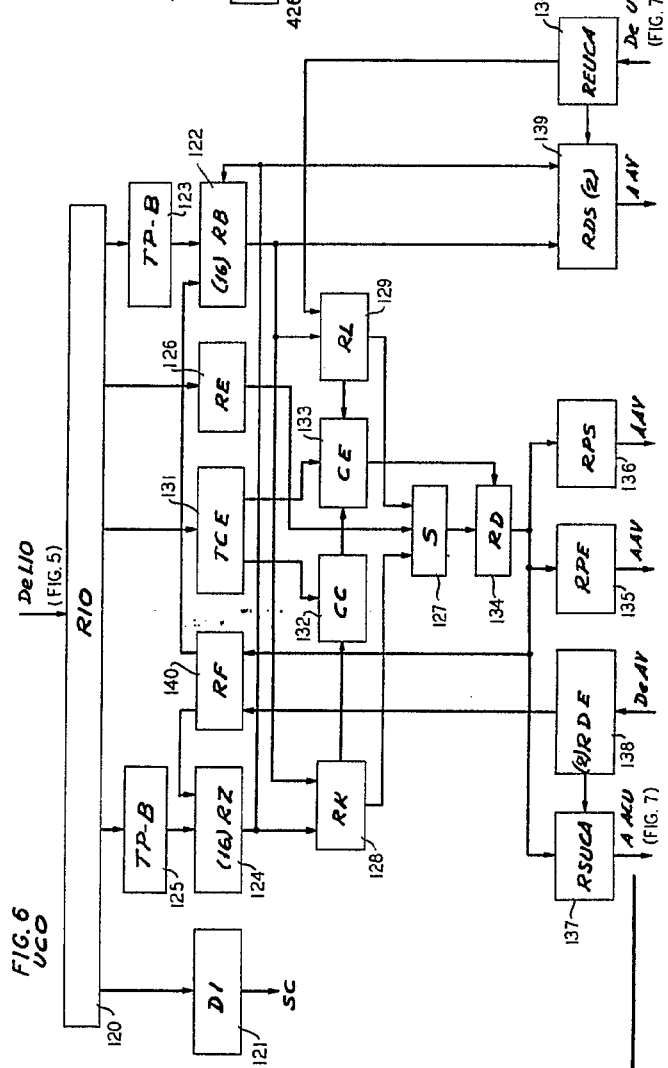


FIG. 16
ADSS1A4

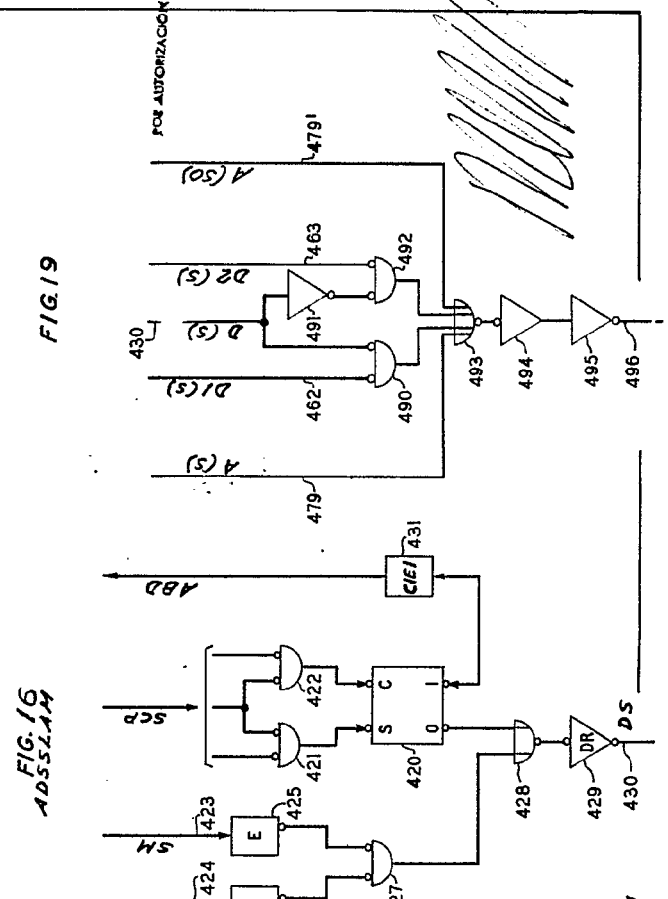
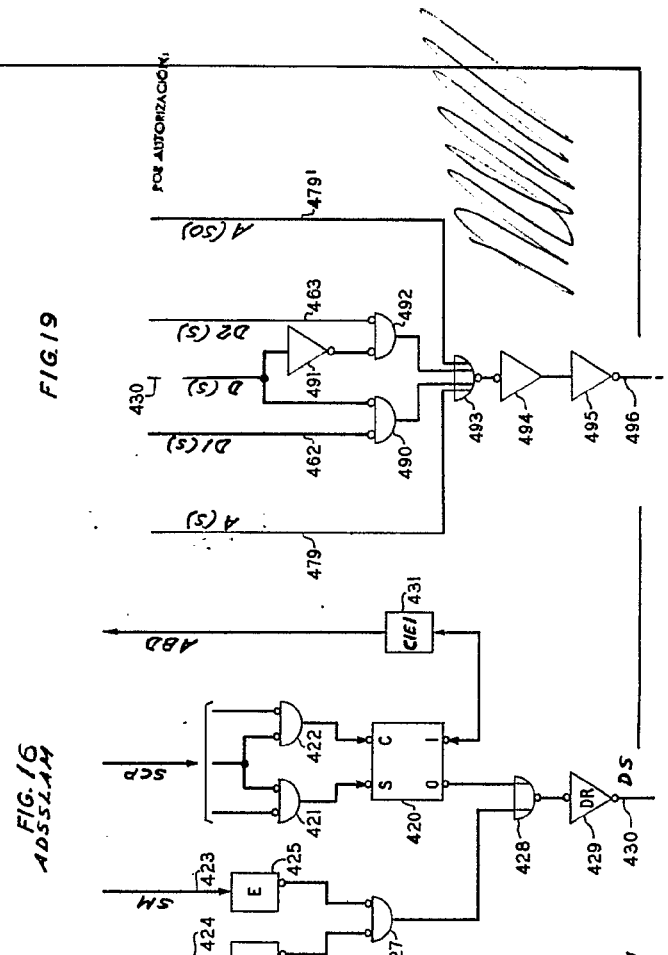
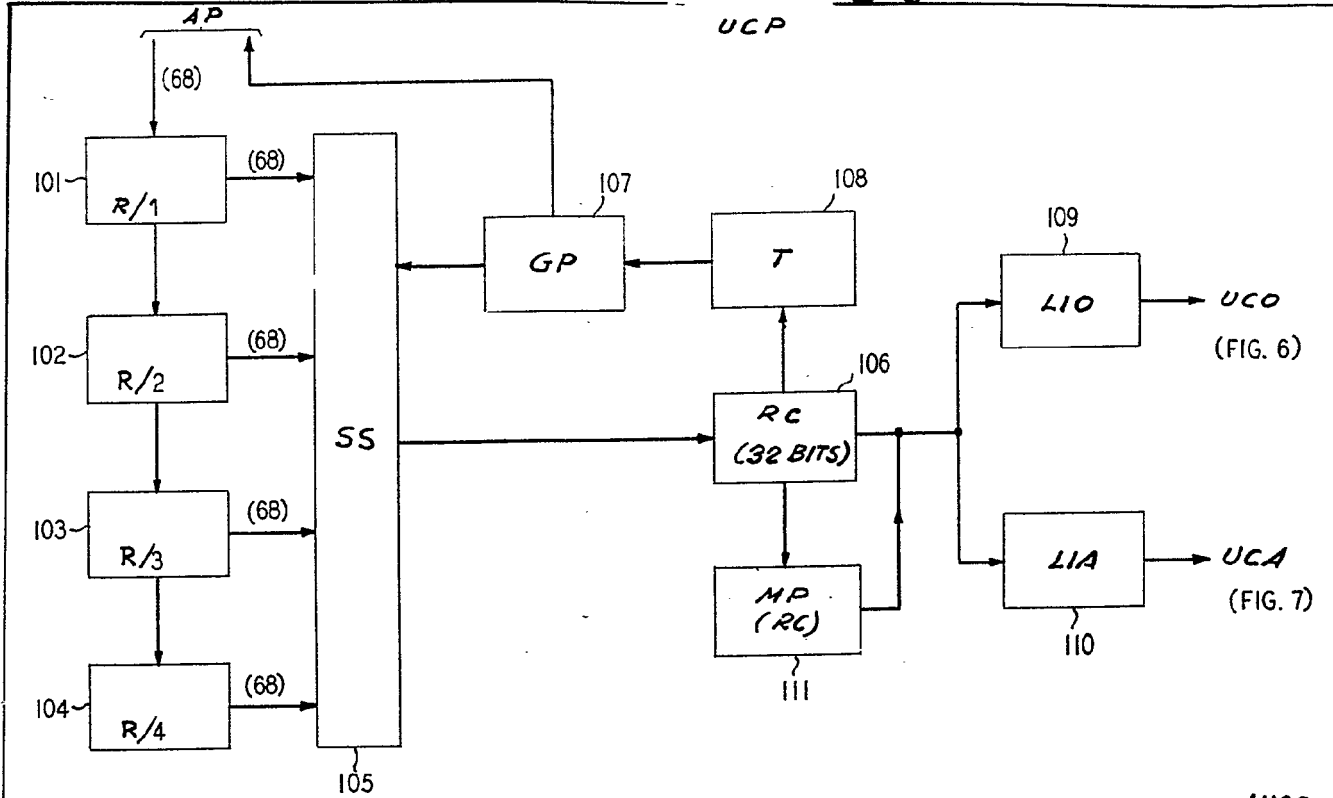


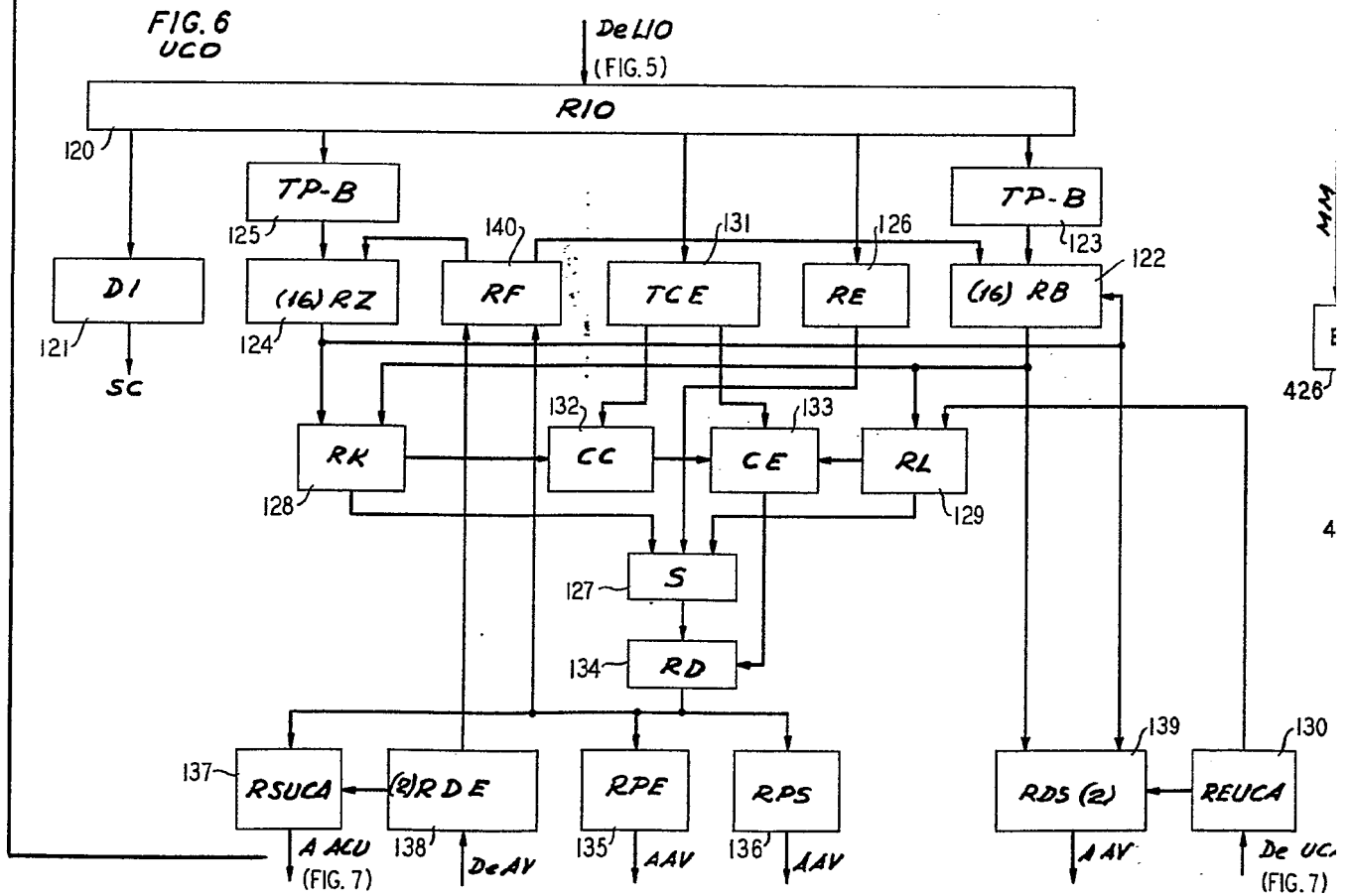
FIG. 19



381850



AUCO
FIG. 6



381850

FIG. 7
UCA

De LIA
(FIG. 5)

UCO
(FIG. 6)

UCA
(FIG. 7)

AUCO
FIG. 6

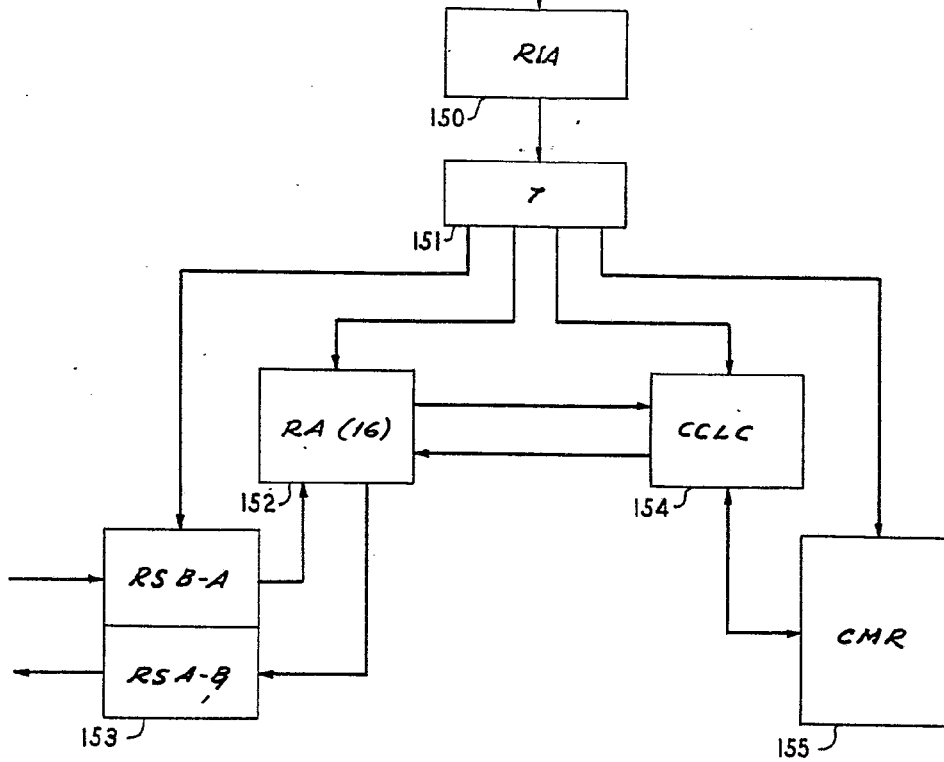
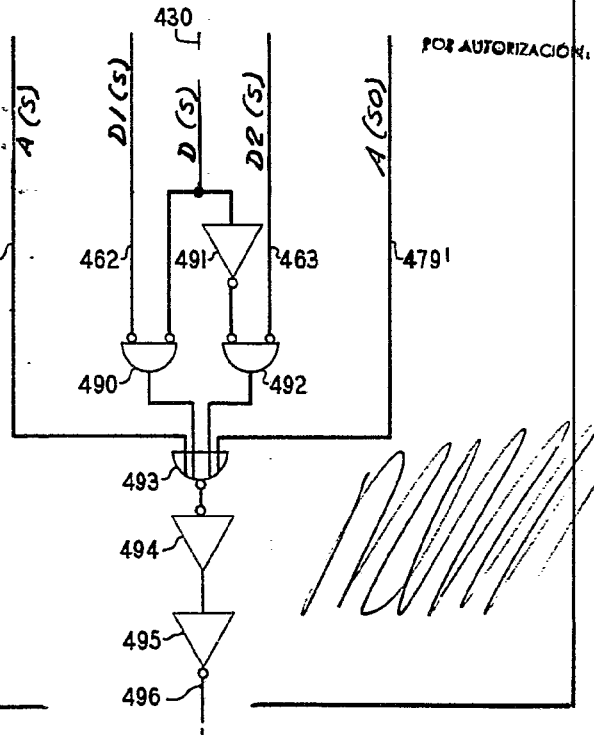
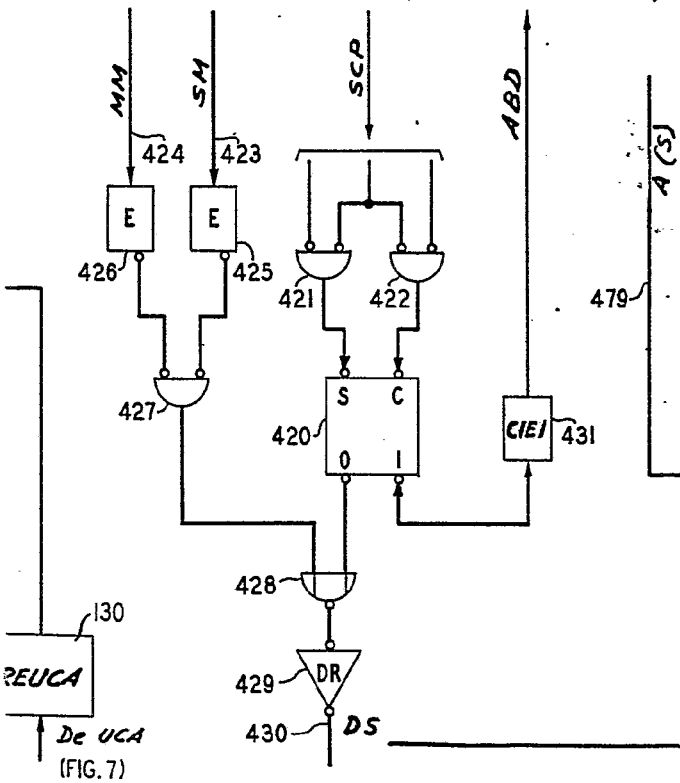


FIG. 16
ADSSLAM

FIG. 19



[Handwritten signature]

FIG. 11
UTE

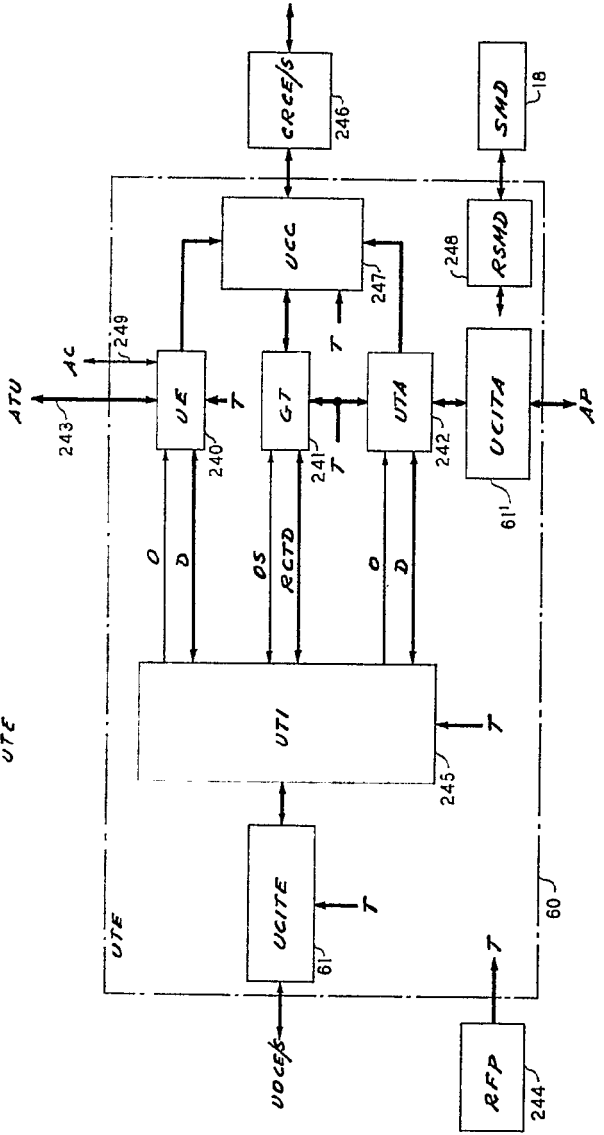
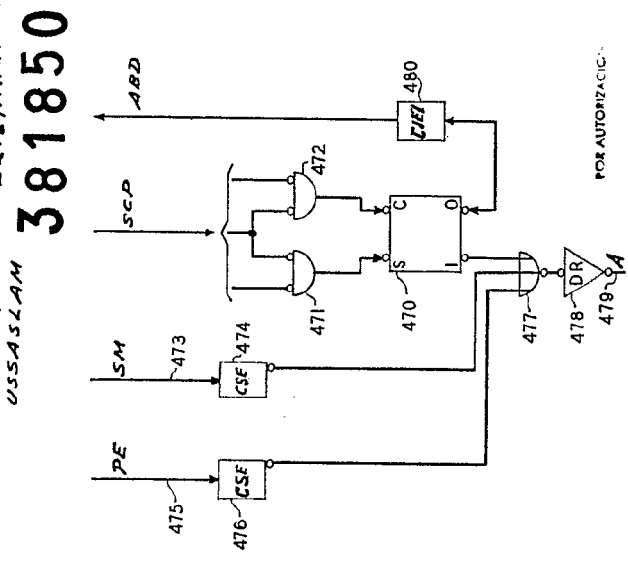


FIG. 18
USSASLAM



FOR AUTHORIZATION

[Handwritten signature]

FIG. 17
UDSSSLAM

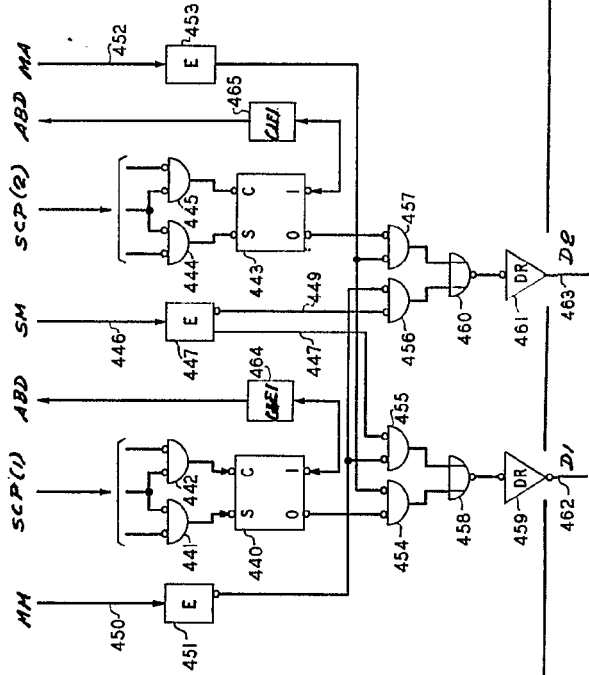


FIG. 12
UE

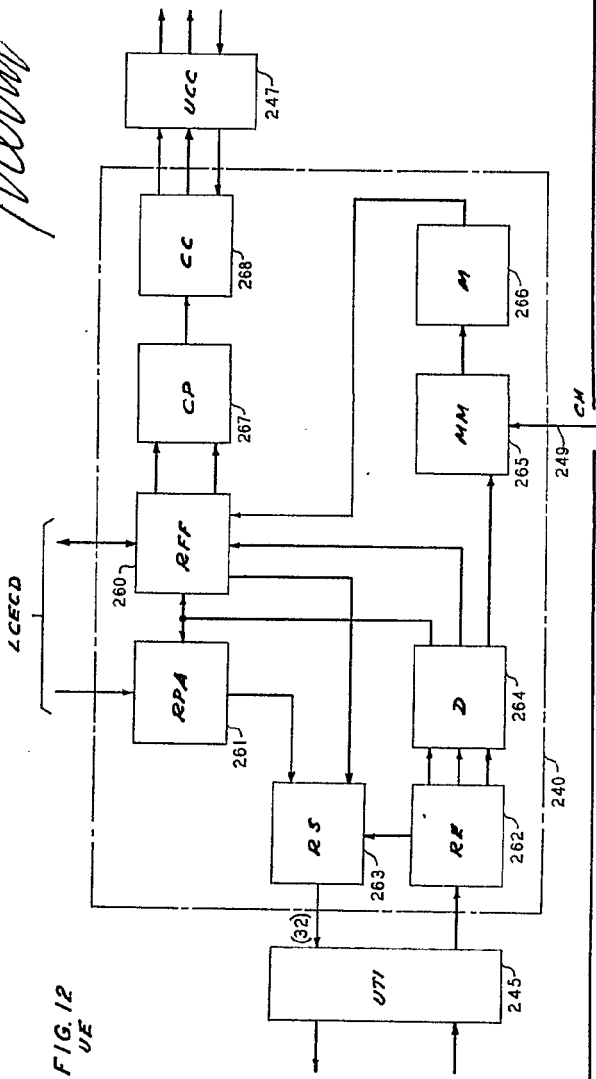


FIG. 11
UTE

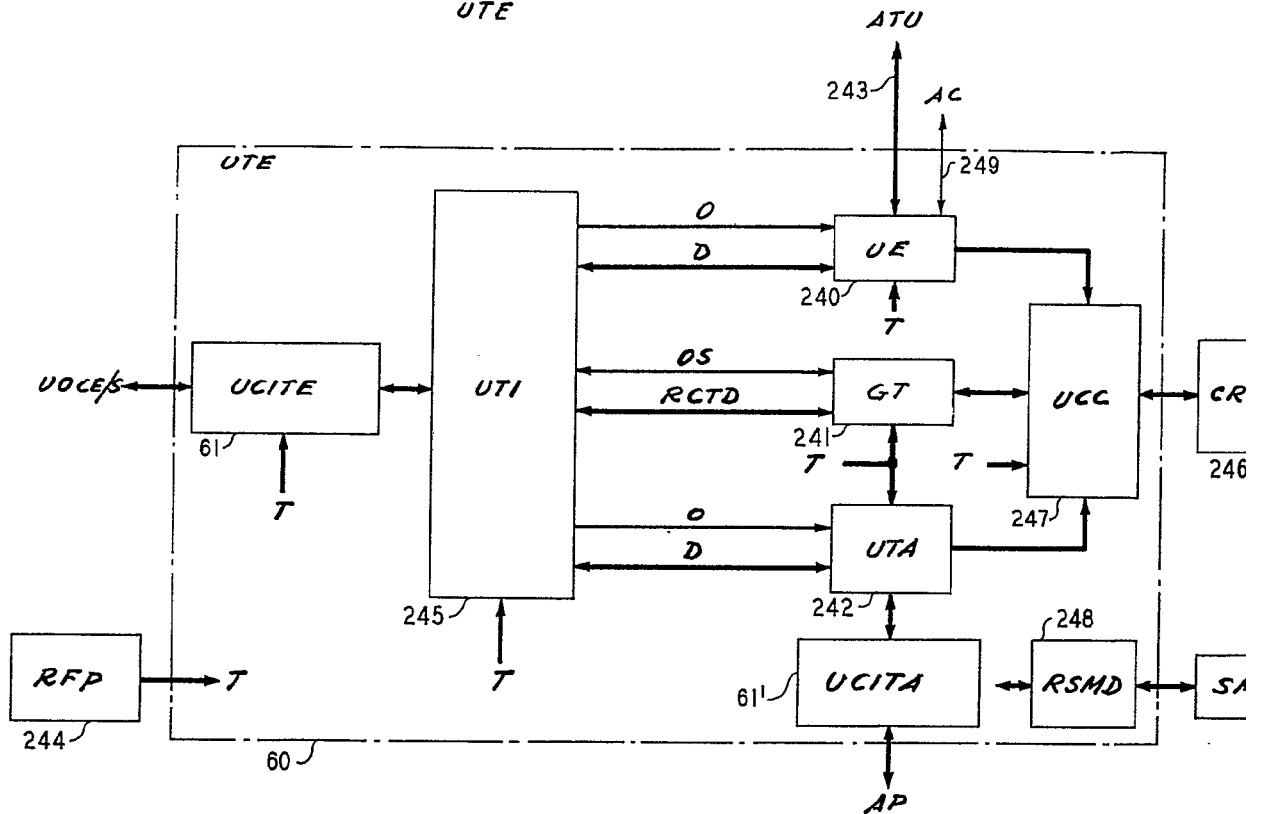


FIG. 17
UDSSLAM

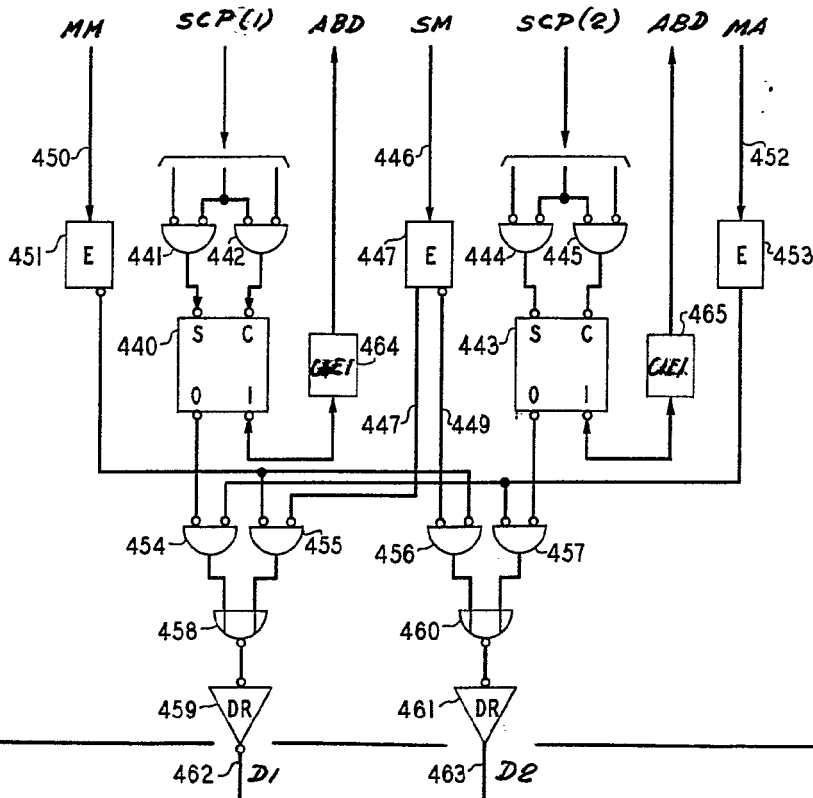


FIG. 12
UE

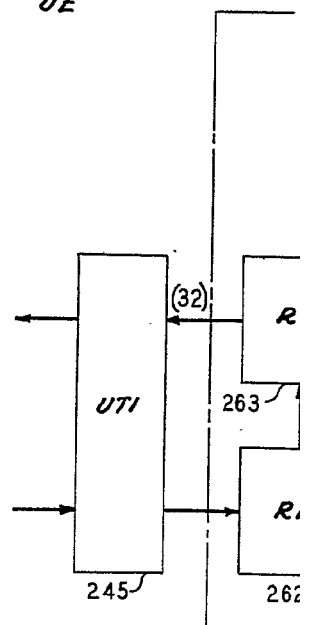


FIG. 18
USSASLAM

ART 2, Y. M. 1-1-2-1-1

381850

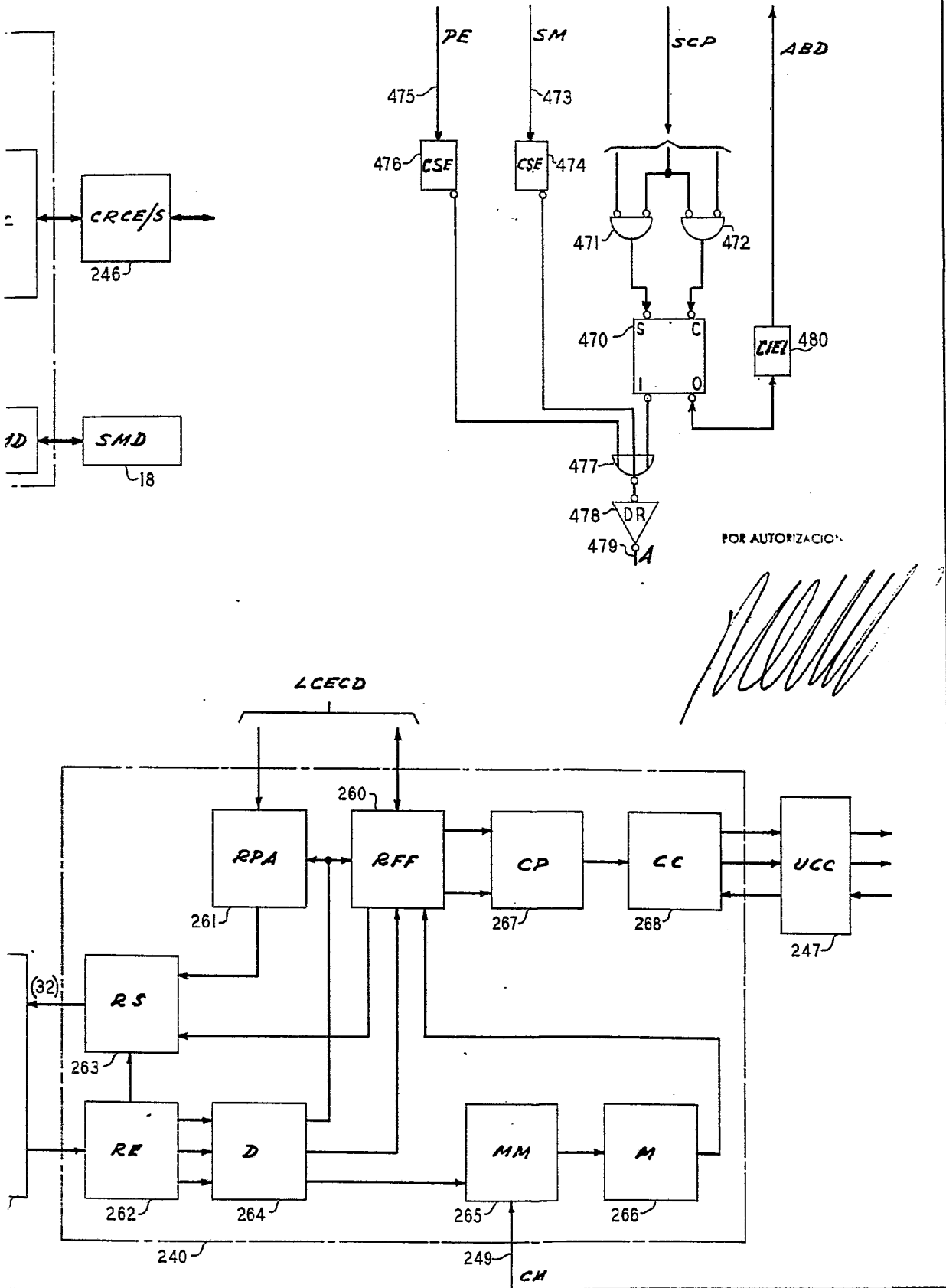
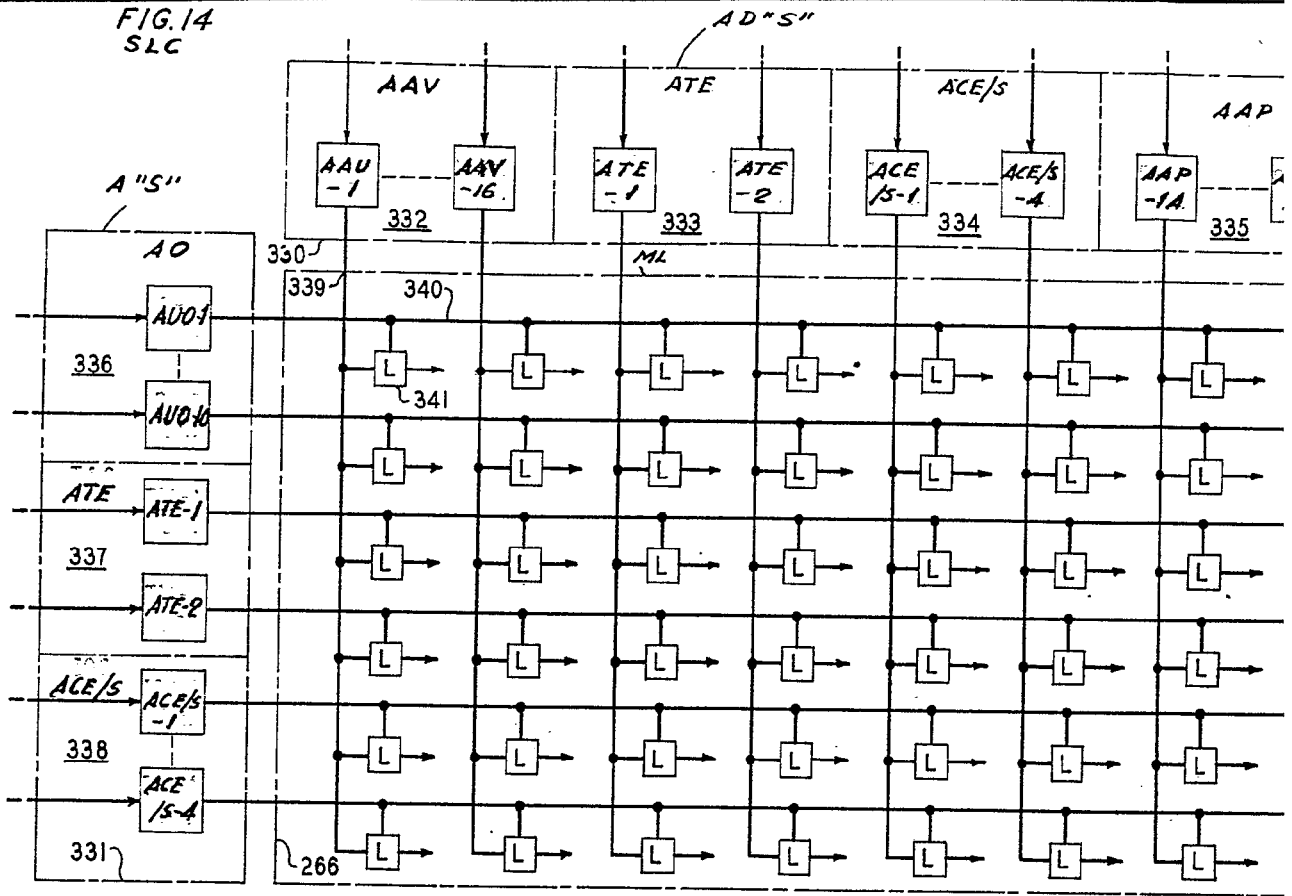


FIG. 14
SLC



FOR AUTHORIZATION

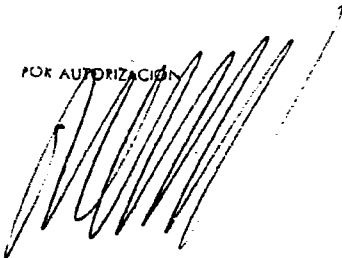
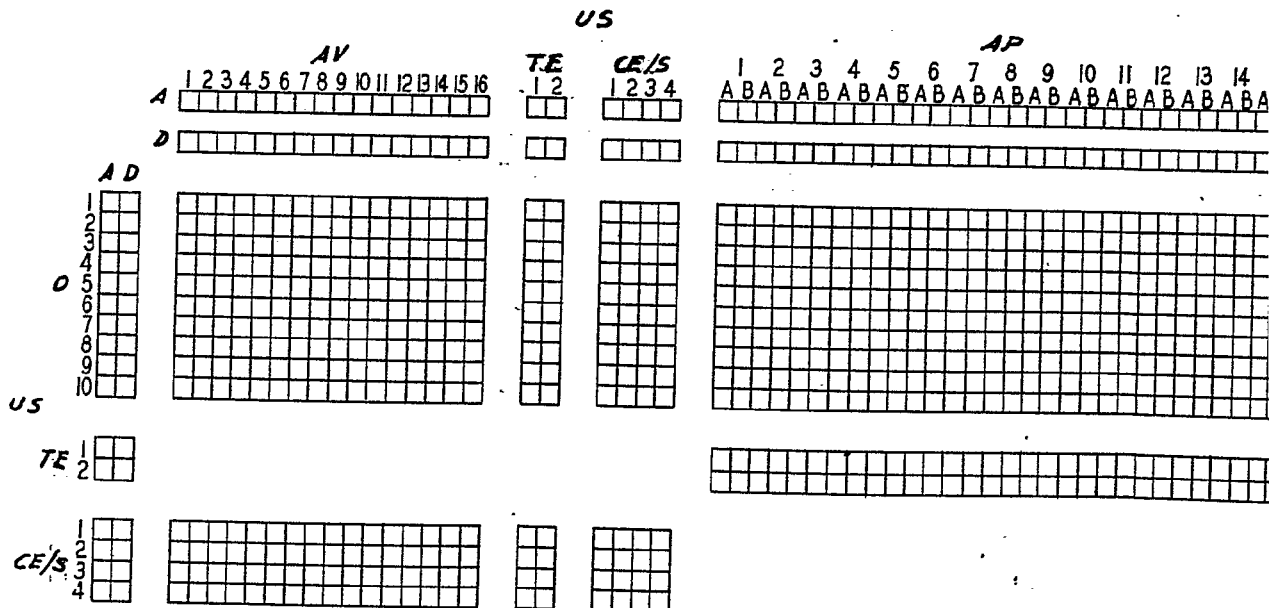


FIG. 13
RC



381850

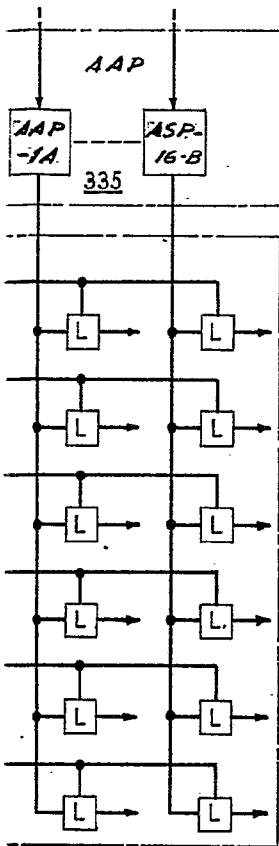


FIG. 15
EC

