

P.- 44.952

IBM

Docket P09-67-079

380988

ACR

G-06  
F

Memoria descriptiva

380988



para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN METODO DE GENERAR UN INDICE COMPRIMIDO A NIVEL MULTIPLE"  
(Clase Internacional G06f)



La presente invención se refiere en general a la recuperación de información, y especialmente a un nuevo método electrónicamente controlado para generar índices de varios niveles con posibilidad de lectura a máquina.

5

Con frecuencia siempre creciente se está generando información de toda clase. Se hace cada vez más evidente que existe a menudo un motivo de atasco o "embottellamiento" en no poderse recuperar o encontrar fácilmente un detalle o artículo de información, de entre la enorme masa de información en que se halla sepultado. Aún cuando se ha trabajado mucho en el tema de la recuperación de información, no se ha hallado hasta ahora una solución de tipo general, si bien se han concebido muchos métodos complicados de recuperación de información para tener acceso a la información en que interviene gran número de documentos o de registros.

10

15

Dentro del ambiente de la recuperación de información, el presente invento se refiere a un instrumento útil para controlar una máquina a fin de localizar información clasificada por medio de claves. Las claves alfanuméricas de cualquier tipo dispuestas en una secuencia de clasificación escogida pueden ser convertidas a la forma de "claves comprimidas" e investigadas por medio de la presente invención. Cada clave comprimida representa un límite o lindero (sea superior o inferior) para la clave sin comprimir a la que representa. Cada clave comprimida puede llevar asociados datos, o bien la localización de uno o más artículos de información por ella representados. La información de localización puede ser una

20

25

30



dirección de acceso adscrita, una indicación útil, o bien puede derivarse de la propia clave por medios que no forman parte de esta invención.

5 La presente invención incluye un algoritmo propio de ella, que proporciona claves comprimidas dentro de un índice a nivel múltiple, para permitir un gran aumento en la velocidad de examen o investigación del índice en comparación con el examen del índice realizado sin esta "compresión".

10 Se conocen ya varios métodos y medios de investigar en un índice sin comprimir y a nivel múltiple, según lo ya publicado. La búsqueda o investigación en índices sin comprimir se efectúa electrónicamente con sistemas calculadores, utilizando métodos de acceso, métodos de control y métodos electrónicos de catalogación especiales. Las Patentes de EE.UU. nº. 3.408.631 de J.R. Evans, nº. 3.315.233 de R. De Camp y col., y nº. 3.366.928 de R. Rice y col., así como las de nº. 3.242.470 de Hagelbarger y col. y nº. 3.030.609 de Albrecht, son otros tantos  
15  
20 ejemplos del estado de la técnica del ramo.

La recuperación de información en calculadoras está actualmente limitada de varias maneras, entre las cuales se halla la enorme cantidad de almacenaje necesaria. El formato de clave sin somprimir en forma de índice a nivel múltiple da lugar a que se tenga que explorar gran número de bytes (o baterías de bitios) en todas y cada una de las introducciones de clave, mientras se busca un argumento de investigación. Es ésta una acción laboriosa y costosa cuando se investiga en un índice grande, o bien cuando se busca repetidamente en un índice pe-  
25  
30



queño. Y es esta área la de ataque del presente invento, que reduce grandemente el número de bytes explorados por cada introducción o asiento de clave en un índice examinado. El resultado obtenido es el de reducirse los requisitos de almacenaje de búsqueda y acelerarse la investigación, por tenerse que detectar a máquina menos bytes. De ello resulta un apreciable aumento en la velocidad de investigación o de búsqueda, sin tener que modificar la velocidad del sistema de calculadora.

5  
10  
15  
20  
25  
30

Los actuales métodos de búsqueda en calculadoras electrónicas, tales como los de las patentes arriba citadas, tienen claves sin comprimir que acompañan a registros efectuados en un disco o un tambor, para clasificar los asuntos contenidos en un registro asociado. La búsqueda del registro asociado puede hacerse sea por medio de la clave, sea mediante la dirección de acceso del registro. Por ejemplo, en las patentes de EE.UU. núms. 3.408.631, 3.350.693, 3.343.134, 3.344.402, 3.344.403 y 3.344.405, una clave sin comprimir puede orientarse y llevarse a un disco de registro magnético. Una clave en un ambiente de nivel múltiple (o multitud de niveles) puede explorarse electrónicamente mediante un argumento de búsqueda hasta encontrar, si la hay, la condición de igualdad de comparación. Encontrada la condición de igualdad de comparación, se obtiene la dirección de acceso de una indicación ("pointer") asociada a la respectiva tecla sin comprimir, y esta dirección se usa para recuperar el registro en un nivel inferior representado por la clave, que puede estar en cualquier otro lugar del mismo dispositivo, o en un dispositivo distinto. Esta indicación,

380988



por ejemplo, puede incluir el lugar de situación, en el dispositivo de disco o en otro dispositivo, donde se halla registrado a grabado el registro del nivel inmediato inferior. El nivel de indicación más bajo localiza el registro de datos que se está buscando, y este registro -  
 5 puede recuperarse y usarse para el fin requerido, cualquiera que éste sea.

Esta invención concierne a la generación y búsqueda de una representación de índice de orientación (en lo sucesivo, para mayor brevedad, "índice") a nivel múltiple comprimido. La compresión elimina un tipo de superfluidad o "redundancia" atribuible a la naturaleza clasificatoria o selectiva del índice; es decir, elimina la redundancia del tipo inducido por la clasificación, y sólo  
 10 conserva la mínima información necesaria para la búsqueda. La generación correcta y adecuada de un índice a nivel múltiple comprimido implica sutilezas y aspectos críticos que no se desprenden de los índices de muchos niveles comprimidos. El reconocimiento de estas características nada obvias es esencial para que el índice vaya a buscar correctamente un registro (representación de registro) requerido al nivel inmediato inferior del índice, antes de que se pueda ir a buscar el registro de datos correcto.  
 15  
 20

Por todo ello, es objeto de esta invención un nuevo método y sistema con los que se puede generar un índice a niveles múltiples, comprimido por eliminación de la redundancia de clasificación y que, con todo, sea capaz de ir a buscar el registro de índice adecuado al nivel inmediato inferior.  
 25  
 30

380988



Otro objeto de esta invención reside en un nuevo método y sistema de generar un índice comprimido a nivel múltiple, para reducir el número de bytes de índice investigables que se necesita guardar en comparación con lo que exige un índice de niveles múltiples correspondiente sin comprimir. Esto aumenta grandemente la velocidad de búsqueda de la máquina, en relación con la velocidad de búsqueda del índice-fuente sin comprimir clasificado, para una misma velocidad de bytes de la máquina.

Otro objeto de esta invención reside en generar un índice comprimido en el cual el tamaño de los asientos o "entradas" de clave a nivel múltiple resulta en gran parte independiente de la longitud de las correspondientes claves sin comprimir. Por ejemplo, una indicación que señale un índice de nivel inferior viene acompañada de un par de claves comprimidas que tienen solo unos pocos bytes, en representación de una clave sin comprimir que podría tener centenares o millares de bytes. La magnitud de la compresión del índice depende principalmente de lo "apretado" que sea éste, es decir, de la cantidad de variación en la relación clasificada entre las claves sin comprimir del índice.

Otros objetos más concretos y específicos de esta invención son:

A) Generar un índice de alto nivel dotado de un formato de bloque comprimido que permite la búsqueda o investigación con un argumento de búsqueda cualquiera no comprimido.

B) Generar un formato de bloque para un índice de alto nivel comprimido, que permita la búsqueda



por todos los niveles de índice con un argumento de búsqueda que no esté en el índice de claves sin comprimir (UK) primitivo a partir del cual se construye el índice comprimido, argumento de búsqueda que caería entre claves sin comprimir adyacentes representadas: 1ª, dentro de un solo bloque de índice comprimido; o 2ª, en dos bloques de índice comprimidos.

C) Generar cada bloque de índice comprimido a nivel múltiple de manera que sea independiente de todos y cada uno de los demás bloques comprimidos. Esta independencia permitirá la actualización a base de un solo bloque.

D) Generar un índice a nivel múltiple, en el que cada bloque de índice pueda introducirse durante una búsqueda con un contador de igualdad de búsqueda puesto a cero.

E) Generar cada bloque de alto nivel con un formato de CK,CK,R para cada asiento o "entrada", donde R es la indicación y cada CK es una clave comprimida. El bajo nivel de índice puede usar como formato una sola CK por cada indicación.

F) Generar un índice comprimido a nivel múltiple investigable a partir de su cima para hallar un bloque de datos, en el que:

(1) sólo se tenga acceso a un bloque comprimido, por cada nivel de índice, y

(2) se encuentre el bloque de datos correcto si estaba en el índice original del cual se derivó el índice comprimido, o bien

(3) no se encuentre en el índice el argumen



to de búsqueda, y la búsqueda indique un lugar del índice contiguo a aquel en que se habría colocado el argumento de búsqueda de haberse hallado en el índice original.

5 G) Generar un índice a nivel múltiple que dé una entrada alternativa en el índice comprimido, al comienzo de un nivel cualquiera inferior al de la cima.

10 H) Generar un índice a nivel múltiple, en el que pueda hacerse una investigación completa de un argumento de búsqueda por introducción del índice al principio de un nivel cualquiera y prosiguiendo por serie en ese nivel hasta encontrar una clave alta correcta, después de lo cual sólo puede tenerse acceso a un único bloque por cada nivel.

15 La invención genera cada bloque con un par de claves comprimidas por indicación que señale a niveles de índice situados por encima del nivel bajo. El par de claves comprimidas por indicación se genera partiendo de las dos claves sin comprimir (UK) situadas en lados opuestos del lindero representado entre bloques comprimidos  
20 contiguos al nivel de índice más bajo.

Todos los linderos de UK de final de bloque se usan para la generación del segundo nivel de índice (L2), que es el más bajo de los niveles de índice altos. Por cada nivel superior, se usa la última pareja de UK  
25 de cualquier nivel alto para generar una entrada o asiento de índice comprimido en el nivel de índice inmediato superior. En general, el nivel más alto (la cima) es - aquel para el cual solo se genera un único bloque de índice comprimido.

30 En esta invención, los términos "bloque" y

380988



"registro" significan la misma cosa. Los bloques, en las formas de realización de la misma, pueden estar físicamente separados, o bien pueden ser diferentes bloques lógicos del mismo bloque físico.

5                   Esta invención distingue entre la generación del nivel más bajo de un índice a nivel múltiple y la generación de niveles del mismo superiores al más bajo. Con el término "nivel bajo" se hará referencia de aquí en adelante al más bajo nivel del índice de niveles múltiples, y con el término "nivel alto" se hará referencia  
10 en lo que sigue a cualquier nivel que esté por encima del "nivel bajo".

                  Con esya invención, los bloques de índice de nivel alto tienen un formato distinto del de los bloques de índice de nivel bajo. El formato de nivel alto  
15 asocia un par de claves comprimidas "CK" a una sola indicación, que se dirige a un bloque de nivel inmediato inferior; mientras que el formato de nivel bajo lleva asociada una sola CK a cada indicación, que se dirige a un  
20 bloque de nivel de datos. En el formato de nivel alto, la primera CK de cualquier pareja indica el cambio de índice dentro del bloque referenciado por la indicación - asociada, y la segunda CK de la pareja indica el cambio de índice entre el final del bloque referenciado por la  
25 indicación asociada y el principio del siguiente bloque de la secuencia de índice.

                  Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de unas  
30 formas preferidas de realización del invento, ilustradas



en los dibujos adjuntos, en los cuales:

- la figura 1A ilustra un índice de nivel alto sin comprimir;

5 - la figura 1B ilustra el índice de nivel alto comprimido, derivado del de la figura 1A;

- las figuras 2A y 2B ilustran unos circuitos reguladores y de entrada/salida, usados para almacenar un índice de nivel alto sin comprimir y el índice comprimido resultante, respectivamente;

10 - la figura 3 ilustra una disposición de control de tiempos ("reloj") y de control de modos;

- la figura 4A ilustra el sincronismo en el modo de generación para el circuito de la figura 6, y

15 - la figura 4B ilustra el sincronismo para el modo de búsqueda;

- la figura 5A ilustra un formato para un bloque de índice comprimido de bajo nivel, y

- la figura 5B ilustra un formato para un bloque de índice comprimido de alto nivel;

20 - la figura 6 representa los controles de reloj en el modo de generación;

- la figura 7 ilustra el acceso al circuito regulador y otros controles usados durante la generación de claves comprimidas para cualquier nivel;

25 - las figuras 8A a 8D inclusive representan los circuitos que controlan la generación de claves comprimidas;

30 - la figura 9 representa una estructura de bloque de índice comprimido a nivel múltiple, generada con arreglo a esta invención;

**380988**

- las figuras 10 y 11 ilustran una forma de realización del método de generación del presente invento;



5 - las figuras 12A a 12E inclusive ilustran en general la organización de entradas de un índice de claves sin comprimir (UK) al nivel más bajo (L1), y la generación, a partir de aquellas, del índice de UK para el nivel de índice inmediato superior, al propio tiempo que se genera simultáneamente el índice de claves comprimidas (CK) al nivel L1;

10 - las figuras 13A a 13E inclusive ilustran en general la organización de entradas de un índice de UK de nivel alto (L2), y la generación, a partir de aquellas, del índice de UK para el nivel de índice inmediato superior (L3), al tiempo que se generan simultáneamente bloques de CK al nivel de entrada L2;

15 - las figuras 14A a 14C inclusive dan una ilustración resumida de un sistema de calculadora que contiene la presente invención;

20 - las figuras 15 a 23 inclusive ilustran una forma de realización de un sistema de control de generación de índice a nivel múltiple; y

25 - las figuras 24A a 24E inclusive ilustran una forma de ejecución de un método específico y concreto conforme al presente invento, método que tiene unas etapas en correlación con las funciones desempeñadas por la forma de realización de medios ilustrada en las figuras 15 a 23 inclusive.

30 El resultado de la invención está representado en la figura 9 por los niveles de índice comprimido



L1 a L4 inclusive. Se usan para recuperar información del nivel de datos (L0). El índice a nivel múltiple incluye un índice de nivel bajo comprimido L1, y unos índices L2, L3 y L4 de nivel alto comprimido. Un quinto nivel ya no se comprime, y puede ser un asiento o "entrada" (introducción) en un catálogo de sistema calculador de tipo usual; la introducción comprende el nombre de la base de datos de L0, y una dirección de acceso (indicación)  $R_{4-1}$  que localiza el bloque 4-1 del índice comprimido de cima o nivel L4.

El nivel de datos L0 comprende una gran pluralidad de bloques de datos, clasificados cada uno por su clave no comprimida (UK), que incluye desde un primer bloque de información, de clave  $UK(A_1)$ , hasta un último bloque de clave  $UK(@_n)$ . La elección de la clave para cada bloque no forma parte de este invento, y puede recurrirse a la práctica usual de tomar un campo cualquiera de un bloque, que se usa para indicar o clasificar el bloque. Por ejemplo, la clave puede ser un campo del bloque que represente una partida de inventario, un número personal, un número de departamento, una reserva, un número de matrícula de automóvil, etc., mientras otras partes del bloque representan información orientada o clasificada por la clave. Los bloques del nivel de datos L0 pueden colocarse al azar, donde haya sitio en un dispositivo de memoria de acceso aleatorio, tal como, por ejemplo, un mando de disco magnético, un tambor magnético o un dispositivo de archivo en tiras. No es necesario que los bloques de los niveles L0 a L5 tengan ninguna relación posicional rígida, ni secuencial ni de otra clase. Cada uno



puede estar situado en cualquier lugar donde haya sitio disponible en el dispositivo, con tal que las direcciones de acceso de los bloques en el espacio disponible se den como entrada a esta invención. El requisito primario para una rápida recuperación es que el dispositivo pueda tener rápidamente acceso a un bloque cualquiera, cuando se le dé su dirección correspondiente.

Los bloques de la figura 9, al nivel L0, se representan por el orden de la secuencia de clasificación de sus claves no comprimidas, UK (A<sub>1</sub>) a UK (@<sub>n</sub>). Esta representación clasificada u ordenada se incluye en la organización de la estructura de índice de varios niveles del presente invento. Ahora bien, esta relación de clasificación no tiene relación alguna de posición con los lugares de los bloques de datos ni de los bloques de índice, en los dispositivos de acceso aleatorio (sean uno o más) en los que estén guardados los bloques. Una consecuencia conveniente de esta organización de índice en posiciones casuales o aleatorias es la de no ser ya necesario mudar un bloque que no haya variado, siempre que se agreguen nuevos bloques, sea donde fuere, a su secuencia de clasificación.

Es preferible, aunque no obligatorio, que el nivel más alto no tenga más que un solo bloque.

La búsqueda de cualquier bloque L0, usando esta estructura de clasificación o índice, sólo exige ese acceso de un solo bloque por cada nivel de índice a la velocidad de calculadora, sea cual fuere el número de bloques de cualquier nivel. Por tanto, en la figura 9, cualquier bloque L0 requerido puede ser directamente recupera-

380988



do como sexto acceso de bloque, después de cinco accesos de bloque de índice desde el nivel L5 hacia abajo, pasando por los niveles L4, L3, L2, L1 y L0. Ninguno de los seis accesos es afectado por el número de bloques que haya en cualquiera de estos niveles, incluido el nivel de datos L0.

El principio o comienzo de cada bloque de índice está situado en una dirección de acceso, denominada indicación R, que tiene dos subíndices numéricos. El primer subíndice representa el nivel del bloque seleccionado para acceso, y el segundo subíndice representa la posición de clasificación del bloque seleccionado para acceso, en su nivel particular. Las indicaciones  $R_{3-1}$  a  $R_{3-3}$  dentro del nivel L4 sitúan los respectivos bloques 3-1 a 3-3 inclusive en el nivel L3. De igual modo, cada una de las indicaciones  $R_{2-1}$  a  $R_{2-9}$  inclusive de L3 sitúa un bloque respectivo, de 2-1 a 2-9 inclusive, en L2. Igualmente, las respectivas indicaciones  $R_{1-1}$  a  $R_{1-27}$  inclusive de L2 sitúan los bloques correspondientes 1-1 a 1-27 dentro de L1. Finalmente, cada indicación de  $R_{A1}$  a  $R_{An}$  sitúa el bloque correspondiente en el nivel de datos L0.

En el nivel L1, cada clave comprimida lleva una indicación como apéndice o acompañante; por ejemplo, la primera CK ( $A_1$ ) lleva la indicación  $R_{A1}$  para localizar el primer bloque L0; y cada bloque del nivel Li es generado por un método de índice comprimido.

Por medio de la estructura de índice de la figura 9 se puede manipular una amplísima base de datos L0. Por consiguiente, el índice es capaz de manipular un



elevadísimo número de claves para buscar entre un número correspondiente de bloques en el nivel L0. Por ejemplo, las tablas B y C que siguen representan un índice comprimido que dará acomodo a 27.000 bloques de datos por separado dentro del nivel L0, si cada bloque L1 incluye 1.000 claves comprimidas (CK), que es un buen número en la práctica. La tabla A representa el índice sin comprimir, correspondiente al índice comprimido de las tablas B y C. En otro ejemplo, si se supone que todos y cada uno de los bloques de índice de los niveles L1 a L4 inclusive de la figura 9 tiene 35 indicaciones por bloque, los cuatro niveles de índice clasificarán hasta 1.500.625 bloques de datos al nivel L0. Por tanto, se hace posible recuperar al azar cualquiera de los 1.500.625 bloques de datos con cinco accesos de máquina 10, que puede hacerse en menos de un segundo usando siete dispositivos diferentes de acceso directo (DASD), cada uno de ellos de un tiempo medio de acceso de menos de 200 milisegundos, como los que pueden obtenerse con la tecnología actual de los dispositivos de acceso directo.

En el caso especial de que todos y cada uno de los bloques de índice tenga un número de claves C, y se use un número  $j$  de niveles de índice, el número máximo de bloques L0 acomodados es de  $C^j$ .

He aquí algunos ejemplos en los que se usan cuatro niveles de índice ( $j=4$ ):

- (1) Usando 100 indicaciones por bloque:  
1.010.101 bloques de índice en los cuatro niveles pueden alojar un máximo de 100.000.000 (cien millones) de bloques



de datos en el nivel L0.

- (2) Usando 1.000 indicaciones por bloque:  
1.001.001.001 bloques de índice en los cuatro niveles pueden alojar un máximo de 1.000.000.000.000 (un billón) de bloques de datos en el nivel L0.

5

10

15

20

25

En los ejemplos 1 y 2, se necesitan cinco accesos de bloques para ir a buscar cualquiera de los bloques de datos de L0 iniciando una búsqueda por el bloque de nivel más alto. Si en cada bloque de índice se usan CKs (claves comprimidas) en lugar de UKs (claves sin comprimir), el número de bloques de índice se reduce al utilizar bloques de la misma longitud de bytes, o bien se reduce la longitud de bytes de los bloques de índice al emplear el mismo número de bloques de índice. Así, para una compresión de 1/10, usando CKs, en el ejemplo (1) se podría: (a) reducir en una décima parte el número de bloques de índice, teniendo éstos la misma longitud de bytes, con un total de 101.011 bloques de índice, o bien (b) reducir en una décima parte la longitud de bytes para cada uno de los 1.010.101 bloques. Una compresión igual en el ejemplo (2) permitiría: (a) hacer uso de la misma longitud de bytes y reducir el número total de bloques de índice a -- 100.100.101, o bien (b) reducir en una décima parte la longitud de bytes de cada uno de los 1.001.001 bloques de índice.

30

La tabla A que sigue ilustra un "Índice sin comprimir de varios niveles", dotado de cuatro niveles de índice L1 a L4 inclusive de bloques a partir de los cuales se genera el "Índice comprimido de varios niveles" de las tablas B y C que van a continuación: **380988**

- 7 -

TABLA A

INDICE SIN COMPRIMIR DE VARIOS NIVELES



<u>L1</u>			<u>L2</u>			<u>L3</u>			<u>L4</u>		
<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>
1-1	<u>A<sub>1</sub></u>	<u>R<sub>A1</sub></u>	2-1	<u>A<sub>n</sub></u>	<u>R<sub>1-1</sub></u>	3-1	<u>C<sub>n</sub></u>	<u>R<sub>2-1</sub></u>	4-1	<u>I<sub>n</sub></u>	<u>R<sub>3-1</sub></u>
'	'		B <sub>1</sub>			D <sub>1</sub>			J <sub>1</sub>		
	<u>A<sub>n</sub></u>	<u>R<sub>An</sub></u>									
1-2	<u>B<sub>1</sub></u>	<u>R<sub>B1</sub></u>	B <sub>n</sub>	<u>R<sub>1-2</sub></u>		F <sub>n</sub>	<u>R<sub>2-2</sub></u>		R <sub>n</sub>	<u>R<sub>3-2</sub></u>	
'	'		C <sub>1</sub>			G <sub>1</sub>			S <sub>1</sub>		
	<u>B<sub>n</sub></u>	<u>R<sub>Bn</sub></u>									
1-3	<u>C<sub>1</sub></u>	<u>R<sub>C1</sub></u>	C <sub>n</sub>	<u>R<sub>1-3</sub></u>		I <sub>n</sub>	<u>R<sub>2-3</sub></u>		@ <sub>n</sub>	<u>R<sub>3-3</sub></u>	
'	'		D <sub>1</sub>			J <sub>1</sub>			FINAL		
	<u>C<sub>n</sub></u>	<u>R<sub>Cn</sub></u>	-----/-----			-----//-----			-----///-----		
									Final de		
									índice L4		
1-4	<u>D<sub>1</sub></u>	<u>R<sub>D1</sub></u>	2-2	<u>D<sub>n</sub></u>	<u>R<sub>1-4</sub></u>	3-2	<u>L<sub>n</sub></u>	<u>R<sub>2-4</sub></u>			
'	'		E <sub>1</sub>			M <sub>1</sub>					
	<u>D<sub>n</sub></u>	<u>R<sub>Dn</sub></u>									

BL = Bloques  
 UK = Clave sin comprimir  
 PTR = ídic. ("pointer")

380988

TABLA A (Cont.)



INDICE SIN COMPRIMIR DE VARIOS NIVELES

L1			L2			L3			L4		
BL.	UKs	PTRs	BL.	UKs	PTRs	BL.	UKs	PTRs	BL.	UKs	PTRs
1-5	$E_{,1}$	$R_{,E1}$	$E_n$		$R_{1-5}$	$O_n$		$R_{2-5}$			
	'	'	$F_1$			$P_1$					
	$E_n$	$R_{En}$									
1-6	$F_1$	$R_{F1}$	$F_n$		$R_{1-6}$	$R_n$		$R_{2-6}$			
	'	'				$S_1$					
	'	'	$G_1$								
	$F_n$	$R_{Fn}$									
1-7	$G_{,1}$	$R_{,G1}$	2-3	$G_n$	$R_{1-7}$	3-3	$U_n$	$R_{2-7}$			
	'	'		$H_1$			$V_1$				
	$G_n$	$R_{Gn}$									
1-8	$H_{,1}$	$R_{,H1}$	$H_n$		$R_{1-8}$	$X_n$		$R_{2-8}$			
	'	'	$I_1$			$Y_1$					
	$H_n$	$R_{Hn}$									
1-9	$I_{,1}$	$R_{,I1}$	$I_n$		$R_{1-9}$	$@_n$		$R_{2-9}$			
	'	'	$J_1$			FINAL					
	$I_n$	$R_{In}$									

380988

Final de  
índice L3

-7

TABLA A (Cont.)



INDICE SIN COMPRIMIR DE VARIOS NIVELES

<u>L1</u>			<u>L2</u>			<u>L3</u>			<u>L4</u>		
<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>
1-10	$J_1$	$R_{J1}$	2-4	$J_n$	$R_{1-10}$						
	'	'		$K_1$							
	<u><math>J_n</math></u>	<u><math>R_{Jn}</math></u>									
1-11	$K_1$	$R_{K1}$		$K_n$	$R_{1-11}$						
	'	'		$L_1$							
	<u><math>K_n</math></u>	<u><math>R_{Kn}</math></u>									
1-12	$L_1$	$R_{L1}$		$L_n$	$R_{1-12}$						
	'	'		$M_1$							
	<u><math>L_n</math></u>	<u><math>R_{Ln}</math></u>									
1-13	$M_1$	$R_{M1}$	2-5	$M_n$	$R_{1-13}$						
	'	'		$N_1$							
	<u><math>M_n</math></u>	<u><math>R_{Mn}</math></u>									
1-14	$N_1$	$R_{N1}$		$N_n$	$R_{1-14}$						
	'	'		$O_1$							
	<u><math>N_n</math></u>	<u><math>R_{Nn}</math></u>									

380988

TABLA A (Cont.)



INDICE SIN COMPRIMIR DE VARIOS NIVELES

<u>L1</u>			<u>L2</u>			<u>L3</u>			<u>L4</u>		
<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>UKs</u>	<u>PTRs</u>
1-15	$O_{,1}$	$R_{,O1}$	$O_n$		$R_{1-15}$						
	'	'			$P_1$						
	$O_n$	$R_{On}$			-----						
1-16	$P_{,1}$	$R_{,P1}$	2-6	$P_n$	$R_{1-16}$						
	'	'			$Q_1$						
	$P_n$	$R_{Pn}$									
1-17	$Q_{,1}$	$R_{,Q1}$		$Q_n$	$R_{1-17}$						
	'	'			$R_1$						
	$Q_n$	$R_{Qn}$									
1-18	$R_{,1}$	$R_{,R1}$		$R_n$	$R_{1-18}$						
	'	'			$S_1$						
	$R_n$	$R_{Rn}$			-----						
1-19	$S_{,1}$	$R_{,S1}$	2-7	$S_n$	$R_{1-19}$						
	'	'			$T_1$						
	$S_n$	$R_{Sn}$									

380988



TABLA A (Cont.)



INDICE SIN COMPRIMIR DE VARIOS NIVELES

	<u>L1</u>	<u>L2</u>	<u>L3</u>	<u>L4</u>
	<u>BL.</u> <u>UKs</u> <u>PTRs</u>	<u>BL.</u> <u>UKs</u> <u>PTRs</u>	<u>BL.</u> <u>UKs</u> <u>PTRs</u>	<u>BL.</u> <u>UKs</u> <u>PTRs</u>
1-25	$Y_1$ $R_{Y1}$	2-9 $Y_n$ $R_{1-25}$		
	' ' $Y_n$ $R_{Yn}$	$Z_1$		
1-26	$Z_1$ $R_{Z1}$	$Z_n$ $R_{1-26}$		
	' ' $Z_n$ $R_{Zn}$	@ <sub>1</sub>		
1-27	@ <sub>1</sub> $R_{@1}$	@ <sub>n</sub> $R_{1-27}$		
	' ' @ <sub>n</sub> $R_{@n}$	FINAL		
	Final de índice L1	Final de índice L2		

380988



TABLA B  
INDICE COMPRIMIDO DE VARIOS NIVELES

L1			L2		
<u>BL.</u>	<u>CKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>CKs</u>	<u>PTRs</u>
1-1	CK(A <sub>1</sub> ),       OO ,	R <sub>A1</sub>       <u>R<sub>An</sub></u>	2-1	CK(A <sub>n</sub> ), CK(B <sub>1</sub> ), CK(B <sub>n</sub> ), CK(C <sub>1</sub> ), CK(C <sub>n</sub> ), OO / ,	R <sub>1-1</sub> R <sub>1-2</sub> <u>R<sub>1-3</sub></u>
1-2	CK(B <sub>1</sub> ),     OO ,	R <sub>B1</sub>     <u>R<sub>Bn</sub></u>		   	
1-3	CK(C <sub>1</sub> ),     OO , /	R <sub>C1</sub>     <u>R<sub>Cn</sub></u>		               <u>  /</u>	

BL = Bloque  
CK = Clave comprimida  
PTR = Indic. ("pointer")

380988

TABLA B (Cont.)



INDICE COMPRIMIDO DE VARIOS NIVELES

L1			L2		
<u>BL.</u>	<u>CKs</u>	<u>PTRs</u>	<u>BL.</u>	<u>CKs</u>	<u>PTRs</u>
1-25	CK(Y <sub>1</sub> ),       OO ,	R <sub>Y1</sub>       R <sub>Yn</sub>	2-9	CK(Y <sub>n</sub> ), CK(Z <sub>1</sub> ), CK(Z <sub>n</sub> ), CK(@ <sub>1</sub> ), CK(@ <sub>n</sub> ), OO /	R <sub>1-25</sub> R <sub>1-26</sub> R <sub>1-27</sub>
1-26	CK(Z <sub>1</sub> ),     OO ,	R <sub>Z1</sub>     R <sub>Zn</sub>			
1-27	CK(@ <sub>1</sub> ), OO ,	R <sub>@1</sub> R <sub>@n</sub>			

380988





La tabla A, en la columna L1, ilustra los bloques de claves sin comprimir (UKs) del nivel de índice más bajo L1, obtenidos de los campos de claves de los bloques de información del nivel de datos L0. Los bloques de información del nivel L0 no tienen por qué estar situados o colocados por ningún orden en particular, y se supone que tienen colocaciones aleatorias. Las claves se toman de un campo cualquiera de los bloques de información de L0 requeridos para clasificación. Después de obtenidas las claves de los bloques de L0, se clasifican o distribuyen y se bloquean para generar la secuencia de bloques de UK de L1, tal como en la columna L1, por medios de programación o de equipo físico ya conocidos en la técnica del ramo y que no forman parte de esta invención. Por tanto, las UKs y sus bloques están en secuencia de clasificación en la columna L1, y se guardan o almacenan de forma que puedan servir de entrada al modo de generar de esta invención.

Por ejemplo, pueden guardarse en un dispositivo de cinta de entrada/salida (I/O) de manera secuencial, tal como los veintisiete bloques secuenciales 1-1 a 1-27 unclusive de la tabla A, columna L1. Estos bloques de UK son a su vez usados por esta invención para generar los bloques de claves sin comprimir 2-1 a 2-9 inclusive, indicados en la columna L2 de la tabla A. Los bloques de UK de la columna L2 se usan luego para generar los bloques de UK de la columna L3, y así sucesivamente hasta generarse el nivel más alto L4, que comprende un solo bloque de UK.

Por consiguiente, cada nivel actual (de un



momento dado) de bloques de UK se usa para generar el nivel siguiente de bloques de UK. Es más, mientras se genera el nivel de bloques de UK inmediato superior, la forma de realización aquí detallada comprime también las claves del nivel de UK actual en un momento dado.

La longitud de los bloques de UK de un nivel cualquiera viene determinada por el tamaño necesario para los bloques de ese nivel. El límite o lindero al final de cada bloque, en la columna L1 de la tabla A, está representado por líneas de trazo interrumpido (-----), y algunas de estas líneas de trazo interrumpido tienen uno o más trazos sesgados que las cortan (/) para representar la significación del lindero de niveles superiores. Todos los linderos de bloque de nivel L2, en la tabla A, están identificados por el símbolo ---/---; todos los linderos de bloque de L3, por el símbolo ---//---; y todos los linderos de bloque de L4 por el símbolo ---///---. El uso de estos linderos de nivel superior como linderos de L1 indica su nivel de significación.

Las UKs de lados opuestos de cada lindero de final son significativas en la generación de las claves comprimidas de niveles superiores; son denominadas "UKs de lindero". Por tanto, cada lindero de final de bloque está representado por un par de "claves sin comprimir (UKs) de lindero".

La secuencia de UKs de segundo nivel (L2) representada en la columna L2 de la tabla A comprende todas las "UKs de lindero" de la secuencia de bloques de L1.

La secuencia de UKs de tercer nivel (L3)



representada en la columna L3 de la tabla A comprende el último par de UKs de cada bloque de UK de la secuencia de nivel L2. El último nivel (L4) del ejemplo de la tabla A comprende la última pareja de UKs de cada bloque de UK de la secuencia de nivel L3.

5

Ciertas "UKs de lindero" de L1 son el último par de UKs del final de cada bloque, en uno de cada varios de los niveles superiores. Así, en el nivel L1, un lindero de cada tres identifica un par de "UKs de lindero" usado para finalizar cada bloque del nivel L2; un lindero de cada nueve de L1 define las "UKs de lindero" usadas para dar fin a cada bloque del nivel L3; y el último lindero (el 27º) de L1 define las UKs de lindero usadas para finalizar el bloque de más alto nivel del nivel L4. Así, las "UKs de lindero" en que termina el bloque de nivel alto dan fin también al último bloque para todos y cada uno de los "niveles altos" inferiores (por encima del L1), y representan asimismo las últimas "UKs de lindero" del nivel bajo L1.

10

15

20

El número de UKs de cada nivel alto (L2 y superiores) se supone de seis en el ejemplo de la tabla A. Cada par de UKs de niveles altos y una indicación genera dos CKs correspondientes, con la misma indicación hallada en las tablas B y C.

25

En la práctica, en cada bloque puede preverse gran número de indicaciones, cada una con un par de claves comprimidas (CKs). El tamaño del bloque viene determinado en la práctica por el usuario de la invención, y dependerá del tipo de memoria o almacenaje de que se disponga para el índice de varios niveles, y de la velo-

30



cidad de búsqueda necesaria.

El tamaño de un bloque comprimido viene directamente relacionado con la velocidad de búsqueda, puesto que un solo bloque cualquiera se investiga secuencialmente desde su principio. Por tanto, cuanto más corto sea el bloque, menor será el tiempo que se tarde en recorrerlo. Rara vez se necesita buscar hasta el final en un bloque dado cualquiera, ya que la búsqueda termina en cuanto el argumento de búsqueda llega a un nivel bajo respecto a cualquier clave comprimida del bloque. Una buena regla empírica para determinar el tiempo medio de búsqueda por bloque es la de considerar el tiempo necesario para explorar la mitad de un bloque.

El número de bloques secuencialmente explorados por un argumento de búsqueda es generalmente igual al número de niveles del índice de varios niveles. Así, la velocidad de búsqueda es independiente del número de bloques que haya en un nivel dado cualquiera. Otros factores para determinar el tamaño práctico de los bloques de varios niveles son los de rendimiento de utilización del espacio de almacenaje en los dispositivos particulares de I/O en que puedan guardarse los bloques, y el del tiempo de acceso de aquellos a éstos.

Aún cuando se indican bloques de igual tamaño para todos los niveles altos de la tabla A, es éste un caso especial. El tamaño de bloque, en número de claves comprimidas por bloque, puede estar representado por  $C_1, C_2 \dots C_j$  a los respectivos niveles 1, 2, ...  $j$ , siendo  $j$  el nivel más alto.  $C/2$  representa el número de indicaciones de un bloque de índice de nivel alto, llamándose



nivel alto al nivel 2 o superior.  $C/2$  es también el número de bloques de nivel inmediato inferior clasificados por este mismo bloque.  $C_1$  representa el número de indicaciones de un bloque de L1.

5  $K_1, K_2 \dots K_j$  representa el número de bloques de los niveles respectivamente indicados por el subíndice. El número  $K$  de bloques decrece exponencialmente al aumentar el número de los niveles. Por tanto, el número total de bloques de un índice es  $K_1 + K_2 + \dots + K_j$ .  
 10 Este juego de números disminuye de  $K_1$  a  $K_j$ . En el nivel más bajo L1 se usa solo una CK por cada indicación, y  $K_0 = K_1 \cdot C_1$ .

En el caso especial en que el número de indicaciones ( $R$ ) por bloque sea igual para todos los niveles de índice, y  $K_j = 1$ , resulta  $R = K_0/K_1 = K_1/K_2 = \dots = K_{j-1}$ . Este caso especial es el representado en la tabla A. El número total de bloques de datos de IO manejados por este caso especial es de  $R^j$ .

Las tabla B y C muestran los cuatro niveles del "Índice comprimido de varios niveles" que se deriva del "Índice sin comprimir de varios niveles" de la tabla A. Las tablas B y C tienen el mismo número de bloques que la tabla A, pero cada bloque de las tablas B y C es mucho más pequeño, a causa de la singular compresión del índice. Por consiguiente, existe una relación de uno por uno entre los respectivos bloques de los índices comprimido y sin comprimir.

La figura 14A ofrece un resumen del ambiente para una forma de realización de invento, cuyas etapas son ejecutadas en gran parte mediante unos controles de



índice 516. Incluye un canal y/o un ordenador central o CPU 511 que conecta una memoria 510, por medio de unas líneas de transmisión y control 511A, a unos controles 512 de enlace y a unos controles 530 de I/O (entrada/salida). Los controles 530 de I/O tienen conexión con una pluralidad de dispositivos de entrada/salida (I/O) 530a, 530b y 530c. El dispositivo de entrada I/O 530a puede ser una unidad de cinta que tiene la secuencia de UK de entrada representada por la columna L1 en la tabla A. El dispositivo de salida I/O 530c recibe el índice comprimido de varios niveles generado. El dispositivo intermedio de I/O 530b, así como el I/O 530a, se usan para un almacenaje interino durante el funcionamiento de la invención; y ambos pueden ser unas unidades de cinta, ya que cada uno se utilizará trabajando en serie. El dispositivo de salida 530c tiene de preferencia una capacidad o aptitud de rápido acceso aleatorio por bloques, y puede consistir en uno o más discos magnéticos, tambores magnéticos o archivos a base de tiras magnéticas.

Las figuras 10 y 11 ilustran en general el método de generación de varios niveles usado en esta invención.

Las figuras 12A a 12E inclusive ayudan a explicar el método de la figura 10; y las figuras 13A a 13E inclusive contribuyen a la explicación del método de la figura 11.

Antes de la iniciación del método de la figura 10, se necesita que el dispositivo de I/O 530a contenga la secuencia de L1 de bloques de UK (claves sin comprimir) que se derivaron por medios exteriores a esta



100-3-73

invención, como antes se ha explicado. Antes de empezar se necesita también cargar la memoria 510 con las tablas de control de niveles indicadas en la figura 14B, las tablas de indicaciones de la figura 14C y una tabla de órdenes que tiene unas órdenes descodificables por medio del descodificador de órdenes 513 de la figura 14A.

Por consiguiente, en la figura 10 el método empieza por la etapa de señal de iniciación 410, que puede generarse pulsando a mano un botón o pulsador en la CPU 511; pero de preferencia se genera mediante la ejecución de una instrucción, como se hace comúnmente al iniciar una operación de calculadora.

Las etapas 411, 412 y 413 responden a la etapa 410. La etapa 411 da acceso a la tabla de indicaciones de L1, ilustrada en las figuras 12E y 14C. La etapa 412 da acceso a la secuencia primitiva de índice sin comprimir de L1 en el dispositivo de I/O 530a, por ejemplo, llevando la cinta al archivo adecuado, o colocando la cabeza de un disco en la pista apropiada, etc. A continuación en la etapa 413 se tiene acceso al primer bloque no comprimido  $BL_{1-1}$  de la secuencia de L1, como se muestra en la figura 12A y en la tabla A.

En la etapa 414 se toma luego por lectura el bloque seleccionado 1-1 de la figura 12A, llevándolo a la memoria baja 10 de la figura 12A por los caminos 457-A1 a 457-An de las figuras 12A y 12B. Esta transferencia lleva todas las claves no comprimidas de L-1  $A_1 \dots A_n$  y sus respectivas indicaciones  $R_{A_1} \dots R_{A_n}$  del bloque 1-1 a las posiciones correspondientes de la memoria baja 20.

380988



Al leerse la última clave no comprimida  $A_n$ ,  
 la etapa 414 transfiere asimismo (sin la indicación  $R_{An}$ )  
 por el camino 464 de las figuras 12A a 12D, la clave  $A_n$   
 como único componente del primer bloque 1-1, llevándola  
 5 a un lugar de almacenaje o memoria de nivel alto 550. La  
 figura 12D representa la clave  $A_n$ , como primera clave sin  
 comprimir del bloque L2, generada en la memoria alta. Por  
 tanto, la indicación o "pointer"  $R_{An}$  se traslada solamen-  
 te al índice de L1 de la memoria baja 10. A continuación  
 10 se ejecuta la etapa 416, que traslada la indicación si-  
 guiente procedente de la tabla de indicaciones de L1 con-  
 tenida en la memoria 510 de la figura 12E. Inicialmente,  
 la indicación inmediata es la primera  $R_{1-1}$ , que se tras-  
 lada por el camino 467 de las figuras 12E y 12D a la me-  
 15 moria alta 550, en el lugar asociado a la clave sin com-  
 primir  $A_n$ .

Sigue la etapa 417, para asegurar el deslin-  
 de o la demarcación de un lindero de bloque de final en  
 la memoria baja 10, mediante la introducción de una indi-  
 20 cación de final inmediatamente a continuación del final  
 del bloque. Esta indicación de final puede consistir en  
 ceros, espacios todos en blanco, o en un carácter espe-  
 cial que se reconoce como indicación de final.

Responde la etapa 418 generando un bloque  
 25 de claves comprimidas a partir del bloque sin comprimir  
 de la memoria baja 10. Esto puede hacerse mediante el mé-  
 todo de compresión de bloques descrito en una u otra de  
 las solicitudes de patente americanas números 788.307 o  
 788.876. A los fines de una forma de realización especí-  
 30 fica, el método de compresión de la solicitud americana



788.876 es el representado aquí por las figuras 6 a 8D. En este último caso, el bloque comprimido se pone encima del bloque sin comprimir en la memoria baja 10. En la etapa 419 se transfiere entonces o traslada el bloque comprimido de la memoria baja 10 al dispositivo de I/O 530c de salida, en el lugar que le designe la última indicación R<sub>1-1</sub> transferida desde la tabla de indicaciones de L1 a la memoria alta 550.

La etapa 421 señala luego si con el último bloque tomado por la lectura de la secuencia de entrada terminó o no el índice de L1. Si no era el último bloque, se introduce la etapa 422, y si realmente era el último bloque del índice L1 se introduce la etapa 441.

Cuando se introduce la etapa 422, es que existen otros bloques adicionales en el índice L1 y, por consiguiente, se obtiene acceso al bloque siguiente en el dispositivo de I/O 530a de entrada.

Al mismo tiempo que la etapa 422 puede ejecutarse la etapa 423, que indica si el bloque que se está generando en la memoria alta 550 está lleno. Si el bloque de la memoria alta está lleno, se introduce la etapa 431, y si no lo está se introduce la etapa 424.

Al no estar lleno o completo el bloque de la memoria alta, la etapa 424 toma las UKs y las indicaciones del bloque 1-2 de entrada de L1 al que se ha tenido acceso mediante la etapa 422, llevándolas a la memoria baja 10 por los caminos 457-A1 a 457-An, de las figuras 12A y 12B. La primera clave no comprimida B<sub>1</sub> del bloque 1-2 es asimismo transferida, por el camino 465 de las figuras 12A a 12D inclusive, sin su indicación R<sub>B1</sub>, a la



memoria alta 550, como segunda clave sin comprimir de la misma. Al finalizar la lectura del bloque 1-2, la última clave no comprimida  $B_n$  es asimismo transferida, sin su indicación  $R_{B_n}$  y por el camino 466 de las figuras 12A a 12D, a la memoria alta 550.

Tras la ejecución de la etapa 424, el método pasa de nuevo a la etapa 416 que, por el camino 468 de las figuras 12E y 12D, transfiere la siguiente indicación  $R_{1-2}$  de la tabla de indicaciones de L1 (figura 18E) a la memoria alta 550 indicada en la figura 12D. De la manera antes explicada, la etapa 417 deslinda el final del bloque en la memoria baja 10, en preparación de su operación de compresión, que es ejecutada por la etapa 418, después de lo cual la etapa 419 traslada la forma comprimida del bloque 1-2 desde la memoria baja 10 al dispositivo 530C de I/O, a un lugar de éste designado por la última indicación  $R_{1-2}$  recibida de la tabla de indicaciones de L1.

El método recorre cíclicamente las etapas 421-424 volviendo a la 416, etc., hasta que en la etapa 421 se percibe el final del índice de L1 de entrada, o bien en la etapa 423 se detecta que el bloque contenido en la memoria alta 550 está completo (excepto en una UK más). Si es primero en la etapa 423 donde se percibe que el bloque de la memoria alta está completo, se entra en la etapa 431. La indicación de plenitud en la memoria alta dada por la etapa 423 viene al suministrarse la penúltima UK a la memoria alta 550, de manera que todavía queda sitio para la última clave sin comprimir (UL) del bloque de la memoria alta, que ha de llegar en la etapa 431. Por consiguiente, en la etapa 431 se toma por lec-



tura el bloque de entrada de L1 al que se ha tenido acceso a continuación, dándose salida tan sólo a su primera UK hasta la memoria alta 550; de esa lectura no se lleva nada a la memoria baja 10. Por tanto, esta primera UK del  
 5 bloque de entrada es la última UK del bloque que actualmente (en ese momento) se halla en la memoria alta. El primer bloque de la memoria alta 550 es el 2-1, de la secuencia de bloques de UKs de L2.

A continuación, en la etapa 432 se transfiere el bloque de claves sin comprimir 2-1 desde la memoria alta 550 al dispositivo intermedio 530b de I/O, del cual se toma por acceso más tarde, para su tratamiento final. Este bloque 2-1 del dispositivo intermedio de almacenaje  
 10 530b está representado en la tabla A, columna L2. Los bloques intermedios se inscriben secuencialmente en el dispositivo intermedio 530b de I/O por el orden en que son generados. Más tarde, al terminarse la frecuencia de bloques de UKs de L2, se tendrá acceso a la misma por el mismo orden en que fué generada. Por lo tanto, el dispositivo  
 15 530b de I/O puede ser también, adecuadamente, un mando de cinta magnética, o bien un dispositivo de disco o de tambor, usado para trabajar en serie.

La etapa 433 puede ejecutarse al mismo tiempo que la etapa 432 cuando se usen dispositivos de I/O diferentes. En la etapa 433 se vuelve a tener acceso al último bloque de UKs leído o tomado del dispositivo 530a de entrada por la etapa 431. A continuación se vuelve a entrar en la etapa 414, y el bloque al que se ha tenido acceso otra vez se lleva a la memoria baja, en tanto que  
 25 sólo se lleva a la memoria alta su última UK, como prime-



ra clave no comprimida del siguiente bloque que se está  
generando en la memoria alta 550. En la etapa 416 se trans-  
fiere entonces la siguiente indicación  $R_{1-x}$  tomada de la  
tabla de indicaciones de L1, llevándola por el camino 469  
5 hasta ponerla a continuación de la primera UK en la memo-  
ria alta 550.

La razón de la nueva toma o lectura del blo-  
que de L1 que da la última UK para un bloque de L2 de la  
memoria alta 550 es la de que su primera clave UK (tal co-  
mo en  $D_1$ ) termina en un bloque de L2, en tanto que su úl-  
tima UK (por ejemplo, la  $D_n$ ) es la primera UK del siguien-  
te bloque de L2, que no puede ser llevado a la memoria  
alta hasta después de guardado su bloque completo en el  
dispositivo intermedio 530c de I/O.

Hay soluciones alternativas que evitan esta  
repetición de lectura, y son, por ejemplo: (1) la de ha-  
bilitar una memoria alta de doble tamaño, que no superpon-  
ga bloques generados secuencialmente; o (2) tomar la úl-  
tima UK del mismo bloque que viene de la memoria baja y  
20 llevarla al principio de la memoria alta, después de dada  
salida a esta última.

El método continúa de la manera anteriormen-  
te explicada, hasta que en la etapa 421 se percibe el fi-  
nal del índice de L1, en el dispositivo 530a de I/O. Se  
entra entonces en la etapa 441, que hace que el bloque no  
comprimido, presente en ese momento en la memoria alta  
550, se traslade en forma de último bloque sin comprimir  
de L2 al dispositivo intermedio 530b de I/O. Con esto se  
da fin a la secuencia de L2 representada en la tabla A,  
30 columna L2. La etapa 442 guarda entonces una indicación

de final de archivo, al terminar la secuencia de bloques de L2 en el dispositivo intermedio 530b de I/O.



5 A continuación, la etapa C1 hace pasar el método incondicionalmente a la etapa 444 ilustrada en la figura 11. Durante la explicación de la figura 11 se hace referencia a las figuras 13A-E. En la etapa 444 (figura 11) se tiene acceso a la tabla de indicaciones prefijada para el nivel inmediato superior, la cual es ahora la tabla de indicaciones de L2 representada en la figura 13E.

10 Al mismo tiempo, por medio de la etapa 446 se tiene acceso al principio del último archivo L2 generado, en el dispositivo intermedio 530b de I/O. A continuación, en la etapa 447 se tiene acceso al primer bloque de UK del archivo de L2. Se cambian entonces los papeles de los dispositivos 530a y 530b de I/O: el intermedio 530b hace ahora la entrada de bloques en la memoria baja 10, en tanto que el dispositivo 530a de I/O recibe la secuencia de bloques de UKs inmediata intermedia que viene de la memoria alta 550.

15

20 Se entra a continuación en la etapa 448, cuyo objeto es adaptar la operación de compresión a nivel de índice alto al método explicado en la solicitud de patente americana 798.876. Se genera así un nuevo formato para el bloque de índice comprimido de nivel alto. La etapa 448 simula una UK artificial o ficticia, como primera UK de la memoria baja 10. La UK artificial se compone de los caracteres más bajos de la secuencia de confrontación que se esté usando. Puede ser, por ejemplo, de caracteres en blanco, o de ceros, en su totalidad, según el caso.

25

30 Puede venir de las tablas de control de niveles de la me-



moria 510, y ser trasladada a la primera posición de UK  
de la memoria baja 10.

5 A continuación, en la etapa 449, se toma el  
bloque de L2 (al que se ha tenido acceso en la etapa 447),  
representado en la figura 13A como  $BL_{2-1}$ . El bloque 2-1  
es leído y llevado, con todas sus UKs e indicaciones, a  
la memoria baja 10 detrás o a continuación de la UK arti-  
ficial. Ahora bien, a la memoria alta 550 sólo se lleva  
su último par de UKs ( $C_n$  y  $D_1$ ), por los caminos 475 y 476  
10 de las figuras 13A a 13D, como primeras dos UKs del blo-  
que que se está generando en ella. Por tanto, no se lle-  
van indicaciones del dispositivo intermedio de I/O a la  
memoria alta. Por el contrario, en la etapa 451 se tras-  
lada la indicación siguiente (en este caso la primera  
15  $R_{2-1}$ ), procedente de la tabla de indicaciones actual en  
un momento dado (que es entonces la tabla de indicaciones  
de L2) a la memoria alta 550, en asociación con el primer  
par de UKs ( $C_n$  y  $D_1$ ). La etapa 452 opera completando la  
colocación del bloque en formato en la memoria baja 10,  
20 en preparación de su compresión, sustituyendo la última  
UK ( $D_1$ ) por una indicación de final o algún otro carácter  
identificativo que se reconoce como final del bloque en  
la memoria baja 10. El bloque de la memoria baja 10 se  
halla entonces en la condición de formato, dispuesto para  
25 la compresión.

La etapa 453 comprime luego el bloque en la  
memoria baja 10.

En la etapa 454, se traslada el bloque de  
CKs de la memoria baja 10 a un lugar situado en el dispo-  
30 sitivo de salida 530c de I/O designado por la última indi-

cación  $R_{2-1}$  transferida desde la tabla de indicaciones de L2 (figura 13E).



5 A continuación, en la etapa 456 se ejecuta una función de cambio o conmutación que depende de que el último bloque tomado de la unidad intermedia de I/O en la etapa 449 sea o no el último bloque de la secuencia de L2 a la que se da entrada desde el dispositivo intermedio 530b de I/O. Si no se está en el final de la secuencia de L2, se entra en la etapa 461; o bien se entra en la etapa 471 si se está en el final de la secuencia de L2. Como este punto no es el final de la secuencia de L2, se entra en la etapa 461, que es otra operación de conmutación dependiente de que el bloque de UKs de la memoria alta 550 esté lleno o no. Si no está lleno, se entra en la etapa 15 462; pero si lo está, se entra en la etapa 472.

Como en este momento el bloque de la memoria alta no está completo, por la etapa 462 se tiene acceso al siguiente bloque de UKs de la secuencia de L2, en el dispositivo intermedio 530b de I/O. El método cambia entonces retrocediendo a la etapa 448, para repetir las 20 operaciones para el siguiente bloque al que se ha dado entrada, cuyo último par de UKs ( $F_n$  y  $G_1$ ) se toman de este bloque de entrada y se llevan a la memoria alta 550, mientras en la etapa 449 se traslada la siguiente indicación 25  $R_{2-2}$  desde la tabla de indicaciones de L2 a la memoria alta 550, en asociación con el último par de UKs o claves no comprimidas,  $F_n$  y  $G_1$ .

El método funciona cíclicamente de esta manera hasta que en la etapa 461 se detecta que el bloque 30 de UKs de L3 generado en la memoria alta 550 está lleno o



completo. Se entra entonces en la etapa 472, en la que el  
bloque de UKs de L3 se traslada desde la memoria alta 550  
al dispositivo intermedio 530a de I/o, convirtiéndose en  
la secuencia de bloque de UKs de L3, que es el nivel in-  
mediato superior. Como el almacenaje intermedio de bloques  
5 en la secuencia L3 está intercalado con la toma o lectura  
de bloques de la secuencia intermedia L2, es preferible  
(aunque no esencial) utilizar distintos dispositivos in-  
termedios de I/O (estoes, unidades de cinta 530a y b),  
10 aún cuando también podrían usarse con eficacia diferentes  
extensiones dentro del mismo cilindro a un disco o tam-  
bor.

En la etapa 462 se entra para tener acceso  
al bloque de entrada siguiente del dispositivo 530b de  
15 I/O, y en la etapa C<sub>1</sub> se cambia luego retrocediendo a la  
etapa 448 para repetir cíclicamente.

Finalmente, en la etapa 456 se detecta el  
último bloque de la secuencia de entrada intermedia de L2,  
en el dispositivo de I/O 530b, lo que produce el cambio  
o conmutación a la etapa 471.  
20

En la etapa 471 se puede finalizar la cons-  
trucción del índice de varios niveles, siempre que el ni-  
vel más alto comprenda sólo un único bloque comprimido  
(de cima) en la memoria baja 10 al percibirse el final  
25 de la secuencia de entrada de memoria baja. Esto puede  
hacerse de cierto número de maneras: por ejemplo, detec-  
tando si en la memoria alta 550 hay una sola indicación  
o si hay sólo un único par de UKs, al percibirse el final  
de la secuencia de entrada. Así, en la etapa 471 se detec-  
30 ta cuándo el número de UKs contenidas en la memoria alta



es igual a Q. Si Q se ajusta al valor de 2, el único bloque del nivel alto contenido en la memoria baja 10 es el de cima del índice. Si se ajusta a 4 o a un número par más alto, es que en el nivel comprimido más alto existe una pluralidad de bloques. En general, en el nivel de cima se requiere que haya un solo bloque comprimido. Cuando en la etapa 471 se indica la igualdad con Q, el cambio a la etapa 481 almacena la indicación o indicaciones de la memoria alta 550 en un lugar cualquiera prefijado que comprenda la indicación de nivel más alto, lo que, por ejemplo, puede dar el índice de nivel 5 de la figura 9, que puede ir colocado en un catálogo para acceso al índice comprimido de varios niveles. A continuación, se entra en la etapa 482a, para dar fin a la operación.

El ajuste prefijado de un conmutador 474 coopera con la etapa 471 determinando las condiciones de cima para un índice cualquiera de varios niveles que se esté generando. El punto de ajuste del conmutador 474 determina si el número de niveles del índice puede o no exceder de un número dado U de niveles. Si se pone o ajusta en el contacto de conmutador 474b, la generación del índice termina cuando el bloque comprimido de más alto nivel está en el nivel U, a menos que la generación finalice antes por percibirse en la etapa 471 su condición de final. Cuando el conmutador 474 está puesto en el contacto 474b, se entra en la etapa 483. En esta etapa 483 se comprueba si el número del nivel actual (en ese momento) es igual a U. Si no lo es, sale por C1. Si es igual a U, la etapa 483 sale por la etapa de finalización 483b. Aunque no esté representado en la figura 11, es conveniente que



al salir de la etapa 483 a la 483b se ejecute una etapa idéntica a la etapa 481, para guardar las indicaciones en la memoria alta 550 a fin de catalogar el índice comprimido. Por otra parte, si el conmutador está puesto en el contacto 474a, el número de niveles de índice continúa aumentando hasta alcanzarse un nivel que satisfaga las condiciones de cima de la etapa 471.

En la etapa 472 se entra siempre que las condiciones de la etapa 471 no se satisfagan. La etapa 472 tiene por efecto trasladar el último bloque de la memoria alta 550 al dispositivo intermedio 530a de I/O como último bloque de la secuencia de nivel superior. Se entra luego en la etapa 473 para señalar el final de archivo para esta secuencia intermedia de UKs en el dispositivo 530a de I/O.

Se produce entonces un cambio de retroceso por la etapa C1, para comenzar la construcción de cada nivel inmediato superior del índice, hasta que existe un solo bloque cuando el conmutador 474 esté en la posición de contacto con 474a, o bien hasta que no se sobrepase un número particular U de niveles altos prefijados, cuando el conmutador está puesto en el contacto 474b.

La explicación que sigue versa sobre los circuitos del modo de generar, de las figuras 15 a 23, en relación con las etapas del método ilustrado en las figuras 24A a 24E, que es un casoparticular del método general ilustrado en las figuras 10 y 11. Los números de la serie 500 (centena del 5) hacen referencia a las figuras 14 a 23 inclusive, y los de la serie 700 (centena del 7) hacen referencia a las figuras 24A a 24E inclusive.



En las figuras 14A, una barra colectora 511A  
 traslada las órdenes y los datos seleccionados de la memo-  
 ria 510 a los controles de enlace 512 que distribuyen las  
 órdenes recibidas a un descodificador de órdenes 513. Los  
 5 controles de enlace 512, en las figuras 15, tienen unas  
 líneas de salida 511B, 512A a 512D inclusive, de las cua-  
 les la línea de salida de barra 511B transfiere los datos  
 que se han ido a buscar a la memoria 510. La línea 512A  
 de selección de I/O transmite señales para seleccionar uno  
 10 de los dispositivos de I/O 530a, 530b o 530c de la figura  
 17. Una línea 512B de parada de CPU da al control de I/O  
 una señal que viene de la CPU, para finalizar la operación  
 al completarse una transferencia de CPU. La línea 512D in-  
 dica que la CPU ha aceptado las señales de estado que vie-  
 15 nen de los controles de enlace 512.

El descodificador de órdenes 513 descodifica  
 cada orden recibida de la CPU. Cada línea de salida 513A  
 a 513K inclusive señala la descodificación de una orden  
 diferente, representada por el rótulo de la línea corres-  
 20 pondiente, y la línea permanece activa hasta que se com-  
 pleta o termina la ejecución de su orden. Asimismo se pre-  
 vé una pluralidad de líneas de control de entrada (parte  
 inferior de la figura 15), dentro de los controles de ín-  
 dice 516, que va a los controles de enlace 512. Estas lí-  
 25 neas de control de entrada se incluyen con su significado,  
 individualmente o en combinación, en la leyenda siguien-  
 te:

30

**380988**



LINEA DE CONTROLES DE ENLACE

SIGNIFICADO DE LA SEÑAL

- 1.- C.E. y D.E. Señal de final de cualquier bloque
- 2.- Excepción de unidad (U.E.) Señal de final de archivo
- 3.- Atención (ATTN) El bloque en memoria alta 550 está completo, con bloque de nivel alto en memoria baja 10
- 4.- U.E. y ATTN El bloque de nivel de cima está en la memoria baja 10
- 5.- Modificador de estado (S.M.) El bloque de memoria alta está completo, con bloque de nivel bajo en memoria baja 10

Un impulso aplicado en la línea de C.E. y D.E. es transmitido por los controles de enlace 512 a la CPU, que entonces va a buscar la orden siguiente de la tabla de órdenes en la memoria 510, y produce su transmisión por la barra colectora 511A y los controles 512 al descodificador 513, para iniciar la etapa siguiente mediante los controles de índice 516 o los controles 530 de I/O.

Un impulso aplicado en la línea de S.M. a los controles de enlace 512 da lugar a que se vaya a buscar y se ejecute una orden concreta y específica (leer y guardar primera UK).

Toda operación de generación de índice en las figuras 14 a 23 inclusive comienza con una etapa de



5 iniciación 710 en la figura 24A, que inicia el método de  
generación de índice después de cargada la memoria 510  
con las tablas de órdenes, las tablas de controles de ni-  
vel y las tablas de indicaciones indicadas en las figuras  
10 14A, 14B y 14C. De la etapa inicial 710 resulta la etapa  
711, de acceso a la secuencia de nivel bajo (L1) de los  
bloques de UKs en el dispositivo 530a de I/O, que es la  
secuencia inicial de entrada de datos no comprimidos, pa-  
ra la iniciación de la operación por medio del presente  
invento.

La línea 512A señala la selección inicial  
del dispositivo 530a de I/O de entrada y el acceso al pri-  
mer bloque de L1 que hay en el mismo.

15 La etapa 712 es promovida también por la  
etapa inicial 710, y puede operar concurrentemente con  
la etapa 711 emitiendo una orden inicial de inscribir,  
como primera de una pluralidad de órdenes contenidas en  
la tabla de órdenes de la memoria 510. Como cualquier  
otra orden, la inicial de inscribir es transmitida al des-  
20 codificador 513, que descodifica la singular y única com-  
binación de bitios que compone la orden, activando la  
correspondiente y singular línea de salida 513A de la fi-  
gura 15.

25 Las etapas 713, 714 y 716 responden a la  
orden inicial de inscribir. En la etapa 713 se reponen  
los contadores de acceso a memoria baja y alta, mediante  
la línea activada 513A que pone en acción el circuito  
monoestable 521 de la figura 16, el cual da como salida  
un impulso que repone el contador 11a de acceso a la me-  
30 moria baja (figura 16) y repone el contador 550a de acce-



so a la memoria alta (figura 19), por medio del conductor 521A. En la etapa 714 se activa el primer circuito disparador o de báscula 526a de bloques (figura 16) en respuesta a la salida proveniente del monoestable 521.

5                   En la etapa 716 se transfieren los tres -  
primeros artículos o partidas de la tabla de control de nivel L1 de la figura 14B, por la línea de salida de barra 511B, al registro de desplazamiento 525 de la figura 16, por medio de una puerta electrónica 522. Estas señales se transfieren también simultáneamente, por medio de un circuito disyuntivo 523a, a un circuito de puerta 11b de caracteres y al registro 12 de datos de bytes, desde el cual se colocan en las posiciones de bytes iniciales de la memoria de compresión 10 de nivel bajo, al tener acceso a ésta el contador 11a de direcciones de acceso a la memoria baja. El contador 11a se incrementa, pasando a la dirección de acceso siguiente, a medida que es recibido cada byte por el circuito de puerta 11b de caracteres. Cada byte recibido por la puerta de caracteres 11b tiene por lo menos un único bitio (debido a la paridad de impar o a la selección de código), que genera una señal de cada byte incrementando el contador 11a hasta ponerlo a la dirección de acceso del byte siguiente, para la memoria 10. Por consiguiente, la puerta de caracteres 11b obtiene el sincronismo en la generación de direcciones de acceso para la transferencia de bytes a la memoria 10. Un circuito de coincidencia 523b permite que se transfieran sólo los tres primeros bytes MUKL, LVL y RL a los registros de desplazamiento 525, ya que el circuito de coincidencia 523b se activa tan solo durante el recuento de

380988



direcciones de 0 a 2 inclusive. Cuando la entrada al registro 525 se bloquea tras el cómputo de 2, el byte RES continúa transfiriéndose por el circuito disyuntivo 523a hasta la memoria 10, desde la memoria 510, por haberse

5 ajustado o incluido previamente un recuento de transferencia de bytes en la orden, a fin de producir la transferencia de los cuatro primeros bytes de la columna L1 de la tabla de controles de nivel de la figura 14B. Al completarse la transferencia de la orden inicial de ins-

10 cribir de la CPU, la CPU emite una señal de parada que activa la línea de salida de enlace 521B a una puerta de coincidencia 515a (figura 15), que recibe también la señal de orden inicial de inscribir por la línea 513A, haciendo que el circuito disyuntivo 515c señale la situación

15 C.E. y D.E. en la línea 515A, que ejecuta la etapa 722. Durante el funcionamiento a nivel alto, se envían a la memoria baja 10 una primera UK (ficticia) de 0 y una primera indicación R (ficticia) de 0. La señal de C.E. y D.E. va a la CPU y hace que se pase a la etapa siguiente

20 731, que es la de emisión de una orden de inscribir longitud de bloque de memoria alta. A continuación, en la etapa 732, se transfieren los bytes de longitud de bloque desde la tabla de controles de nivel L1 (figura 14A) al registro 528 de la figura 16, por medio de la puerta

25 524 y de la línea 511B de salida de barra colectora.

El ajuste de longitud de bloque puesto en el registro 528 controla la longitud de cada bloque de L2 que está a punto de generarse en la memoria alta 550. La longitud de bloque puede tener un tamaño cualquiera

30 requerido. Al finalizar la ejecución de la etapa 732, la

380988



etapa 733 emite otra señal de parada de CPU, que activa una puerta de coincidencia 515b (figura 15), generando una señal de C.E. y D.E. que emprende la secuencia a la etapa de conmutación A2 para entrar en la etapa 740 de la figura 24B.

Las etapas 740, 741 y 742 de la figura 24B tienen lugar concurrentemente, en respuesta a la etapa 733 de la figura 24A. En la etapa 740 se tiene acceso al primer bloque de la secuencia de bloques de UK clasificados que hay en el dispositivo de I/O 530a de entrada al que se tuvo acceso en la etapa 711 de la figura 24A. En la etapa 741 se obtiene acceso a la tabla de indicaciones de nivel inmediato superior, que inicialmente es la tabla de indicaciones de L1 de la figura 14C. En la etapa 742 se transmite una orden de "inscribir indicación y leer bloque", al descodificador 513, que activa entonces la línea 513C para iniciar el funcionamiento de I/O y hacer otras tareas preparatorias. Así, la orden de "inscribir indicación y leer bloque" activa también la línea de leer I/O (534A en la figura 17), que activa un circuito de báscula 551 de la figura 20, lo que indica entonces que se va a tomar o leer un bloque del dispositivo de I/O. Su activación dispara un circuito monoestable 551a que, por medio de una puerta disyuntiva 551b, da un impulso que repone un contador de bytes 553, antes de tomarse los datos del bloque.

La etapa 743 responde a la parte de la etapa 742 en la que se ordena la lectura de bloque, tomando al bloque al que se ha tenido acceso en la etapa 740; la línea 513C envía señal de entrada de control de lectura



al control 530 de I/O, por medio del circuito disyuntivo 534a de la figura 17. El bloque que se está leyendo puede contener UKs, o bien puede señalar un final de archivo, que es descodificado por medio de circuitos usuales (no representados), de los que se hayan en los controles 530 de I/O, activando una línea 530E de final de archivo en la figura 16. Esto pone en ejecución la etapa 744, y la hace salir por B4 a la figura 24D, donde se emprende la acción apropiada, que se explica más adelante. Antes de cualquier bloque de final de archivo aparecen bloques de índice en el dispositivo 530a de I/O, leyéndose estos bloques individualmente en la etapa 743 por medio de los controles 530 de I/O, que los pasan a un registro de desplazamiento 531, donde cada clave sin comprimir y cada indicación o "pointer" se ensambla en un registro de entrada 531a, y se desplaza luego a un registro de salida 531b, de manera que el registro de entrada 531a puede recibir a continuación la UK y la R siguientes. La salida del registro de desplazamiento se hace por la línea 531A de datos desplazados de I/O, en la cual los datos son retrasados en dos claves no comprimidas, respecto a los datos efectivos que se están llevando al registro de desplazamiento 531 desde el dispositivo de I/O. Esto permite a la señal de final de bloque (EOB) que viene de los controles 530 de I/O activar los circuitos de báscula 530d y activar la línea 530A de EOB a tiempo de enviar a los controles de índice 516 una señal de que el registro de desplazamiento 531 está transmitiendo el último par de UKs.

Un circuito disyuntivo 530f da por la línea 530D una salida para controlar el desplazamiento, byte a



byte, efectuado por el registro de desplazamiento 531a. Así, en una línea 530E de señales de reloj de lectura de I/O se da una salida de reloj de lectura de I/O; esta señal da al circuito disyuntivo 530f un impulso por cada byte de I/O, para controlar la operación de desplazamiento efectuada por el registro 531. Un oscilador 530e genera la regulación de tiempo de bytes al final del bloque, sacando por desplazamiento las dos últimas UKs guardadas en el registro 531. Por consiguiente, el oscilador 530e está activado mientras está establecido el circuito de báscula 530d. Así, el oscilador 530e envía señales de entrada al circuito disyuntivo 530f, para continuar su secuencia de impulsos de salida después de haberse llegado al final del bloque en el dispositivo de I/O.

Las etapas 745 y 746 se ponen en ejecución inicialmente por estar L1 en el registro de niveles 525 de la figura 16, y al activarse el primer circuito de báscula 526a de bloques. Como consecuencia, la primera UK del bloque de entrada no se transmite a la memoria alta 550 (esto exigiría la activación del circuito de coincidencia 581a de la figura 22).

A continuación se ejecutan las etapas 750 a 753 inclusive. La etapa 750 se ejecuta mediante unas transferencias a través de la puerta 532 (figura 17), reguladas en el tiempo por unas señales que vienen del inversor 581d (figura 22) al salir las dos últimas UKs y Rs desplazadas del registro 531, por el funcionamiento del oscilador 530e. La etapa 751 se pone en ejecución también por activación de las líneas 557A de la figura 20 durante la última UK, que van a unos circuitos disyuntivos 580

380000

que hacen que la puerta 537 de la figura 17 introduzca la última UK en la memoria alta 550.



Las puertas de coincidencia 551c, 556, 557 y 558 de la figura 20 señalan la transmisión de la última y la penúltima UK y sus indicaciones, por las líneas 551A, 556A, 557A y 558A, respectivamente, después de recibirse de la línea 530A la señal de final de bloque (EOB), que es enviada por el dispositivo de I/O dos periodos de UK antes de verse el final del bloque en la salida del registro de desplazamiento 531.

Un reloj 559 de pares de UK (figura 20) marca el tiempo de la transferencia de pares de UKs y de sus indicaciones R. Esto incluye el sincronismo o regulación en el tiempo del último par de UKs y sus Rs a través de las puertas 551c, 556, 557 y 558. Además, marca el tiempo del primer par de UKs y Rs de cada bloque, pero esta función no se usa hasta el segundo bloque y ulteriores de la corriente de bloques de entrada.

La puerta de coincidencia 551c es activada por la señal de final de bloque de la línea 530A, indicando que a continuación seguirá la penúltima UK.

Luego se reponen los circuitos de báscula 559e a 559k del reloj 559, por medio de la línea 530c, por la señal de final de bloque presente en la línea 530A, que aparece justamente antes de enviarse el último par de UKs y Rs desde el registro de desplazamiento 531. El final de esta UK penúltima es señalado por el circuito comparador 554 (que señala el final de todas y cada una de las UKs), el cual activa el circuito de coincidencia 559a para activar el circuito de báscula 559e y el de coinci-



dencia 556, indicando que va a seguir la penúltima UK. El monoestable 559h da entonces un impulso para reponer el circuito de báscula 551 de leer I/O, por medio de los circuitos disyuntivos 559n y 551b, reponiendo el contador 253 de UKs que cuenta los bytes de una UK o de una R.

El circuito de coincidencia 559b está condicionado por la salida del de báscula 559e al aparecer la señal de final de R procedente del circuito comparador 555, que sigue al final de la penúltima indicación o "pointer" y activa el circuito de báscula 559f indicando que a continuación irá la última UK, lo que es señalado por el circuito de coincidencia 557. El de báscula 559f activa el monoestable 559i, que repone el circuito de báscula 559e, y envía impulsos al disyuntivo 559n para reponer el contador 553, en preparación para la última UK.

El circuito de coincidencia 559c está condicionado por la salida del de báscula 559f, y se activa al recibir la señal de final de UK que viene de la línea 554A. Activa entonces el circuito de báscula 559g, así como el circuito de coincidencia 558 para indicar que a continuación viene la última indicación o "pointer". Pone en acción asimismo el monoestable 559j, que repone el de báscula 559f desde el registro de desplazamiento, y envía impulsos al disyuntivo 559n para reponer el contador 553.

Al final de la última indicación se envía un impulso por la línea 559A para indicar el final del bloque en la memoria baja 1C. Esto se hace por medio del circuito de coincidencia 559d mientras está activado por el de báscula 559g, poniendo en acción el monoestable 559k al producirse la señal de final de última R. Esto



repone el circuito de báscula 559g y da un impulso por el conductor 559A, indicando el final de un par de UKs.

5 La etapa 752 se pone en ejecución cuando la parte de "inscribir indicación", de la orden de "inscribir indicación y leer bloques", va a buscar la indicación o "pointer" siguiente (que inicialmente es la primera) y la transmite a los controles de enlace 512, desde los cuales es transferida por la salida de barra 511B a la puerta 10 536 de la figura 17. La transferencia desde la puerta 536 a la memoria alta 550, por medio del circuito disyuntivo 538, viene dada en el tiempo por el circuito de coincidencia 584a de la figura 22, que da lugar a esta transferencia a la memoria alta en el instante en que se da entrada a la última indicación (R) en la memoria baja 10.

15 La etapa 753 se inicia al activarse la puerta de coincidencia 582 por medio de la línea 559A de final de par de UKs (figura 20) mientras está condicionada por la señal de nivel L1 presente en la línea 525B y la señal de cerrojo de ECB presente en la línea 550A. El funcionamiento del reloj 559 de la figura 20 se explica en otro lugar de esta Memoria descriptiva, y en este funcionamiento la línea 559A se activa al final del último par de UKs.

25 Por la salida B3 de la figura 24B se entra en la etapa 766 de la figura 24D para determinar si la memoria alta 550 está llena. Esto se hace mediante el circuito comparador 554 de la figura 19, que compara el contenido del contador 550a de acceso a la memoria alta con el registro 528 de longitudes de bloque de la figura 16. 30 Cuando dan igualdad en la comparación, se genera por la



línea 554A una señal que indica que la memoria 550 que guarda UKs de niveles superiores (memoria alta) está llena. A medida que se va leyendo cada UK, el comparador 554 de la figura 19 está examinando si la memoria de nivel alto 550 está casi llena; activa la línea de igualdad 554A cuando la memoria alta 550 contiene el número de UKs puesto en el registro 528 de la figura 16. Así, la memoria 550 puede recibir por lo menos otra UK más cuando la línea 554A está activa; de no ser así, es la línea de desigualdad 554B la que se activa.

Inicialmente, la memoria alta 550 no estará llena, entrándose en la etapa 767 para enviar la señal de C.E. y D.E. por la línea 535A de la figura 17. Esta señal repone simultáneamente el circuito de báscula 526a de primer bloque (figura 16), poniendo en ejecución la etapa 768, y pulsa el circuito disyuntivo 515C de la figura 15, que envía señales a los controles de enlace 512 y a la CPU para emitir la orden siguiente. Se pone entonces en ejecución la etapa de cambio D2 o paso a la figura 24C.

En la etapa 760 (figura 24C) se entra por D2, y dicha etapa hace que se emita una orden de "comprimir bloque", como orden siguiente de la memoria 510 de la figura 14. Esta orden es recibida por el descodificador de órdenes 513 de la figura 15, que activa la línea 513E que pulsa el monoestable 540a enviando impulsos a los circuitos 540 de la figura 18.

La etapa 761 es ejecutada por los circuitos 540, representados por las figuras 3 y 6 a 8D. Se explican con detalle, con los mismos números de figura, en la solicitud de patente americana nº. 788.876, con algunas varia-



ciones. La única variación significativa en las figuras 3 y 6 a 8D está en la figura 7, por adición de los circuitos 801 a 805 inclusive, usados para comprimir bloques de nivel alto en la memoria baja 10 después de transferidos desde una memoria intermedia de I/O a la memoria baja 10, a fin de obtener el formato de nivel alto indicado en las figuras 2B y 5B. Este formato se salta posiciones alternas de R en la memoria baja 10 durante una operación de comprimir claves. Las figuras 2A y 2B ilustran el contenido de la memoria 10 al principio y al final de la compresión de índice efectuada por la etapa 761.

Los circuitos internos de generación de bloques en las figuras 3 y 6 a 8D empiezan a operar en respuesta a un impulso presente en la línea 40, procedente del monoestable 540a de la figura 18. Se usa un impulso del monoestable 540a para iniciar la compresión de bloques tanto a nivel bajo como a nivel alto, en la memoria baja 10. Para funcionar a nivel bajo, los circuitos de las figuras 3 y 6 a 8D operan como se ha explicado en la solicitud de patente nº 788.876 antes citada. Para funcionar con nivel alto, operan dando el formato de nivel alto de la figura 5B y usando los cambios de circuitos allí indicados. El byte denotativo de nivel al principio de un bloque que va a la memoria baja 10 controla el formato, de nivel bajo o alto, elegido para la operación. Este byte del registro de niveles 117 (figura 7) desempeña esta función de control.

La salida de control del registro de niveles 117 se envía al circuito de coincidencia 30 o 33C de la figura 6. Cuando la salida de nivel alto del registro 117



condiciona el circuito de coincidencia 30, la señal de final de UK presente en la línea 114A alterna las salidas del circuito de báscula binario 30a para las dos UKs de cada par, controlando el formato de nivel alto. Las salidas del circuito de báscula binario 30a distinguen entre las UKs primera y segunda de cada par, asociadas a una sola indicación. La iniciación de la generación de la segunda clave de cada par viene indicada por la activación del formador de impulsos 34 y su línea de salida 34A, que pasa a las figuras 7 y 8D.

En la figura 8D, la línea 34A activa el circuito disyuntivo 191a, que pulsa entonces la línea 191A de reserva de final de indicación, que va a la puerta 152 de la figura 8C, la cual carga el registro 150 con el valor P de la primera CK del par, en preparación para generar la segunda CK del par.

En la figura 7, la línea 34A activa unos circuitos que ocasionan un salto del campo de indicaciones de la memoria baja 10, a continuación de la primera CK de cada par. Un sumador 801 añade incrementalmente el número de bytes del campo de indicaciones saltado a la dirección de acceso actual (en ese momento) que viene del contador 110, durante cada ciclo de reloj de A2 en el instante T5, número que aumenta en uno en T6 durante el mismo ciclo de A2, para generar la dirección de acceso correspondiente para la segunda CK de un par. Durante cada ciclo, un contador 803 recibe la dirección de acceso incrementalmente añadida, después de repuesto el contador 803 en el instante T3. A continuación, el contador 803 se carga desde el sumador 801, en T5.

380988



Ahora bien, esta dirección de acceso carga-  
da o introducida en el contador 803 no se usa hasta el  
momento en que hace falta, lo que tiene lugar cuando se  
activa la línea 34A de iniciación de la generación de se-  
gunda CK (CK-2) línea que va de la figura 6 a una puerta  
52 804 (figura 7), en respuesta a la activación de la línea  
114A de final de UKs. La puerta 804 carga entonces la po-  
sición de ajuste actual (en ese momento) del contador 803  
en el contador 110 de direcciones de acceso de búsqueda,  
10 como dirección inicial en la memoria baja 10 para la se-  
gunda CK de cada par.

Al final de la generación de la segunda CK  
de cada par, el circuito de coincidencia 30 hace que cam-  
bie de estado el de báscula 30a binario, hasta activar el  
15 formador de impulsos 31 que origina la transferencia de  
la indicación a la memoria baja 10, seguida de la gene-  
ración de la primera CK del par siguiente, etc.

Al terminarse la etapa 761, se ejecuta la  
etapa 762 por medio de la señal de reposición general de  
20 la figura 8D que viene del monoestable 185, que da una  
señal de C.E. y D.E. a la figura 15, lo que sirve de in-  
dicación a la CPU para ir a buscar la orden siguiente.  
Se ejecuta asimismo la etapa o paso de conmutación C3 a  
la figura 24E.

25 Con C3 (figura 24E) se entra en la etapa  
780, donde se tiene acceso al lugar designado en el dispo-  
sitivo 530c de I/O por la última indicación transferida  
desde la tabla de indicaciones actual a la memoria alta  
550, según lo efectuado por la etapa 752 (figura 24B).  
30 Esta selección se hace por medio de la línea 512A de ac-



7  
ativación de la CPU, que va a los controles 530 de I/O de la figura 17.

La etapa 781a se ejecuta cuando la CPU va a buscar la orden siguiente en la tabla de órdenes de la memoria 510, orden que es transmitida por la barra colectora 511A y por los controles de enlace 512 al descodificador de órdenes 513. La etapa 781b se ejecuta cuando esta orden de "guardar bloque de índice comprimido (CIB)", que se ha ido a buscar, activa su línea 513F de salida a las figuras 16, 17 y 18, línea que respectivamente repone el contador de direcciones 11a de acceso a la memoria baja poniéndolo al principio del bloque, activa el dispositivo 530c de I/O seleccionado poniéndolo en el modo de inscribir, y condiciona la puerta 541 para transferir el bloque comprimido desde la memoria baja 10 al lugar del dispositivo de salida 530c al que últimamente se ha tenido acceso. Esto se logra haciendo que la línea 530K de sincronismo de inscripción de I/C que viene de la figura 17 excite el contador 11a de acceso a la memoria baja y los controles de búsqueda en memoria baja, lo que hace que los datos que hay en la memoria baja se pasen por lectura al registro 12 de datos de bytes y se lleven de éste, por la salida de barra 14 de memoria baja, a través de la puerta 541 condicionada y por la barra de llegada 541A de datos de I/O (figura 18) a los controles 530 de I/O de la figura 17, que hacen pasar las señales al dispositivo 530c que las guarda en el lugar seleccionado para acceso.

La etapa 782 se ejecuta al llegarse a la indicación de final de bloque en la memoria 10, y esta indicación es descodificada por un descodificador de indica-



ciones de final 542 (figura 18), que envía señales de C.E. y D.E. por la línea 540A a la figura 15. A continuación se entra en la etapa 783, para determinar si existen señales indicativas de que la memoria alta 550 esté  
 5 llena.

Si la memoria alta no está llena, se toma la salida E2 a la figura 24B, y se vuelve a entrar en la etapa 742. Por lo tanto, las siguientes etapas de la figura 24B se repiten de la manera ya explicada, con las  
 10 siguientes diferencias: en la etapa 745 se puede encontrar todavía L1 en el registro de niveles 525, sin que el bloque de entrada actual (en ese momento) sea el primero de la secuencia de L1. Por tanto, el circuito de báscula 526a de primer bloque se repone para ejecutar la  
 15 etapa 746, y se entra en la etapa 747, que se había saltado durante el primer bloque de entrada. En la etapa 747 se hace que la primera UK que entra en la memoria baja sea también transmitida a la memoria alta 550, donde no está al principio de un bloque de memoria alta, como  
 20 puede verse por la tabla A.

La etapa 747 se ejecuta mediante la activación de la línea 526A (para no saltarse la primera UK), que viene del circuito de coincidencia 226c de la figura 16, línea que es activada por estar tanto el circuito de  
 25 báscula 226a de primer bloque, como el circuito de báscula 226b de primera UK saltada, en estado de reposición. El circuito de coincidencia 581a de la figura 22 está condicionado durante L1 por la línea 526A, y también está condicionado por una línea 573A de primera UK, que viene  
 30 del circuito de báscula 573 de la figura 21. El circuito



de báscula 573 se activa al estar condicionado el de coincidencia 572 por la línea 550B de ausencia de EOB, la línea 534A de lectura de I/O, y la línea 559A de final de par de UKs. Esta última línea viene del reloj 559 de pares de UKs de la figura 20. Este reloj empieza a dar ciclos en respuesta a la activación del circuito de báscula 551 de lectura de I/O por la señal de mando u orden de "inscribir indicación y leer bloque". Como el reloj 559 opera directamente partiendo de las señales de I/O, pasa por un ciclo completo de dos UKs y Rs antes de que venga la primera UK del registro de desplazamiento 531. Por tanto, la señal presente en la línea 559A activa el circuito de coincidencia 572 para poner en activo el circuito de báscula 573 de primera UK (figura 21) inmediatamente antes de que aparezca la primera UK en la línea 531A de datos de I/O desplazados, que va a la puerta 537 de la figura 17. La señal presente en la línea 573 de primera UK activa el circuito de coincidencia 581a de la figura 22, que hace que la línea 580A de cargar UKs active la puerta 537, dejando pasar la primera UK a la línea 538A de llegada de barra colectora de memoria alta, y complete así la ejecución de la etapa 747.

Cuando el bloque que se está leyendo está casi terminado, se ejecutan las etapas 750 a 753 inclusive, de la misma manera anteriormente explicada, y la salida B3 da lugar a que se pase a la figura 24D.

La etapa 766 indica entonces si el bloque de memoria alta está lleno o completo. En la etapa 766 se indica que la memoria alta 550 está llena (excepto en una UK) cuando el circuito comparador 554 activa la línea



554A que va al circuito de coincidencia 596 de la figura 23, el cual tiene sus otras líneas activadas, incluida la línea 525B que pone en ejecución la etapa 770. La salida del circuito de coincidencia 596 genera una señal de modificador de estado (S.M.) en el conductor 596A, para poner en ejecución la etapa 771, preparatoria de la introducción de la última UK en la memoria alta 550, y de la terminación del bloque en ésta generado.

Al final de este y de todos y cada uno de los demás bloques introducidos, se genera una señal de C.E. y D.E., por medio de la línea 535A que viene del circuito disyuntivo 535 y que recibe una señal de EOB que va a la memoria baja, para una señal de entrada de nivel bajo en la línea 582A, en respuesta a la activación del cerrojo de final de bloque (EOB). Por tanto, la etapa 771 incluye esta señal de C.E. y D.E., que activa el circuito disyuntivo 515c de la figura 15, haciendo que se vaya a buscar la instrucción siguiente; la señal de S.M. enviada a los controles de enlace 512 con la de C.E. y D.E., hace que a continuación se vaya a buscar una orden de "Leer y guardar primera UK". Con esto se pone en ejecución la etapa 772.

La señal de orden descodificada, presente en la línea 513H, activa la sucesión o secuencia siguiente de etapas 773, 774 y 775, que hacen que se tome o lea el siguiente bloque de entrada, con el único propósito de que haga entrar su primera UK en la memoria alta 550, como última UK. La señal presente en la línea 513H es recibida por el circuito disyuntivo 534a (figura 17), para activar los controles de lectura existentes en el control



530 de I/O, y por la puerta 592 de la figura 23. Esta  
puerta 592 transfiere la primera UK dispuesta en la lí-  
nea de desplazamiento de datos de I/O, a la memoria alta  
550, por la barra 592A de la figura 19. La transmisión  
de la primera UK en la etapa 773 se termina al desacti-  
varse la línea 573A de primera UK (figura 21) cuando el  
circuito de báscula 573 es repuesto, a través del monoes-  
table 576, por la activación del circuito de báscula 575  
efectuado por la señal de igualdad en MUKL que viene del  
circuito comparador 554 de la figura 20.

La etapa 774a es puesta en ejecución por  
el circuito de coincidencia 593, el monoestable 594 y el  
de retardo 595 de la figura 23, hasta activar una línea  
595A de circuito de báscula de primera UK, de ajuste de  
salto (figura 16), que activa el circuito de báscula -  
526b.

La etapa 774b marca el final del bloque  
completamente generado en la memoria alta 550, durante la  
secuencia de entrada de bloques de L1. En dicha etapa  
774b se entra al activarse el circuito de báscula 526b  
de salto de primera UK, de la figura 16. Su línea de sa-  
lida 526B activa entonces un codificador 557 de indica-  
ción de EOB (figura 19), que guarda una indicación de fi-  
nal de bloque en la memoria alta 550, a continuación de  
la última indicación en ella guardada.

A continuación se ejecuta la etapa 775, al  
ser activada la línea 593A de C.E. y D.E. (figura 23) al  
final del bloque actual de entrada de UK, por la línea  
de señal de C.E. y D.E. que viene de la figura 23. Con  
esto seva a buscar la orden siguiente, que hace retroce-

der el registro de entrada últimamente leído, y ello pone en ejecución la etapa 776.



5 Por consiguiente, se ha tomado el bloque de entrada siguiente, y solo cuando se ha transmitido de él la primera UK a la memoria alta 550 como etapa D2 se hace seguir el método a la figura 24C.

10 A continuación se ejecutan las etapas 760-762, de la manera que se ha explicado anteriormente, para comprimir el bloque de L1 en la memoria baja 10. Luego, la etapa C3 lleva el método a la figura 24E, en la que las etapas 780-782 se ejecutan de la manera ya explicada, para almacenar el último bloque comprimido en el lugar designado por la última R que se ha ido a buscar de la tabla de indicaciones de L1.

15 En la etapa 783 se da la señal de si el bloque se está generando en la memoria alta 550 llega a completarse durante la ejecución de la última orden de "inscribir indicación y leer bloque". Si no está completo, el método sale por E2 a la figura 24B para leer el siguiente bloque de entrada de UKs. Por el contrario, se entra en la etapa 788 si el bloque de la memoria alta está lleno o completo. La etapa 783 se ejecuta cuando la CPU haya aceptado señales procedentes del circuito de báscula 597 de S.M., o del circuito de báscula 590b de  
20 ATTN (figura 23) al producirse la orden de "inscribir indicación y leer bloque" últimamente ejecutada. La falta de señal de uno u otro lado hace que la CPU vaya a buscar una orden de "inscribir indicación y leer bloque", para ejecutar la etapa 742 de la figura 24B. De activarse  
25 se uno u otro de los circuitos de báscula, la CPU ejecuta  
30



a continuación la etapa 788, examinando si se han recibido en ella tanto señales del circuito de báscula 591b de U.E. como del 590b de ATTN, hasta determinar si el último bloque intermedio comprimido y almacenado es el bloque de cima, decisión que se hace mediante activación del circuito de coincidencia 591 de la figura 23.

Durante las etapas 783, 788 y una etapa siguiente 787, se determina el estado de examen de los circuitos de báscula 597, 590b y 591b, durante la ejecución de la última orden de "inscribir indicación y leer bloque". El circuito de coincidencia 596 activa el de báscula 597 cuando la memoria alta 550 está llena y hay un bloque de nivel bajo en la memoria baja 10, antes de haberse llegado al final del archivo actual de entrada de I/O. El circuito de báscula 590b es activado por uno u otro de los de coincidencia 590 o 591, por medio del disyuntivo 590a. También se activa el circuito de báscula 591b, por medio del disyuntivo 591a, mediante activación de uno u otro de los circuitos de coincidencia 591 o 599. Se activa el circuito de coincidencia 590 cuando la memoria alta 550 está llena y en la memoria baja 10 hay un bloque de nivel alto, que no es el final del archivo de entradas de I/O actual. El circuito de coincidencia 591 se activa siempre que se haya llevado el final de un archivo de cima de un solo bloque a la memoria baja 10, desde un dispositivo de I/O intermedio. Al final del archivo de cualquier entrada que no sea de cima, se activa el circuito de coincidencia 599. Los circuitos de báscula 597, 590b, 591b se reponen cuando la CPU da señal de aceptación de estado, por la línea 512D de la figura 15, en respuesta a su aceptación



de las señales de C.E. y D.E., S.M., ATTN, y/o U.E. Por  
consiguiente, estas señales se hacen desaparecer antes  
de que la etapa 781a de la figura 24E haga salir la or-  
den de "guardar CIE", y por consiguiente, las señales de  
5 S.M., ATTN y U.E. deben ser recibidas y almacenadas por  
la CPU 511, para la ulterior ejecución de las etapas 783,  
788 y 787 de la figura 24E. (La aceptación y el almacena-  
je de las señales de enlace por parte de una CPU y su  
respuesta, por emisión de una orden de mando, es opera-  
10 ción normal en las calculadoras comerciales actuales y,  
por tanto, no se ilustra ni se explica aquí con deta-  
lle).

Si la etapa 789 indicó un nivel de cima,  
la última indicación o "pointer" transferida a la memo-  
15 ria alta 550 por la etapa 742 (figura 24B), procedente  
de la tabla de indicaciones actual, de la figura 14C, y  
usada por la etapa 780 de la figura 24E, es almacenada  
por la CPU de manera que esta indicación pueda usarse  
más tarde para introducir el índice comprimido recién  
20 generado (almacenado en los dispositivos 530c de I/O)  
para una operación de búsqueda.

En la etapa 784 se entra si la etapa 788  
no encuentra que se hayan producido las señales tanto de  
U.E. como de ATTN, ya que el nivel de entrada actual,  
25 por lo tanto, no es el de cima. La CPU responde emitien-  
do, como orden sucesiva, la de "guardar en memoria al-  
ta".

Se entra a continuación en la etapa 785  
por activación de la línea de salida 513G que viene del  
30 descodificador de órdenes de la figura 15; esto hace que



el contenido de la memoria alta se inscriba en el dispositivo intermedio 530b de I/O. La línea 513G de la figura 19 repone el contador de acceso 550a de la memoria alta, al que se hace avanzar luego paso a paso por medio de la línea 530K de sincronismo de la inscripción de I/O (figura 17), a medida que el contenido de la memoria alta 550 se saca por lectura, a través de la puerta 552, y por medio de las líneas de entrada de datos de I/O, a los controles 530 de I/O, que inscribe el bloque en el dispositivo intermedio 530b de I/O. Cuando el descodificador 551 de indicación de EOB detecta una indicación de final de bloque, en la línea 551A que va a los controles de enlace 512 aparece una señal de C.E. y D.E. para poner en ejecución la etapa 786.

A continuación actúa la etapa 787 indicando si se ha llegado al final de la secuencia de entrada de I/O, mediante la detección de una señal de U.E. por un registro de final de índice. De no haberse alcanzado el registro de final de índice (Esto es, de no haber sido generada ninguna señal de U.E. por la ejecución de la última orden de "inscribir indicación y leer bloque"), se toma entonces la salida E2 a la figura 24B, haciendo que se tome el bloque siguiente del dispositivo de I/O y se continúe el tratamiento de la misma secuencia de entrada.

Ahora bien, si en la etapa 787 resulta que se dió la señal de U.E., la etapa 789 inscribe un registro de final de archivo en el dispositivo intermedio 530b de I/O. El final de la etapa de archivo o registro viene señalado por la línea 530E (figura 17) cuando el último



bloque de la secuencia de entrada es un bloque de final  
de registro. Esto se hace por medios corrientes en los  
actuales sistemas de calculadoras comerciales. Por ejem-  
plo, en los controles de cinta comerciales se viene dan-  
do desde hace tiempo la señal de U.E. cuando un bloque de  
5 marcación de cinta indica el final del registro o archi-  
vo. La señal de U.E. se viene usando desde hace mucho  
por las calculadoras comerciales para activar equipos fí-  
sicos en controles de cinta que inscriben un registro de  
10 marcación de cinta al final del registro de salida. Este  
es el significado de la línea 512E que en la figura 17  
produce una realimentación al control 530 de I/O, que ha-  
ce que se inscriba un registro de marcación de cinta al  
final de la secuencia de bloques inscrita en el dispositi-  
15 vo intermedio 530b de I/O después de y en respuesta a  
haberse detectado el registro de marcación de cinta de  
final de registro (EOF) en el dispositivo de entrada  
530a de I/O. Un registro de EOF es percibido en la etapa  
744 de la figura 24B que sale por B4 a la etapa 733 de  
20 la figura 24E, saltándose todas las etapas que no serían  
apropiadas al detectarse un registro de EOF.

A continuación se entra en la etapa 791,  
para tener acceso al principio de la secuencia de bloque  
intermedio de I/O, inscrita desde la memoria alta 550  
25 durante la operación precedente. Se toma la salida E3 a  
la figura 24A, para entrar en la etapa 712, que hace que  
se emita una orden de "inscripción inicial", la cual ha-  
ce que comience el método con la secuencia de UKs de ni-  
vel inmediato superior, de las que se están introduciendo.  
30 Por consiguiente, se ponen en ejecución las etapas



712 a 733 inclusive de la figura 24A como antes se ha descrito, y las etapas 740 a 743 inclusive de la figura 24B, también del modo anteriormente descrito. Ahora bien, al llegarse a la etapa 745 se halla un nivel alto en el registro 525 y, por consiguiente, en la etapa 745 se sale por B2 a la figura 24C.

En la figura 24A, la etapa 716 opera de modo distinto cuando se entra en el método por E3, y no por el principio 710. La entrada por E3 se usa durante todas las operaciones de nivel alto, para la carga inicial de la memoria baja por la CPU; en tanto que la etapa inicial 710 se usa solo durante la carga inicial de bajo nivel, de la memoria baja, por parte de la CPU. Así, al tenerse acceso en la etapa 716 a la tabla siguiente de control de niveles, de un momento dado, debe tratarse siempre de una tabla de control de nivel alto, después de tenerse acceso a la tabla de controles iniciales para el nivel L1. Cada una de las tablas de control de nivel alto tiene entradas de asiento adicionales para una UK cero y una R cero: véase, por ejemplo, la tabla de controles de nivel L2 en la figura 14B. Así, al ocurrir la transferencia de CPU en respuesta a la orden inicial de inscribir, todos los artículos o partidas de la tabla de controles L2 se transmiten a la memoria baja, excepto el que se refiere a la longitud de bloque que está al final de la tabla. El final de la transferencia viene determinado por el recuento de la orden inicial de inscribir, que da fin a la operación después de transferidos los bytes de cero para el campo de R. El contador de acceso a la memoria bajo avanza paso a paso, por consiguiente, de manera que estos



bytes se coloquen donde sea necesario en la memoria baja.

Al entrar por B2 en la etapa 755 (figura 24C), la operación de toma o lectura inaugurada por la etapa 743 en la figura 24B ha progresado hasta el final del bloque de entrada en el dispositivo 530b de I/O, donde una señal de final de bloque ha activado el circuito de báscula 530d (figura 17). En este instante, la penúltima UK se halla en la posición 531b del registro de desplazamiento, y la última UK y la R en la posición 531a del registro de desplazamiento. El reloj 559 de pares de UK (figura 20) se usa para definir el último par de UKs y de Rs, y sus circuitos operan de la manera antes descrita, activando los circuitos de coincidencia 551c, 556, 557 y 558 de la figura 20 como antes se ha dicho.

La etapa 755 se ejecuta al transferirse el penúltimo UK y su indicación desde el registro de desplazamiento 531 a la memoria baja 10 (figura 16), por medio de la puerta 532 y del circuito disyuntivo 533 de la figura 17.

En la etapa 756 se ejecuta la parte de "inscribir indicación" de la orden emitida por la etapa 742 de la figura 24B, transmitiendo la indicación o "pointer" siguiente de la tabla a la que se ha tenido acceso en la etapa 741, y enviándola a la línea 511B de salida de barra colectora, que la lleva como entrada a través de la puerta 536 con la regulación de tiempos de la línea 584A que viene del circuito disyuntivo 584 de la figura 22. Para las entradas de nivel alto a la memoria baja 10, la línea 584A viene sincronizada por el circuito de coin-

cidencia 584b, con la penúltima señal de R que viene del  
circuito de coincidencia 556 de la figura 20.

La etapa 757 se ejecuta en concurrencia con  
las etapas 755, 756 y 758. En la etapa 757 se guarda el  
5 último par de UKs durante la presencia de señales en las  
líneas 551A y 557A (figura 20) que van al circuito de  
coincidencia 581b y al disyuntivo 580 (figura 22), res-  
pectivamente. El circuito disyuntivo 580 activa la línea  
580A que va a la puerta 537 (figura 17) y que hace que  
10 el último par de UKs pase respectivamente a la memoria  
alta 550, a medida que las señales de UK salen despla-  
zadas del registro 531 bajo la acción del oscilador 530e.

La etapa 758 se ejecuta al ser activado el  
circuito de coincidencia 581c (figura 22) por la línea  
15 557A de última UK, dando por la línea 581C una señal al  
circuito disyuntivo 535a de la figura 17. Activa el codi-  
ficador 535b de indicaciones de EOB, almacenando la indi-  
cación de EOB en la memoria baja 10. La última UK no  
puede ser transmitida a la memoria baja 10 de la figura  
20 16, porque la línea 581A está desactivada durante la úl-  
tima UK, a fin de inhibir la puerta 532 de la figura 17.  
La línea 581A de inhibición de última UK da la salida in-  
vertida del circuito de coincidencia 581c, y está activa-  
da salvo durante la introducción de la última UK.

25 Se toma luego la salida C2 a la figura -  
24D para determinar si está lleno el bloque de la memoria  
alta.

Se entra luego en la etapa 766 (figura 24D),  
que es ejecutada del modo antes descrito. Si el bloque  
30 de memoria alta está lleno, se entra en la etapa 770, y



durante la aplicación de entradas de nivel alto sale a la etapa 777 para señalar ATTN en la orden actual (de un momento dado) de "inscribir indicación y leer bloque". La señal de ATTN viene del circuito de coincidencia 590 al de báscula 590b de la figura 23, para indicar: (1) que el bloque de nivel alto está lleno; (2) que en la memoria baja se ha dado entrada a un bloque de nivel alto; y (3) que el bloque de la memoria baja 10 no es el último de la secuencia actual (en ese momento) de entradas de nivel alto.

En la etapa 778 se guarda una indicación de final de bloque en la memoria alta 550, durante la marcación de tiempo por la señal presente en la línea 559A de final de par de UKs que va al circuito de coincidencia 555 (figura 19), mientras en la figura 17 se activa el circuito de báscula 550 de EOB durante la aplicación de entradas de nivel alto. La salida del circuito de coincidencia 555 activa el codificador 557 de indicaciones de EOB para guardar la indicación de final de bloque en la memoria alta 550.

La etapa 768 repone luego el circuito de báscula de primer bloque en respuesta a la señal de C.E. y D.E. de la etapa 777, dada por la línea 535A de la figura 17. Se toma entonces la salida D2 a la figura 24C, para comprimir el bloque en la memoria baja 10, como se explicó anteriormente.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 26 de Junio de 1.969, bajo el Nº 836.930, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propie-

dad Industrial.



5

REIVINDICACIONES

10 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

15 1.- Un método de generar un índice comprimido a nivel múltiple, que comprende las etapas de: ensamblar a máquina una pluralidad de pares de linderos de claves no comprimidas junto a los linderos de final de unos bloques seleccionados en cualquier nivel de dicho índice; asignar a máquina una indicación respectiva a cada uno de dichos pares de claves no comprimidas, indicación que representa la dirección de acceso de índice de un bloque de índice comprimido de dicho cualquier nivel, representado por dicho par de claves no comprimidas; y  
20 comprimir a máquina dichas claves no comprimidas, en secuencia, convirtiéndolas en claves comprimidas para generar dicho índice comprimido de nivel alto.

25 2.- El método de generar un índice comprimido de varios niveles, según la reivindicación 1, que comprende además las etapas de: bloquear a máquina dichas claves comprimidas convirtiéndolas en bloques que terminan cada uno en una indicación asociada a un par de lin-

30

1-7-70



dero; y hacer que dicha etapa de comprimir a máquina actúe sobre la primera clave no comprimida para cada uno de dichos bloques, de la misma manera que actúa sobre la primera clave no comprimida del índice, con lo cual cada bloque comprimido puede asentarse o introducirse como si fuera el principio de un índice comprimido.

5

3.- El método de la reivindicación 1, en el que dicha etapa de comprimir a máquina comprende además los recursos o etapas de: transferir a máquina dichas claves comprimidas a un medio de registro, por el orden de generación de las mismas; y registrar a máquina cada una de dichas indicaciones junto a un par de claves comprimidas, de las proporcionadas por dicha etapa de transferir a máquina, de modo que por lo menos la primera de dichas dos claves comprimidas represente el mismo bloque comprimido que dicha indicación.

10

15

4.- El método de la reivindicación 1, que incluye el recurso de bloquear o convertir dichas claves comprimidas, obtenidas por dicha etapa de comprimir a máquina, en bloques de una longitud de índice prefijada.

20

5.- El método de la reivindicación 4, en el que dicha etapa de bloquear a máquina comprende el recurso de contar a máquina no más de un número prefijado de dichas indicaciones, de modo que los pares adyacentes respectivos de claves comprimidas comprendan un solo bloque de índice comprimido cualquiera.

25

6.- El método de la reivindicación 1, que comprende las etapas de: bloquear a máquina dichos pares de claves no comprimidas y dichas indicaciones, convir-

1-7-70

30

**380988**



tiéndolos en una pluralidad de bloques de índice; y comprimir a máquina cada uno de dichos bloques de índice, de modo que dichos bloques den un índice comprimido de nivel alto.

5

7.- El método de la reivindicación 1, en el que dicho nivel cualquiera es el más bajo de dicho índice, y dicha etapa de ensamblar a máquina comprende además el recurso de seleccionar a máquina cada uno de dichos pares de lindero como claves no comprimidas representadas por indicaciones en lados opuestos de un lindero respectivo de final de un bloque de índice comprimido, seleccionado, de nivel bajo.

10

8.- El método de la reivindicación 1, en el que dicho nivel cualquiera es un nivel alto de dicho índice, y dicha etapa de ensamblar a máquina comprende además el recurso de seleccionar a máquina cada uno de dichos pares de lindero como último par de claves no comprimidas, al final de un bloque seleccionado del nivel inmediato inferior.

14

20

9.- El método de la reivindicación 2, que comprende además el recurso o etapa de comprimir a máquina cada bloque seleccionado de dicho nivel cualquiera, después de haberse seleccionado, en dicha etapa de ensamblar a máquina, la última clave no comprimida determinada por dicha etapa de bloquear a máquina.

25

10.- El método de la reivindicación 9, en el que dicha etapa de comprimir a máquina incluye además el recurso de actuar a máquina sobre la última clave no comprimida, para cada bloque comprimido de nivel alto, como representativa de la clave más alta de la secuencia,

Handwritten signature and scribbles, including the number 30 and 1-7-70.



hasta generar una última clave comprimida de formato especial en cada bloque.

5 11.- El método de la reivindicación 9, que incluye además las etapas de: ensamblar a máquina la primera clave no comprimida del bloque que sigue a un bloque cualquiera seleccionado del nivel de índice bajo, como segunda clave no comprimida de cada uno de dichos pares de lindero; y activar a máquina dicha etapa de comprimir a máquina para cada bloque seleccionado de dicho nivel bajo, tras poner en ejecución dicha etapa de ensamblar a máquina para la última clave no comprimida a representar en dicho bloque de índice de nivel bajo.

15 12.- El método de la reivindicación 9, que comprende además el recurso de comprimir a máquina dicho bloque seleccionado de cualquier nivel de índice alto, después de que dicha etapa de ensamblar a máquina haya seleccionado el último par de claves no comprimidas representadas en dicho bloque seleccionado, y haya cambiado la última clave del último par transformándola en representación de carácter especial.

20 13.- Un método de generar un índice comprimido a nivel múltiple partiendo de una secuencia de entradas clasificada de claves no comprimidas que constituyen un índice, método que comprende los recursos o etapas de: 25 ensamblar a máquina una pluralidad de pares de lindero de claves no comprimidas junto a los linderos seleccionados de dicha secuencia de entrada controlada por un nivel actual de dicho índice, siendo un nivel de índice bajo el primer nivel de operación; asignar a máquina una indicación respectiva a cada uno de dichos pares de cla-

30  
1-7-70



ves no comprimidas, indicación que representa la dirección de acceso de índice de un bloque de índice comprimido representado por dicho par de claves no comprimidas; comprimir primero a máquina las claves de dicha secuencia de entrada, entre linderos seleccionados, para constituir unos bloques de índice respectivos comprimidos de nivel bajo; deslindar a máquina dichos pares de claves no comprimidas y dichas indicaciones, como preparación para generar un bloque de índice a dicho nivel inmediato superior; y comprimir luego a máquina dichas claves no comprimidas, deslindadas por dicha etapa de deslindar a máquina, hasta obtener un bloque de índice comprimido de nivel alto.

14.- El método de generar un índice comprimido de varios niveles según la reivindicación 13, que comprende además las etapas de: comprimir por segunda vez a máquina cada grupo de dichas claves no comprimidas deslindadas por la última ejecución de dicha etapa de deslindar a máquina, hasta obtener cada bloque comprimido en un nivel de índice alto actual; y repetir a máquina dicha etapa de ensamblar a máquina, dicha etapa de asignar a máquina y dicha etapa de deslindar a máquina, para cada bloque del nivel inmediato superior requerido en dicho índice de varios niveles o a nivel múltiple.

15.- El método de generar un índice comprimido de varios niveles según la reivindicación 14, que comprende además las etapas de: detectar a máquina el final del índice y dar una señal de final de índice; y dar fin a máquina a cada nivel actual de generación de índice comprimido, de dicho índice de varios niveles, en

103-1-73



respuesta a dicha señal de final de índice.

16.- El método de generar un índice comprimido de varios niveles según la reivindicación 15, que comprende las etapas de: contar a máquina el número de niveles del índice comprimido actual, o que se está generando en un momento dado; señalar a máquina el momento en que dicha etapa de contar a máquina indica un número prefijado al aparecer dicha señal de final de índice, de modo que dicha generación de índice de varios niveles termine con dicho número prefijado de niveles.

17.- El método de generar un índice comprimido de varios niveles según la reivindicación 15, que comprende las etapas de: indicar a máquina con una señal de continuación el momento en que hay varios bloques comprimidos al nivel actual o de un momento dado, al activarse dicha etapa de dar fin a máquina para dicho nivel actual; generar a máquina un nivel inmediato superior en dicho índice comprimido de varios niveles, en respuesta a dicha señal de continuación; y finalizar a máquina la generación del índice, al activarse dicha etapa de dar fin a máquina para el nivel actual de un momento dado, en respuesta a la etapa de indicar a máquina que señala la existencia de un solo bloque en dicho nivel actual, con lo cual el último bloque comprimido por iteración de dicha etapa siguiente de comprimir a máquina es el bloque comprimido de cima de dicho índice de varios niveles.

30  
1-7-70

18.- El método de generar un índice de varios niveles según la reivindicación 17, que comprende el recurso de almacenar a máquina la indicación obtenida

**380988**

por la última iteración de dicha etapa de asignar a máquina, guardándolo en un lugar prefijado para futuro acceso del bloque de cima de labúsqueda a nivel múltiple.



5 19.- Un método de generar un índice comprimido de nivel alto, que comprende los recursos o etapas de: ensamblar a máquina una pluralidad de pares de lindero de claves no comprimidas, junto a los linderos de final de bloques, en un nivel bajo de dicho índice; asignar a máquina una indicación respectiva a cada uno de dichos

10 pares de claves no comprimidas, indicación que representa la dirección de acceso de índice de un bloque de índice comprimido de nivel bajo, representado por dicho par de claves no comprimidas; bloquear a máquina dichos pares de claves no comprimidas y dichas indicaciones,

15 convirtiéndolos en por lo menos un bloque de índice de nivel alto; y comprimir a máquina dichas claves no comprimidas, bloqueadas por dicha etapa de bloquear a máquina, hasta obtener un bloque de índice comprimido de nivel alto.

20 20.- El método de la reivindicación 19, que comprende las etapas de: bloquear a máquina dichos pares de claves no comprimidas, y dichas indicaciones, convirtiéndolos en una pluralidad de bloques de índice; y comprimir a máquina independientemente cada uno de dichos

25 bloques de índice, con lo cual dichos bloques dan un índice comprimido de nivel alto dotado de bloques independientemente investigables.

21.- El método de la reivindicación 20 para generar un bloque comprimido de nivel inmediato superior, que comprende las etapas de: seleccionar a máquina un úl-

Handwritten annotations in the bottom left corner, including a large scribble and the numbers 30 and 70.



5 tino par de claves no comprimidas, de cada uno de los bloques no comprimidos de dicha pluralidad; asignar a máquina una indicación a cada una de dichas dos claves no comprimidas de dicho par, indicación que representa la dirección de acceso de un bloque comprimido de nivel inmediato inferior representado por dichas claves no comprimidas; ensamblar a máquina, en su ausencia de bajo nivel, las claves no comprimidas obtenidas por dicha etapa de seleccionar a máquina, y las indicaciones obtenidas por dichos
 10 medios de asignar a máquina, hasta formar un bloque no comprimido al nivel inmediato superior; y comprimir a máquina dicho bloque no comprimido, hasta formar un bloque de índice comprimido a dicho nivel inmediato superior.

15 22.- Un método de generar un índice comprimido a nivel múltiple.

Tal y como se ha descrito en La Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

20 Esta Memoria consta de ochenta hojas escritas a máquina por una sola cara.

Madrid, -7 JUL 1970

P.A.

Alberto de Lizasoain  
 Por Poderes

380988



FIG. 1A

1	2	3	4	5	
0	0	0	0	0	—
A	B	C	0	0	R1
A	B	C	E	F	—
D	H	M	N	0	R2
D	I	0	0	0	—
M	A	P	0	0	R3

FIG. 1B

	P1	K1	P2	K2	
→	1	A	4		R1
→	1	D	2		R2
→	1	M	0		R3

FIG. 2A

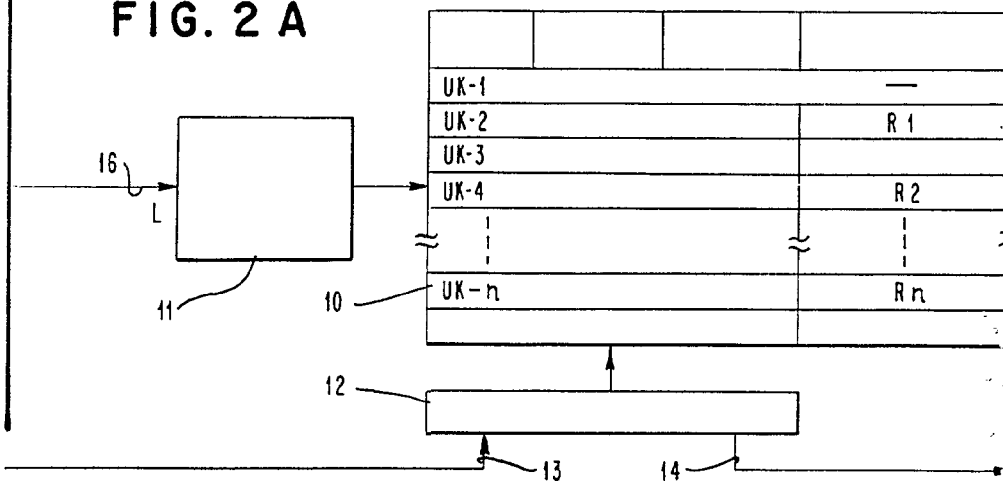
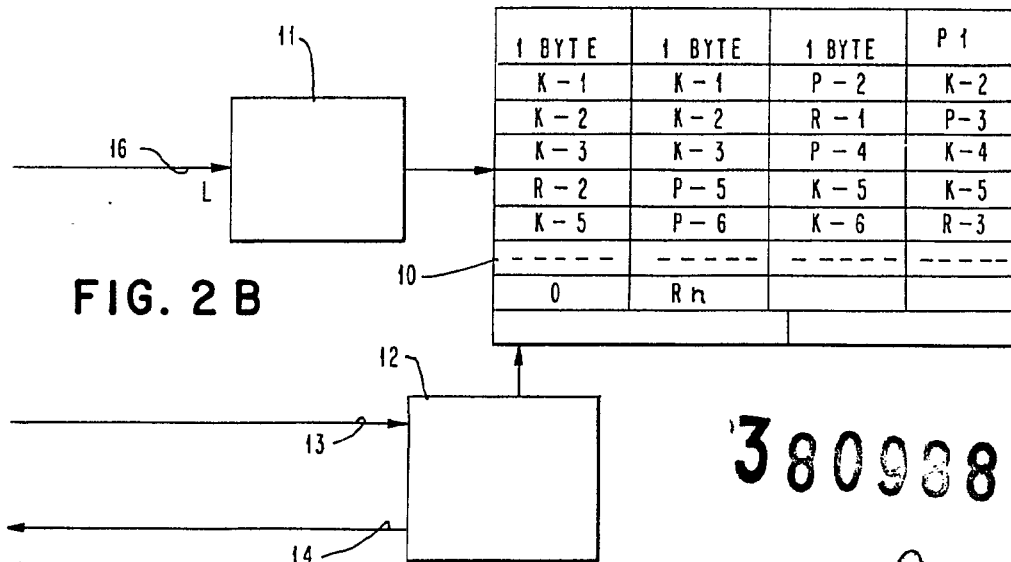


FIG. 2B



380988

*[Handwritten signature]*



FIG. 3

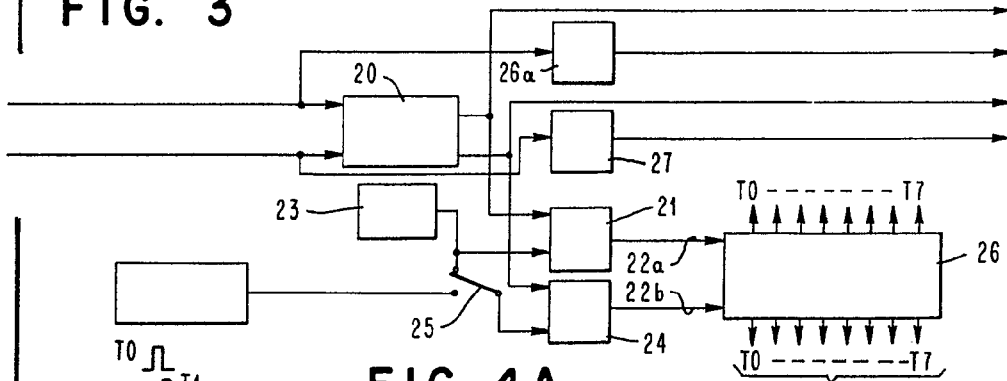


FIG. 4A

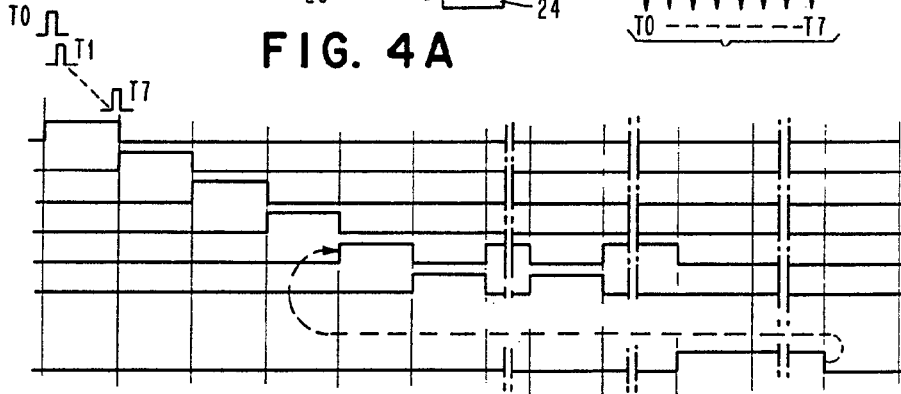


FIG. 4B

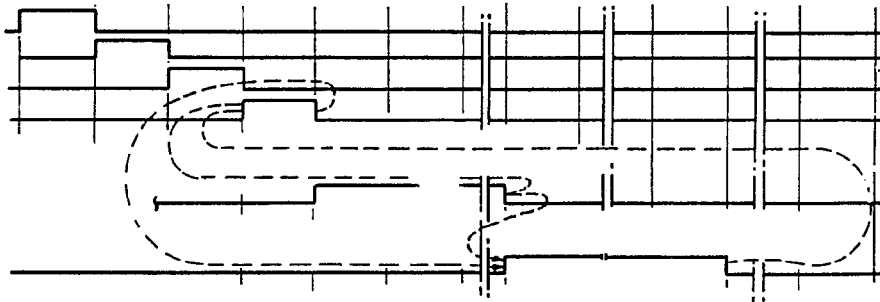
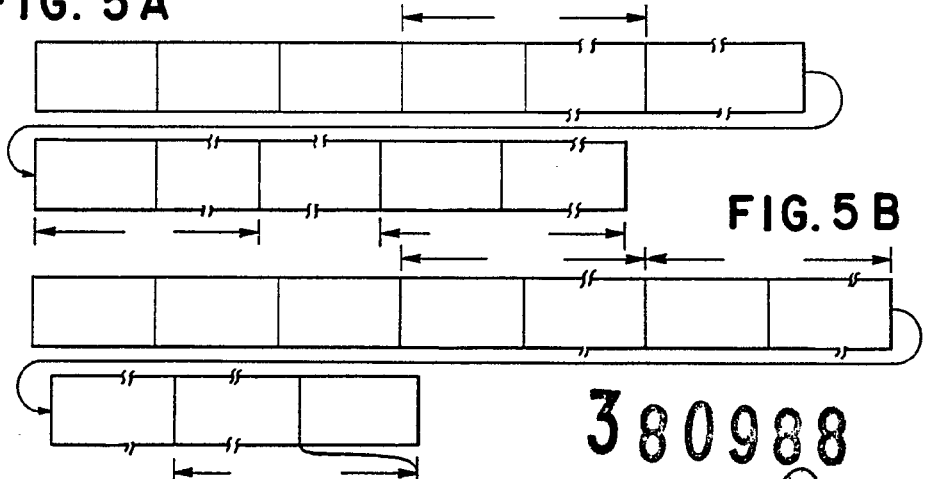


FIG. 5A

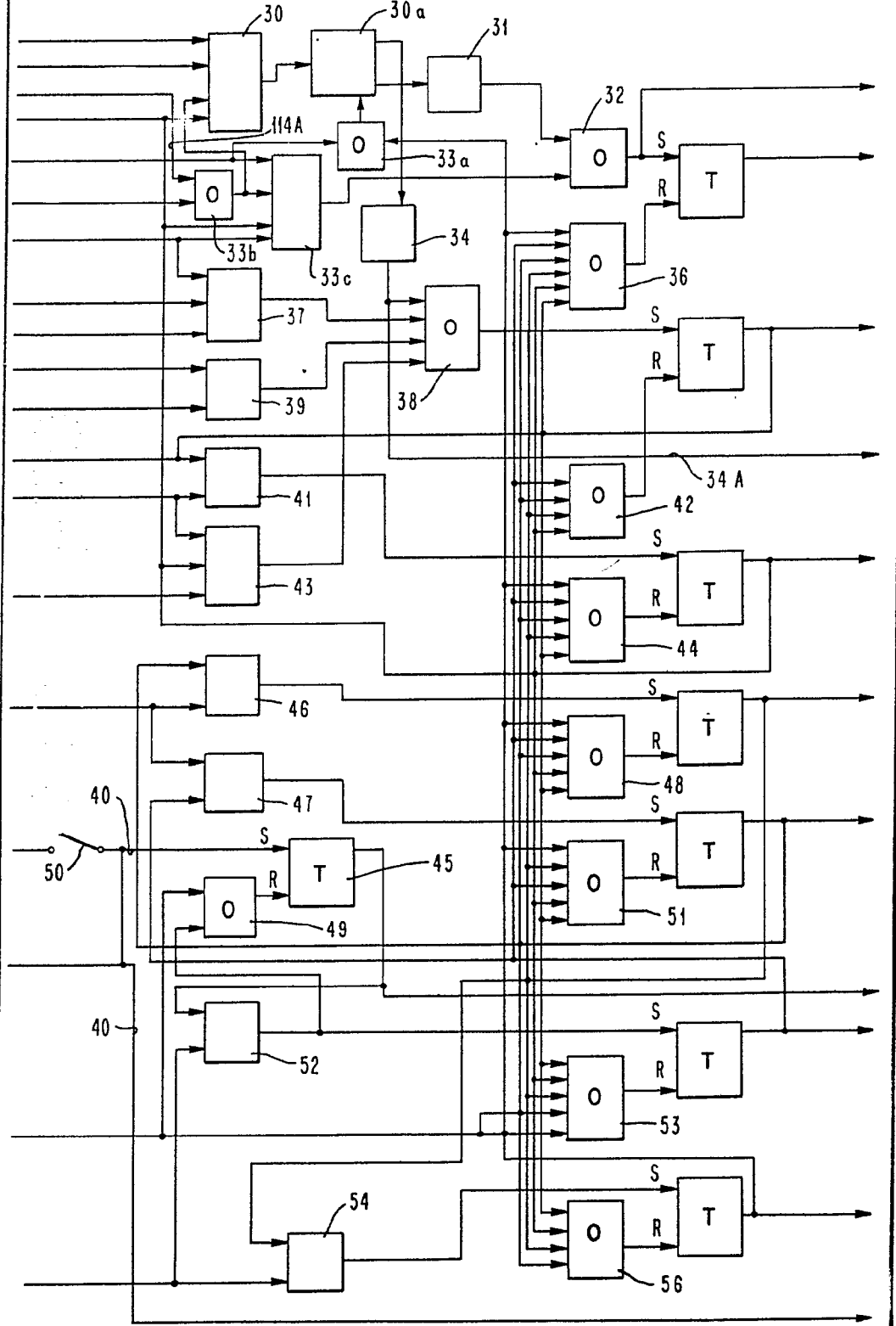


380988

ALBERTO DE BIANCHI  
Per Poderi



FIG. 6

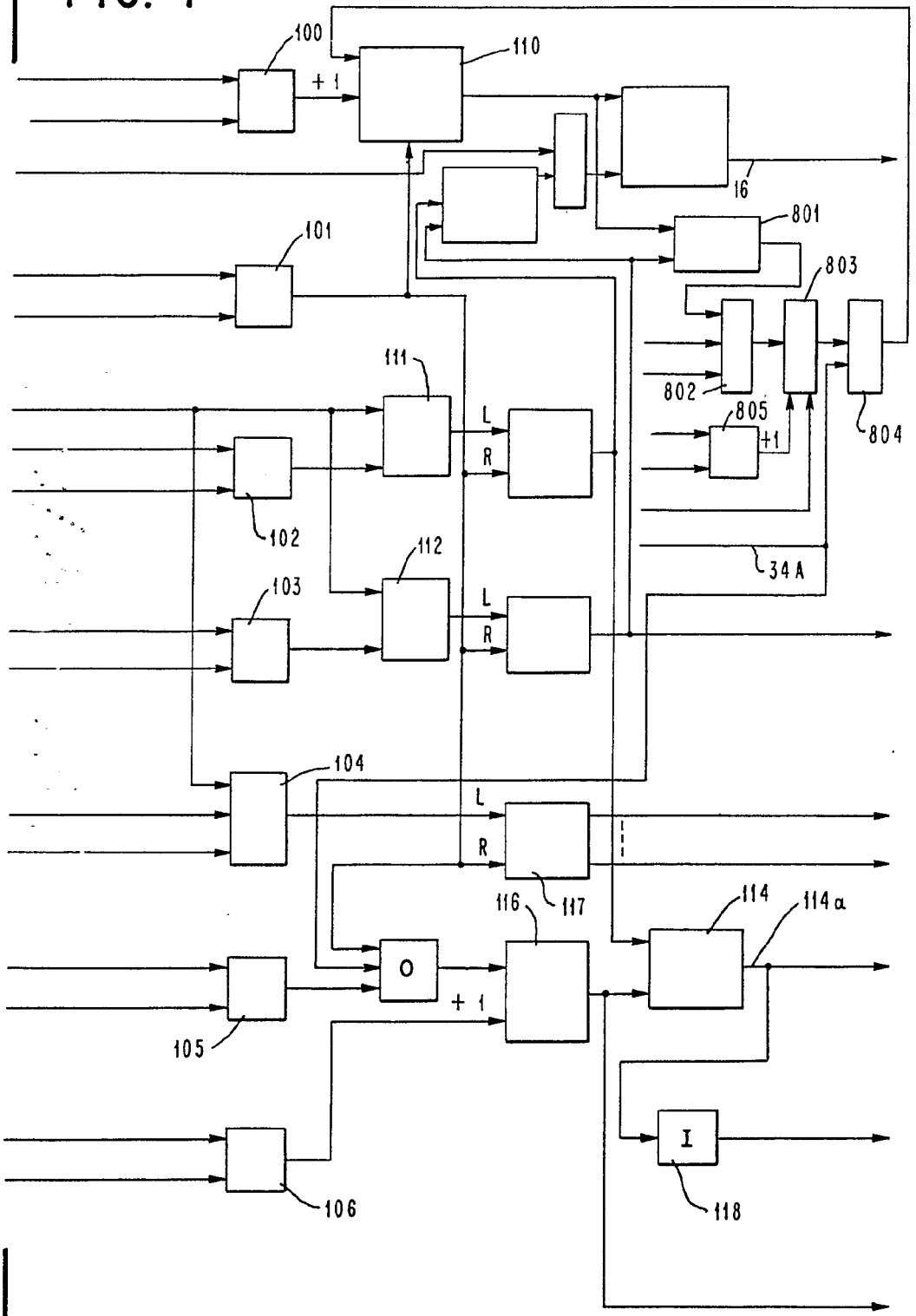


380988

Alberto de *[Signature]*  
Por Poder



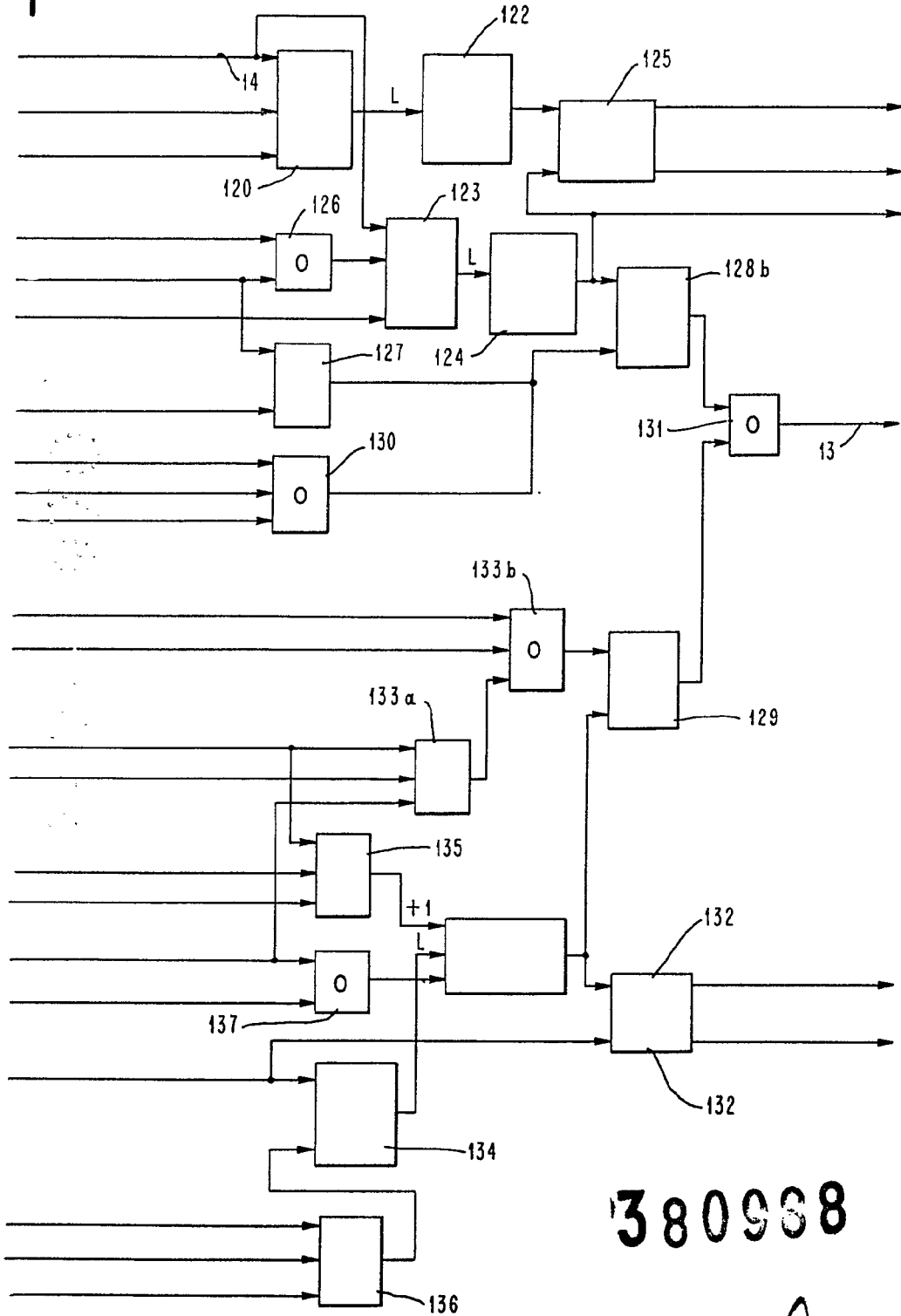
FIG. 7



380988

Albion  
For Patent

FIG. 8 A



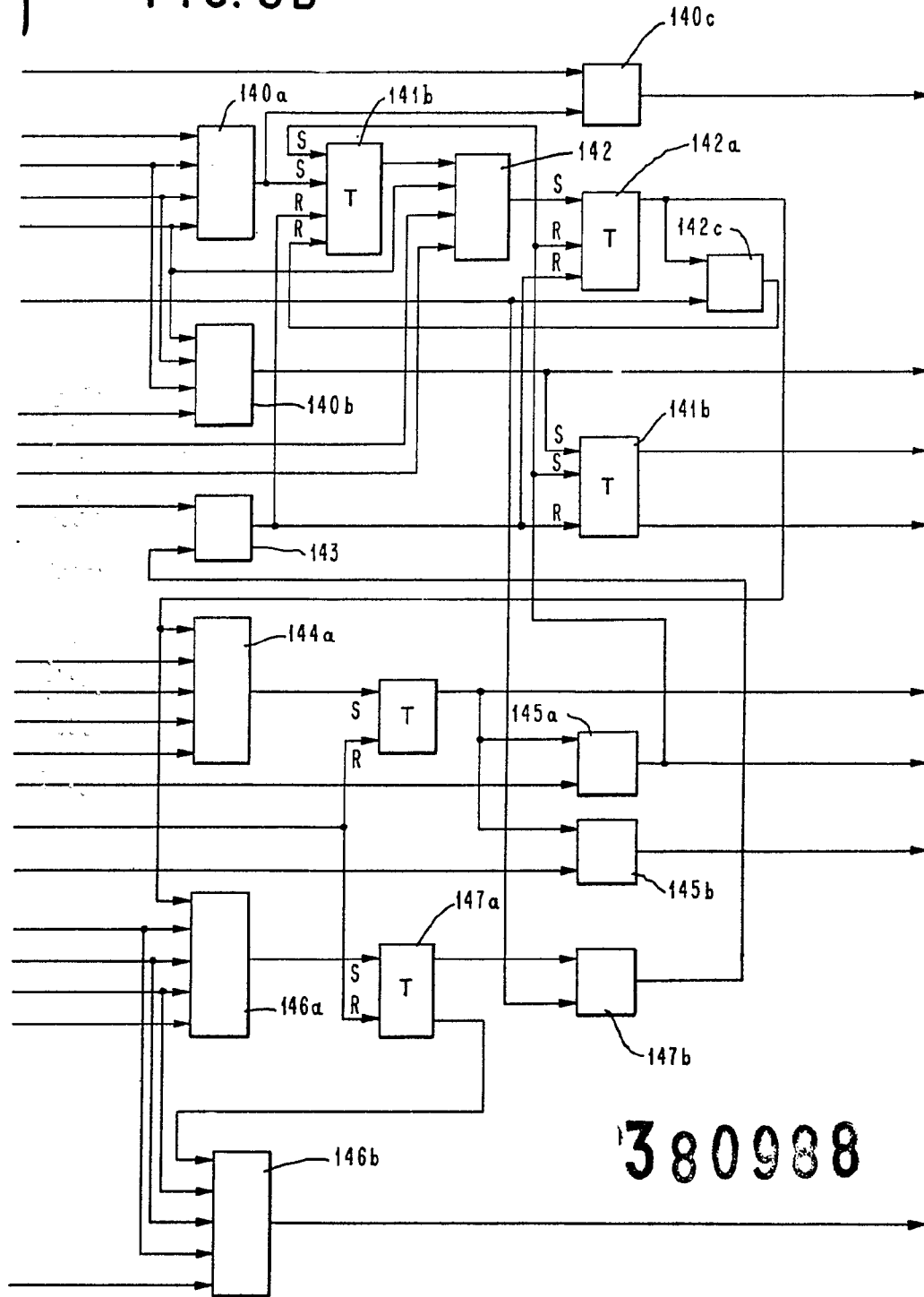
380968

FOR REPRODUCTION  
FOR REPRODUCTION

1 1 2 0 5 8



FIG. 8B

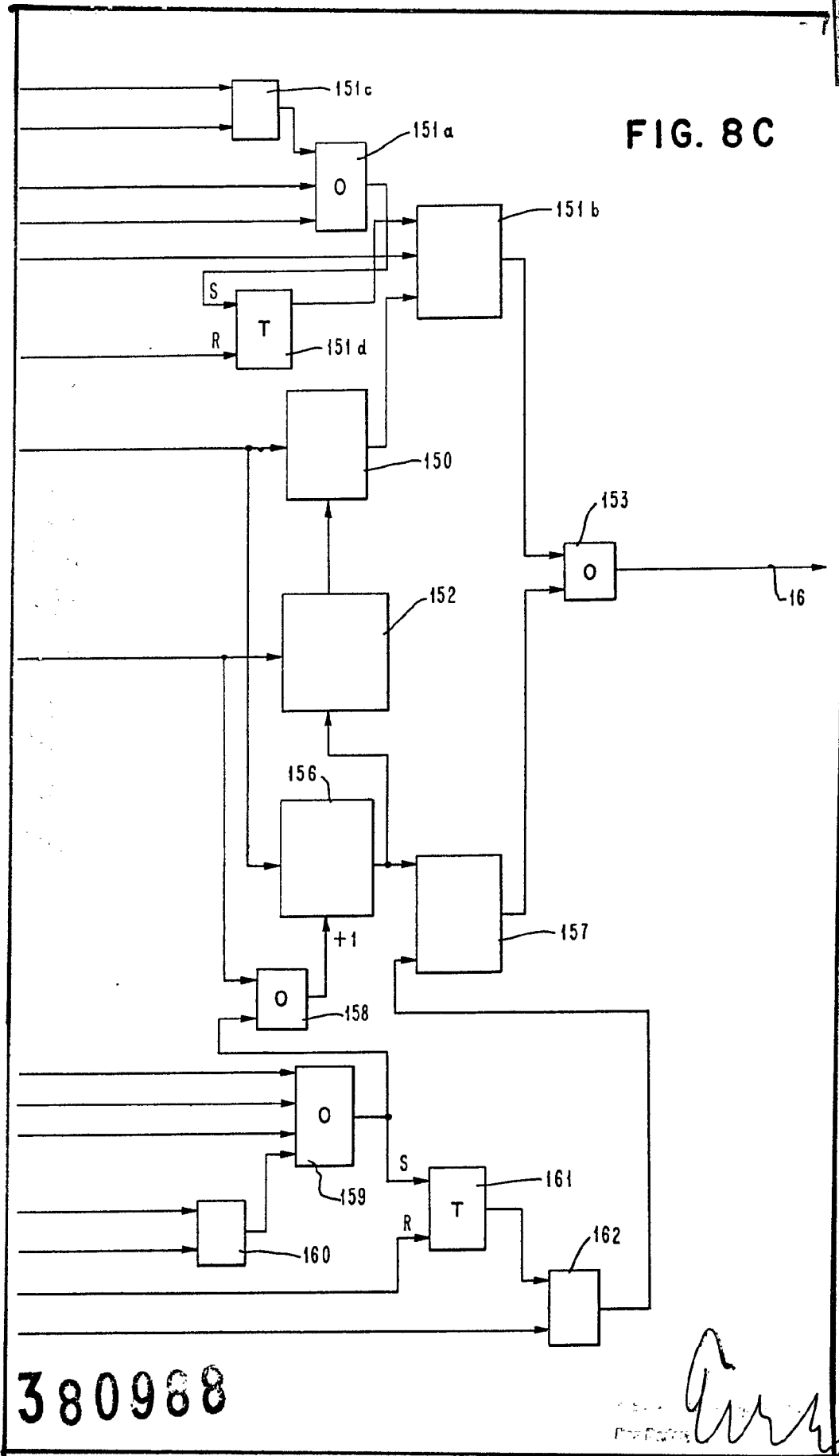


380988

*[Handwritten signature]*



FIG. 8C

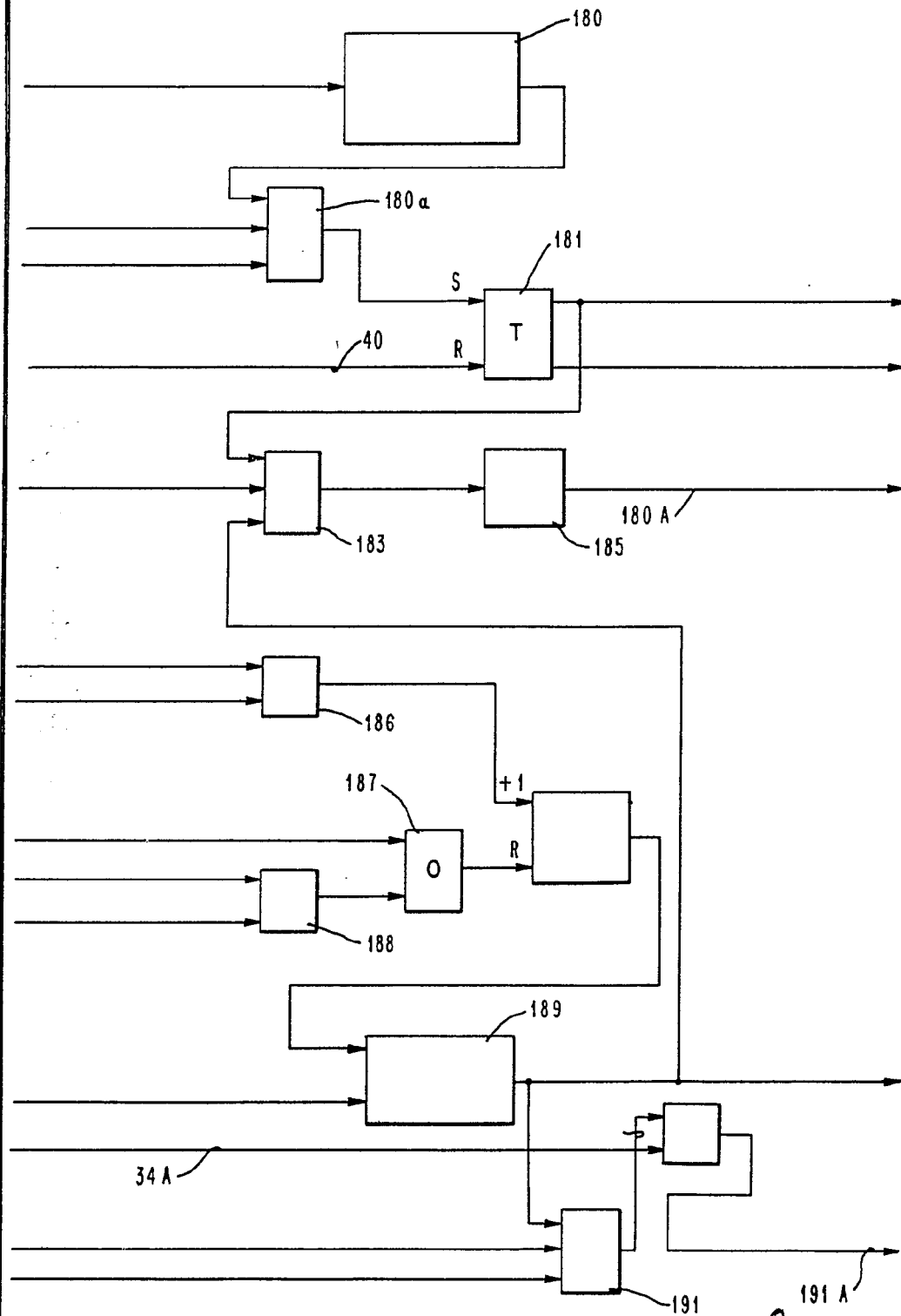


380988

380988  
The Office *[Signature]*



FIG. 8 D



380988

*Handwritten signature or initials*

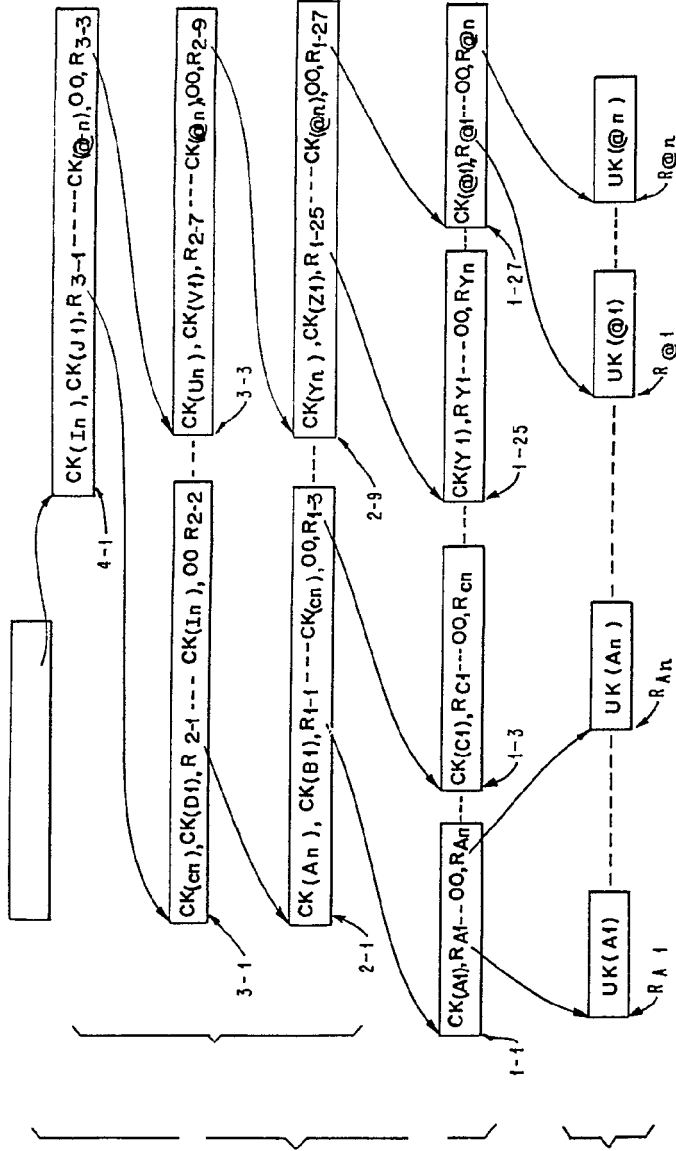


FIG. 9

380988

380988

For Product

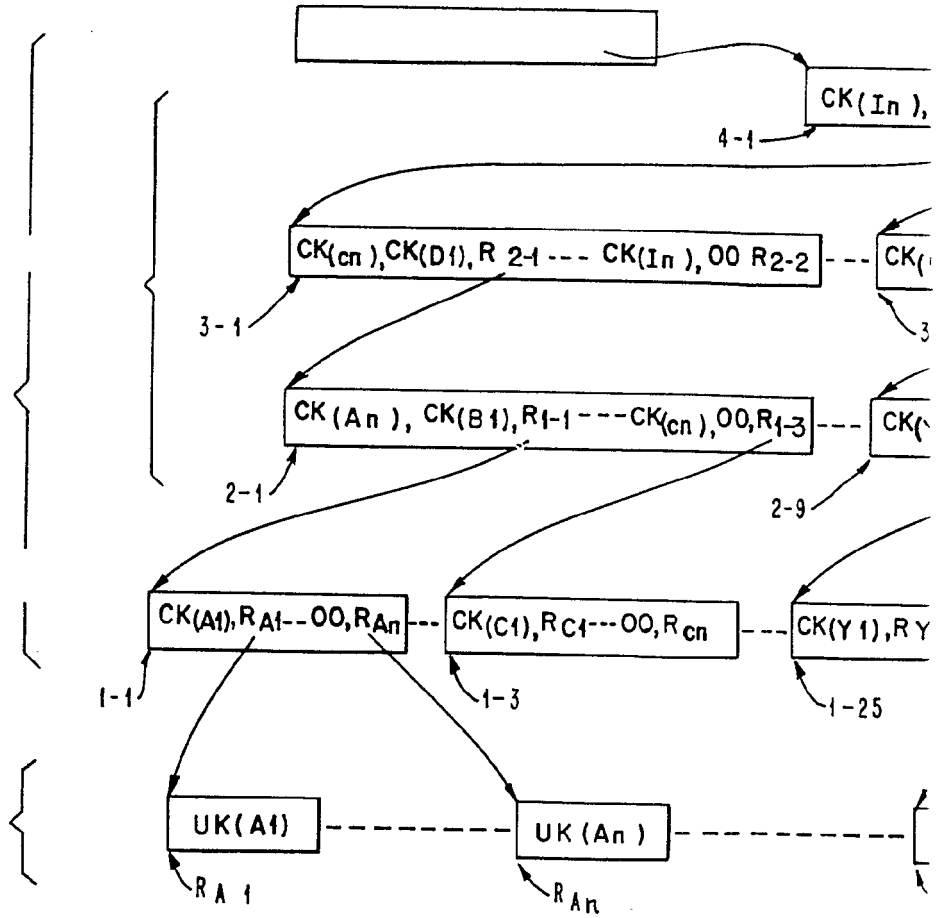


FIG. 9

380998

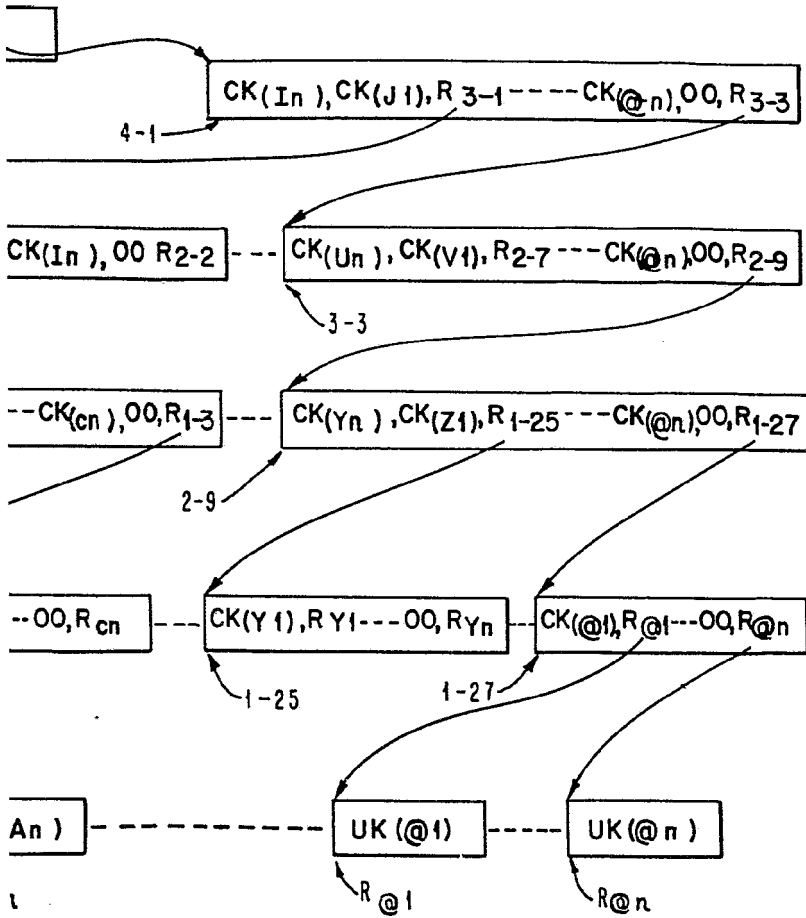


FIG. 9

380988

Alberto de ...  
 For Pedro.

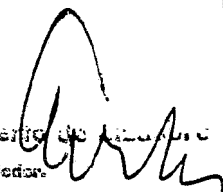
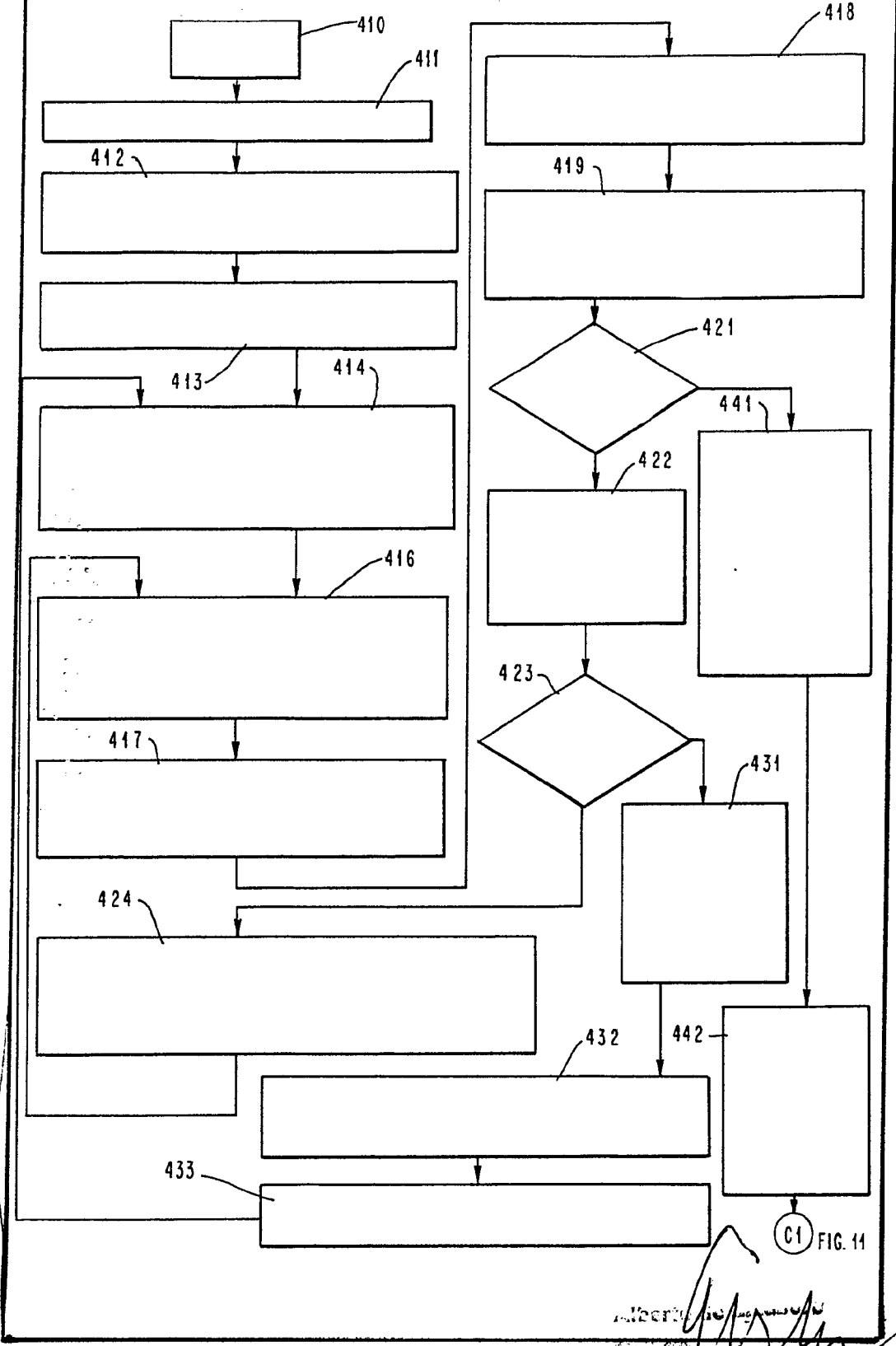




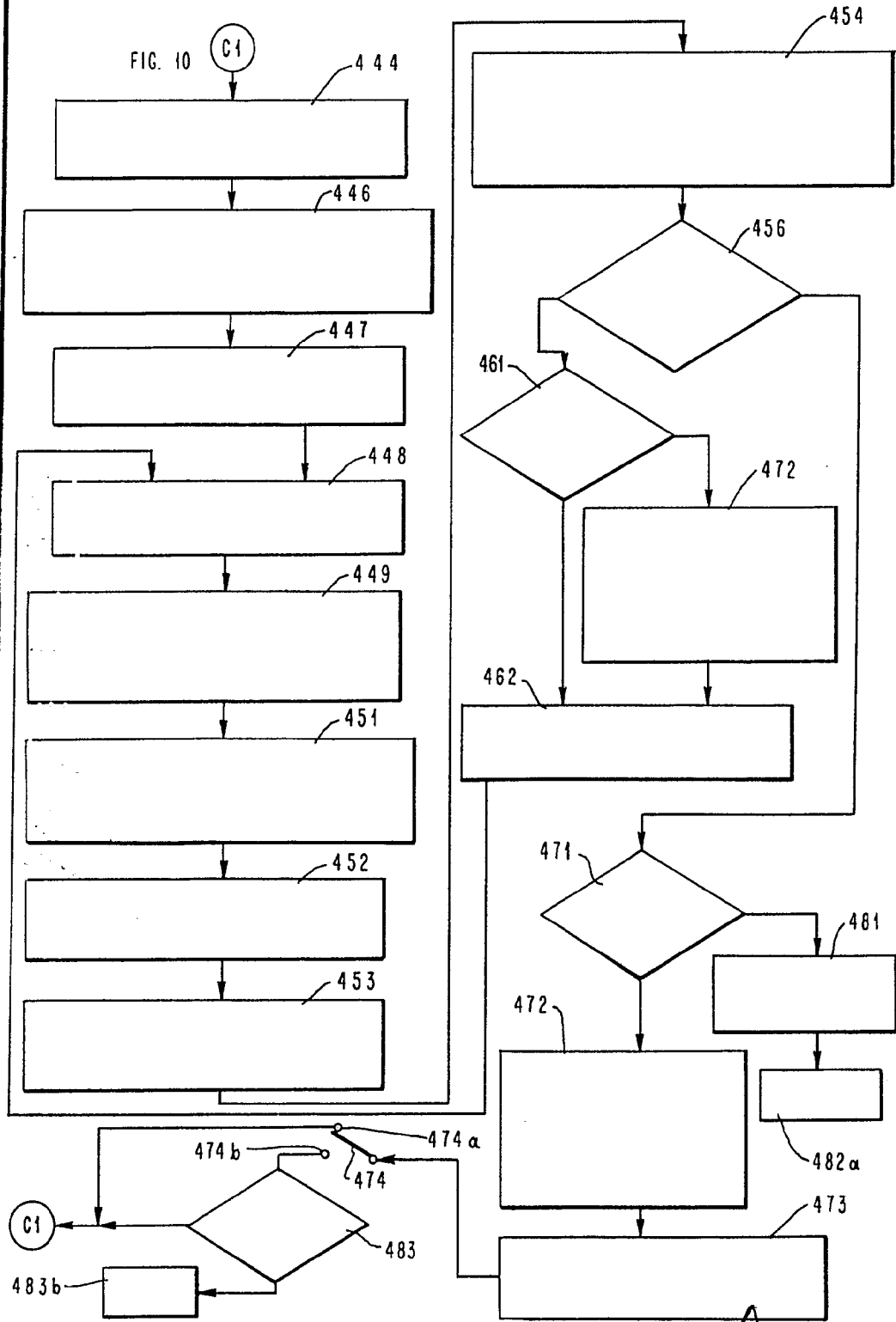
FIG. 10



C1 FIG. 11



FIG. 11



*Albert Einstein*

380988

DLG

FIG. 12 A

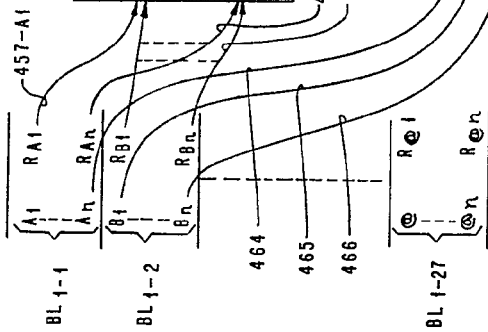


FIG. 12 B

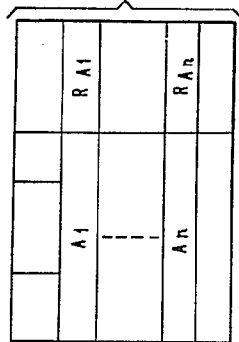


FIG. 12 C

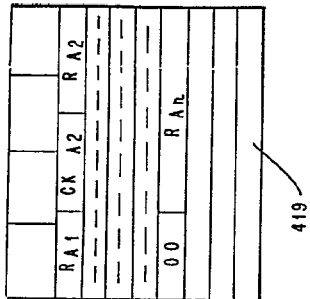


FIG. 12 D

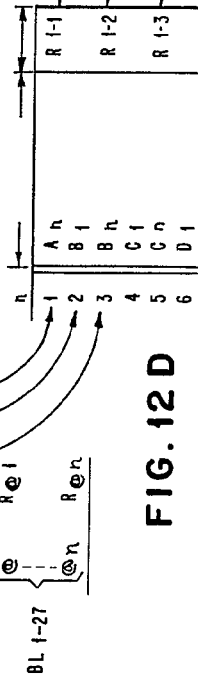
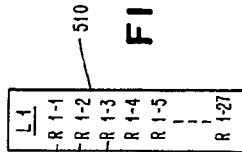


FIG. 12 E



380960

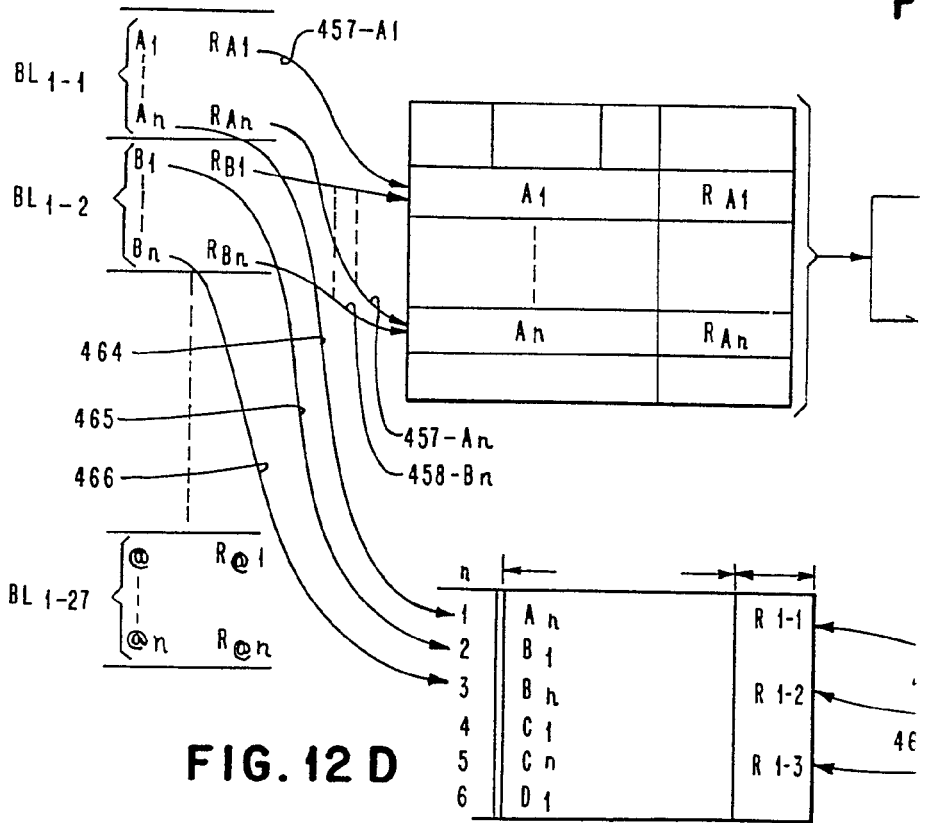
380988

*Arui*

FIG. 12 A

FIG. 12 B

F

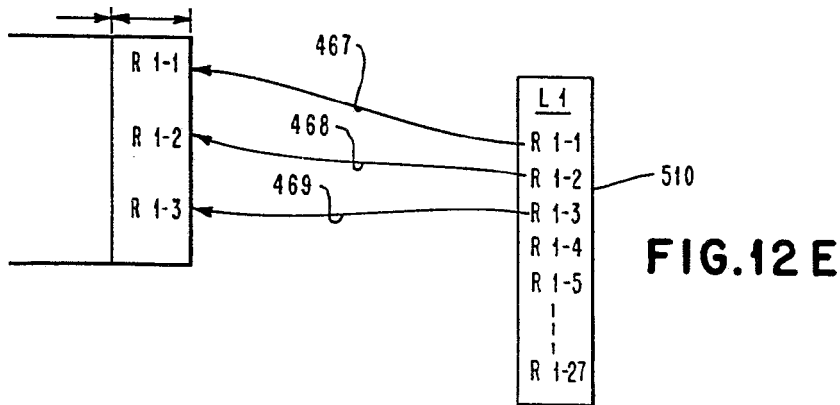
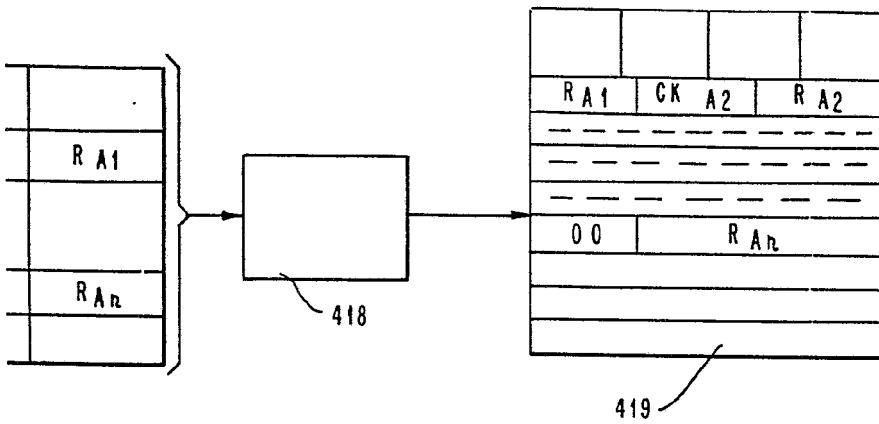


380966

026

2 B

FIG. 12 C



380988

*Arri*

380900

144702



FIG. 13A

FIG. 13B

FIG. 13C

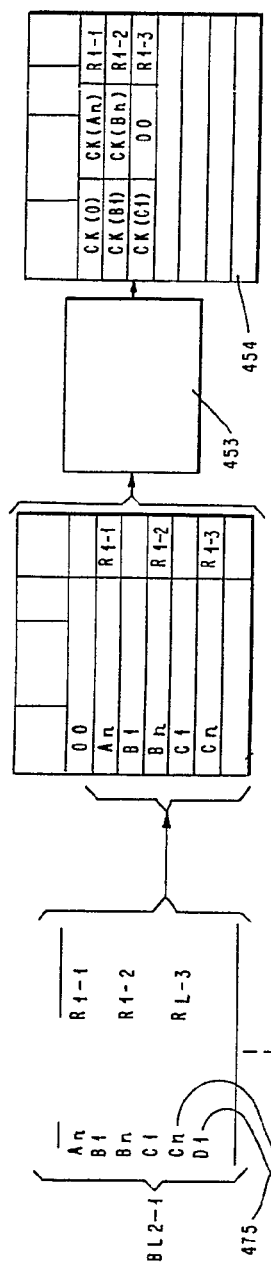
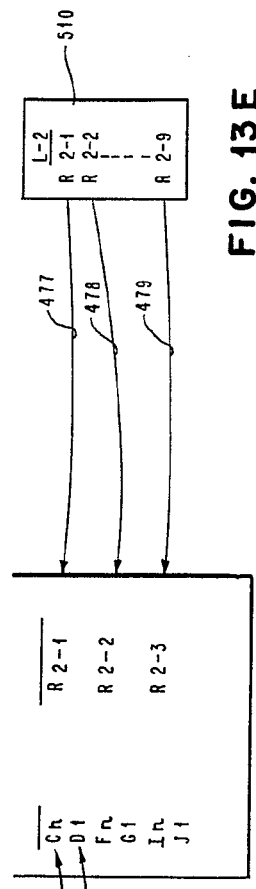


FIG. 13D

FIG. 13E



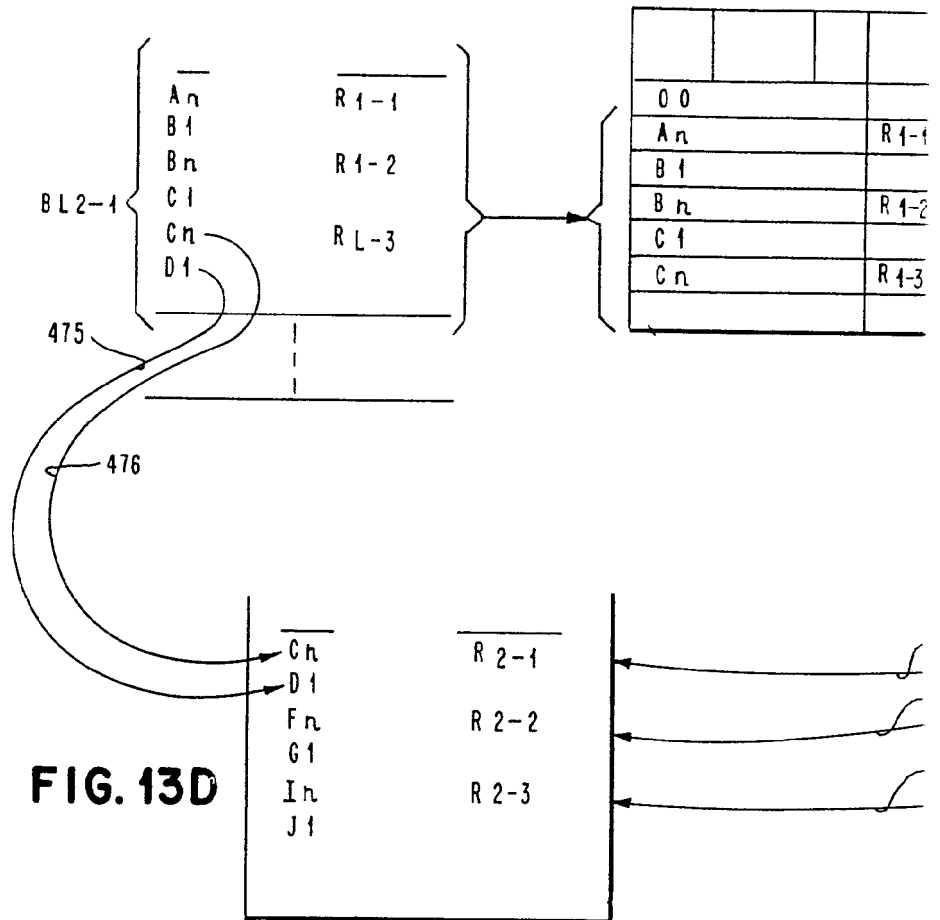
380900

380900

OTTO DE WITZEL

FIG. 13 A

FIG. 13 B



380956



FIG. 13 B

FIG. 13C

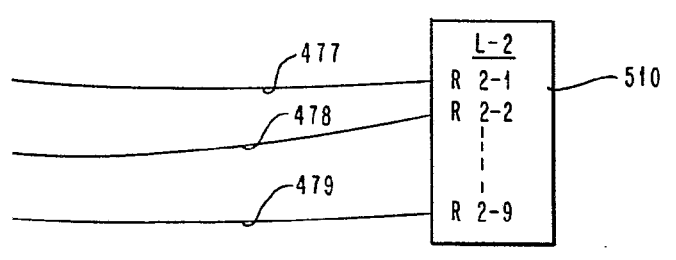
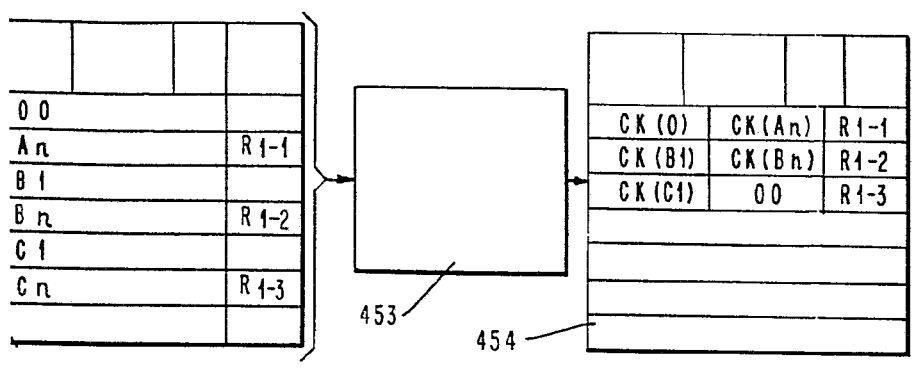


FIG. 13 E

380500

Alberto de Lizasoain



FIG. 14 A

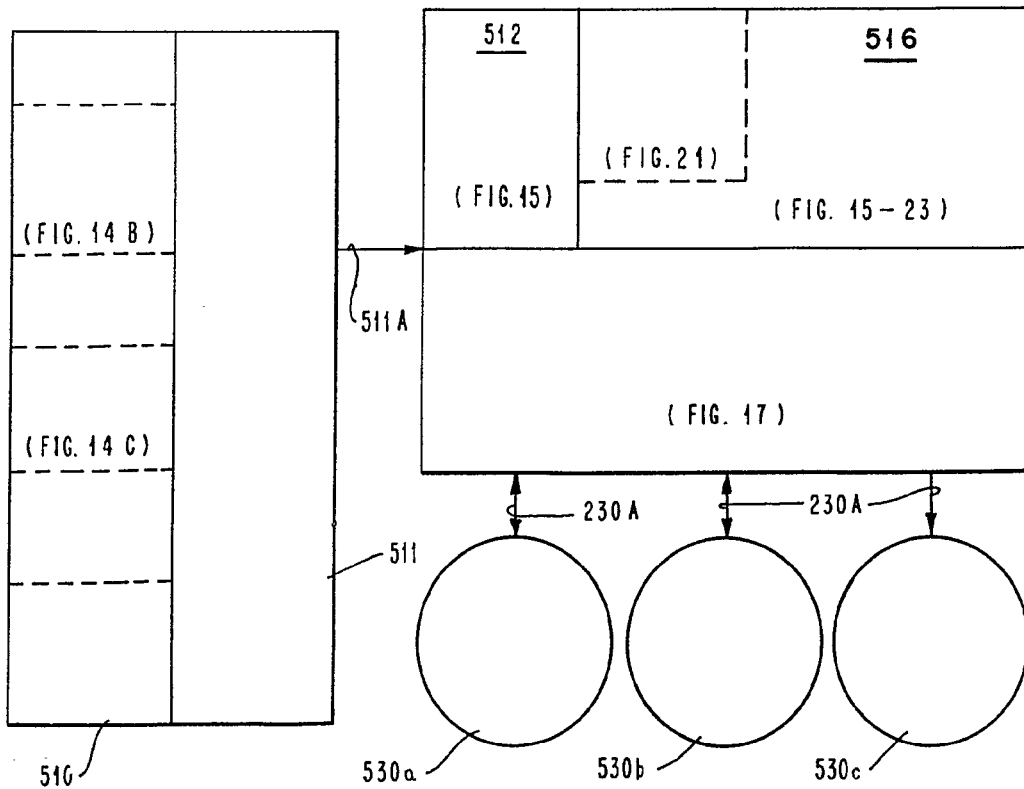


FIG. 14 B

<u>L1</u>	<u>L2</u>		<u>LK</u>

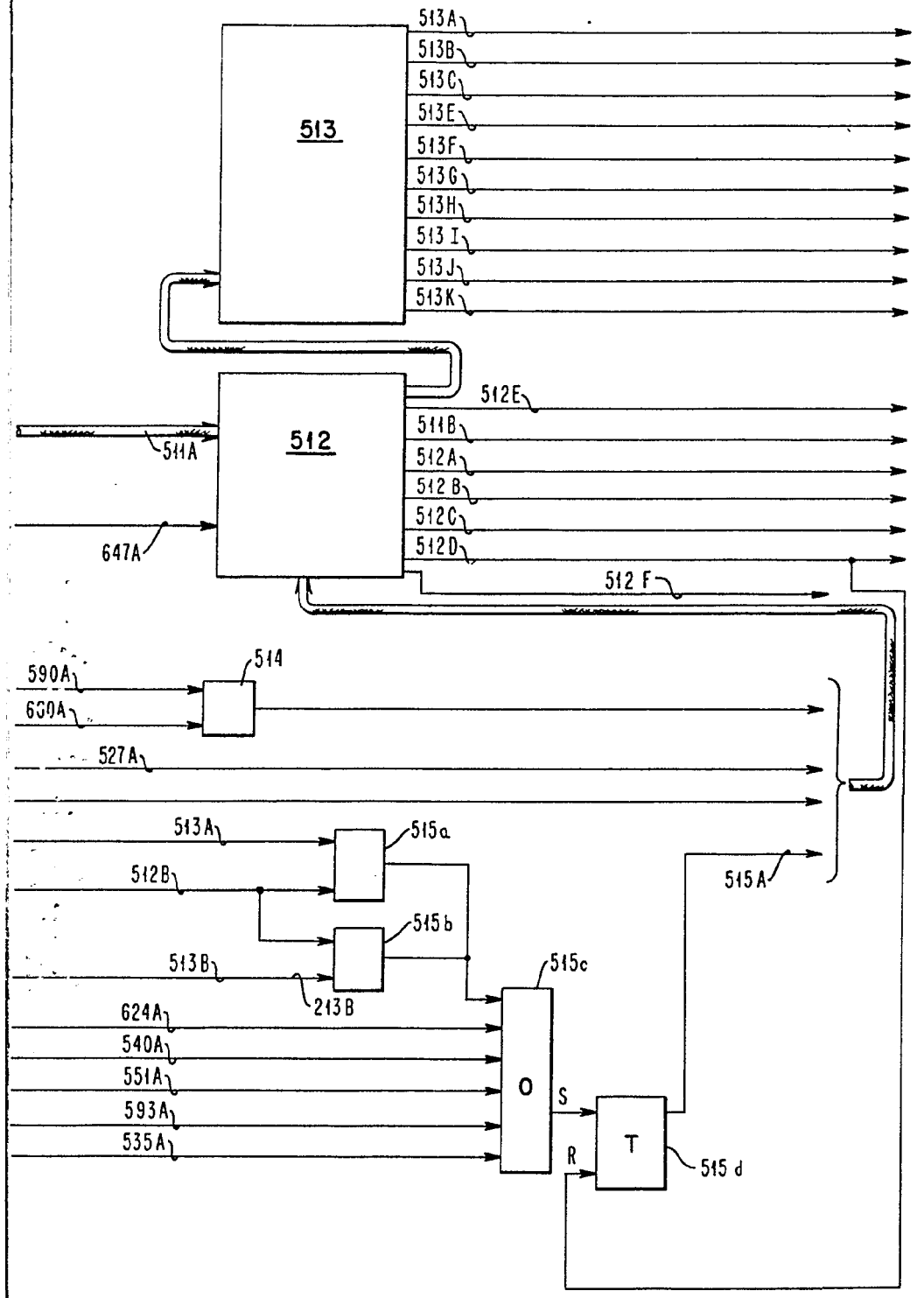
FIG. 14 C

<u>L1</u>	<u>L2</u>	<u>L3</u>	<u>LK</u>
R1-1	R2-1	R3-1	RK-1
⋮	⋮	⋮	⋮
R1-h	R2-h	R3-h	RK-h

380988

*[Handwritten signature]*

FIG. 15



© 1965 by General Electric Company  
All rights reserved.



10 4 7 3

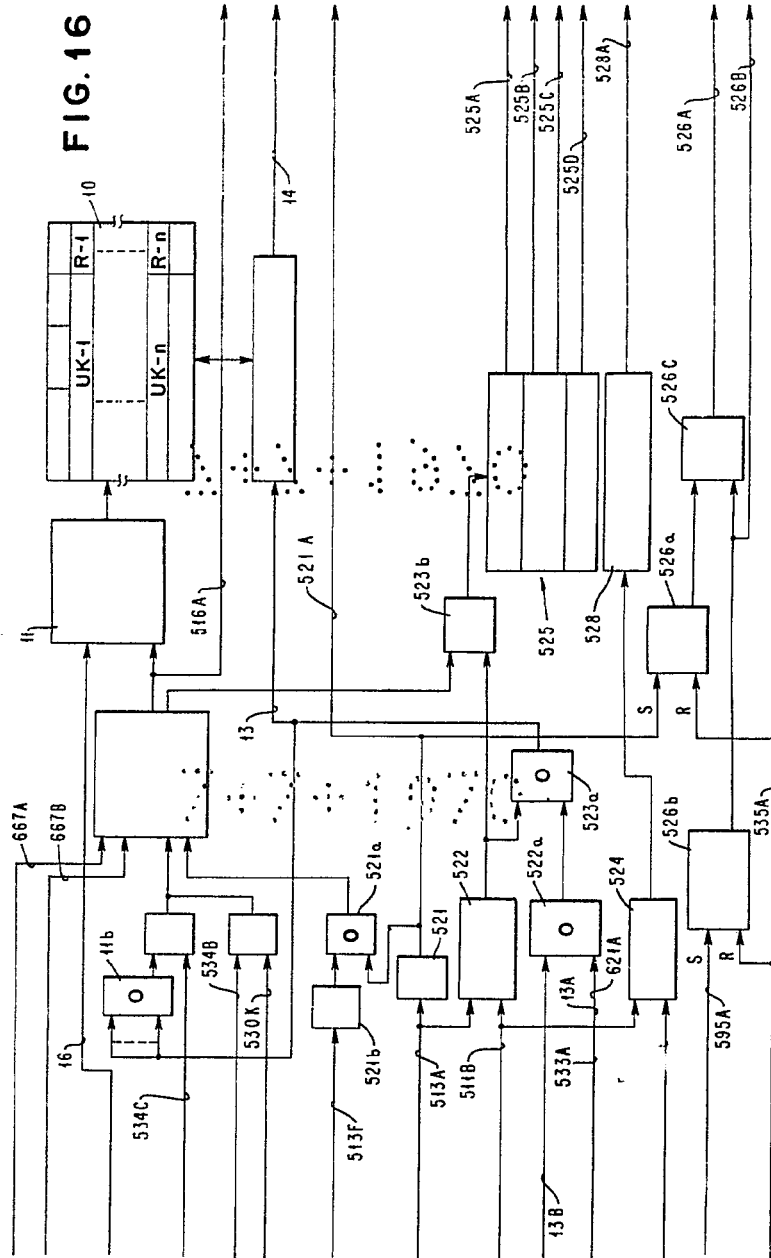


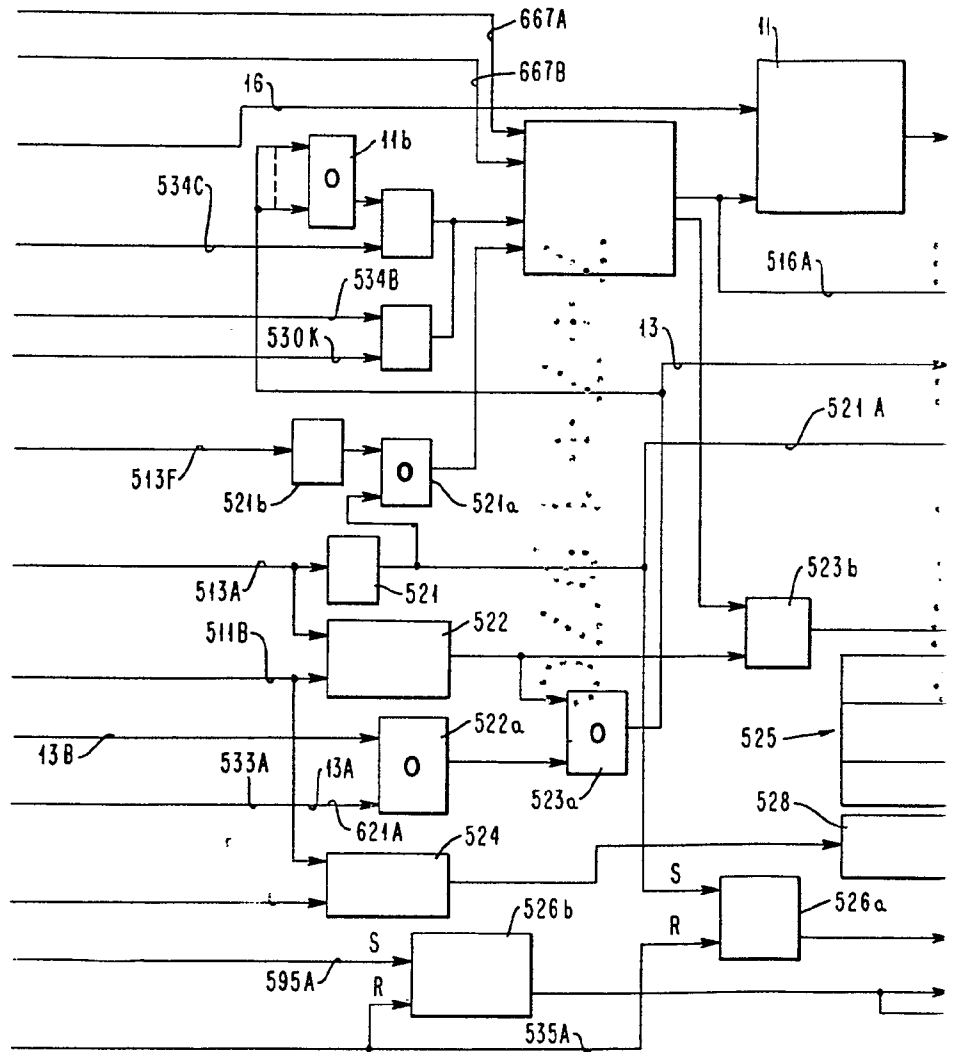
FIG. 16

380988

380988

*Handwritten signature or initials*

10-1-73



380988

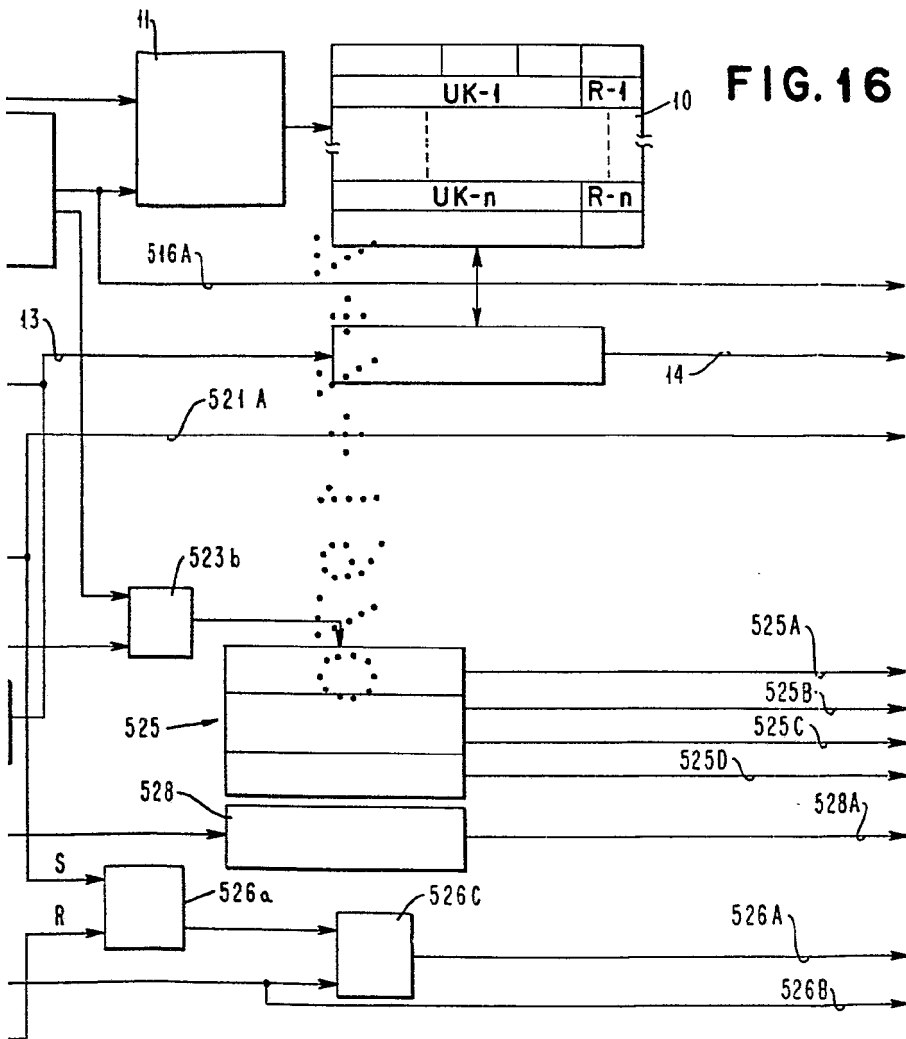


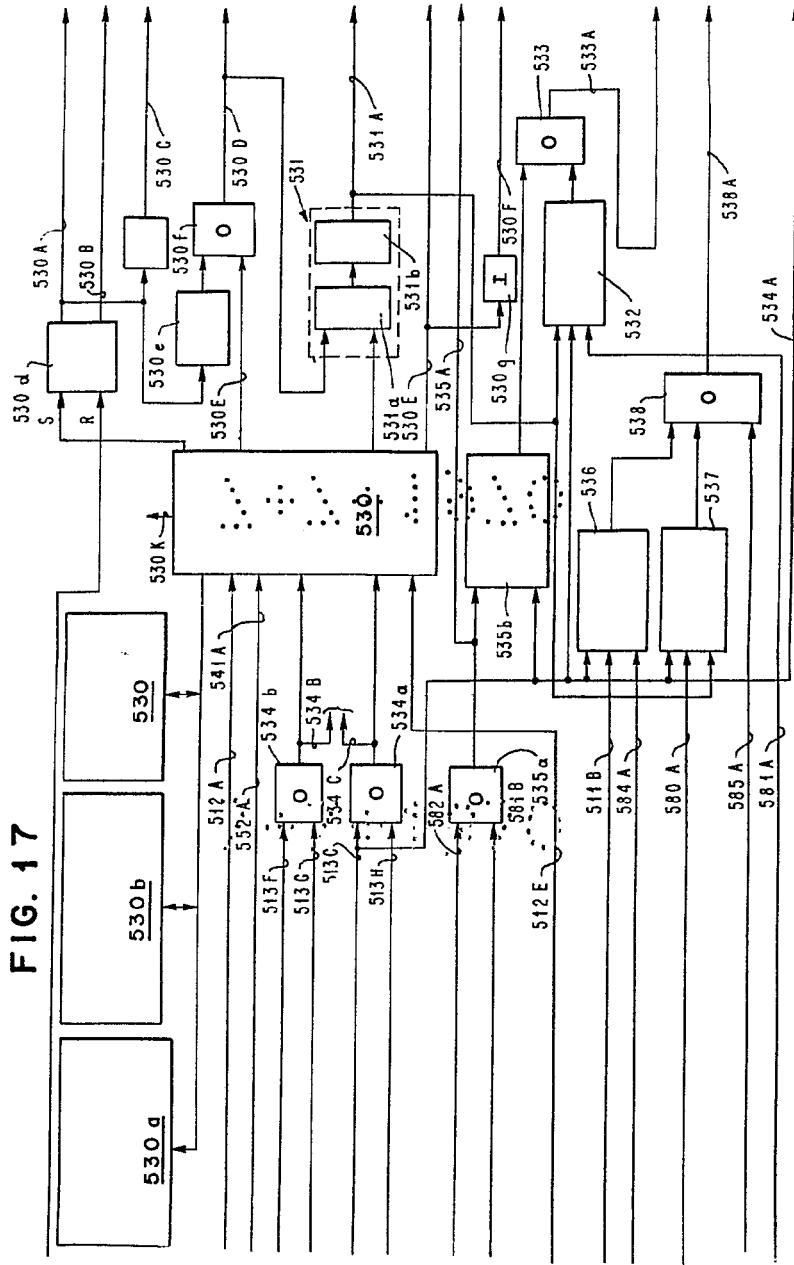
FIG. 16

380988



48-4173

FIG. 17



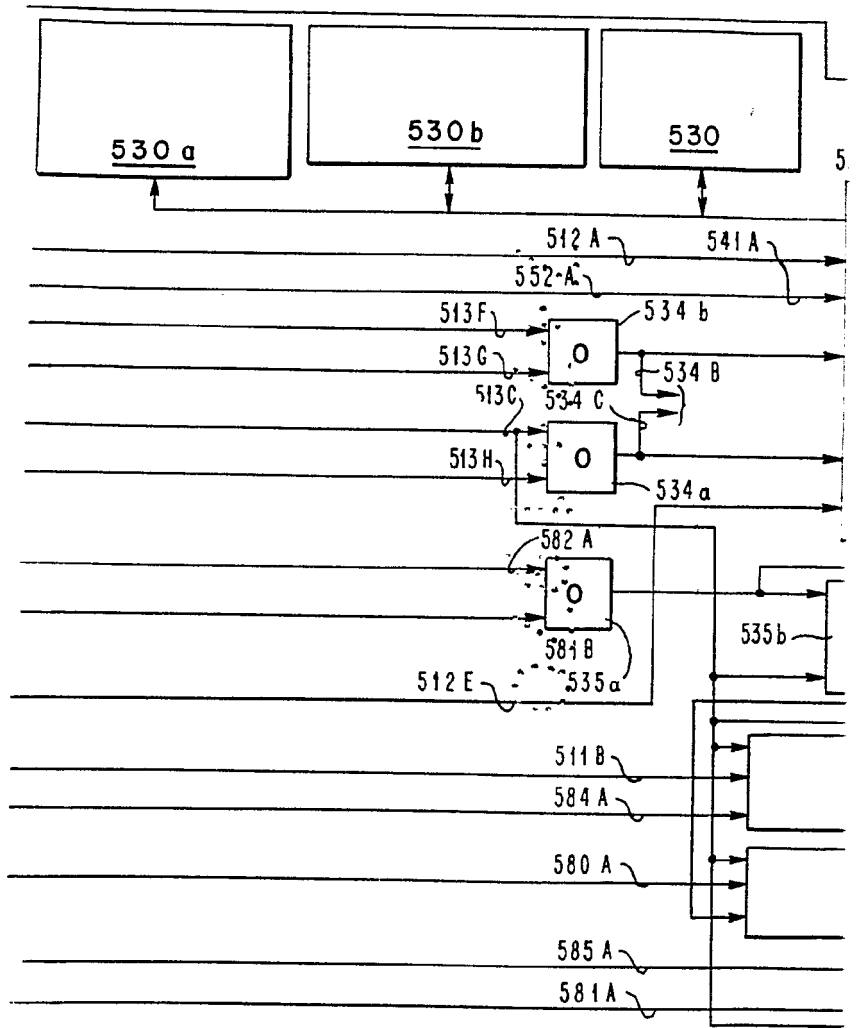
380988

380988

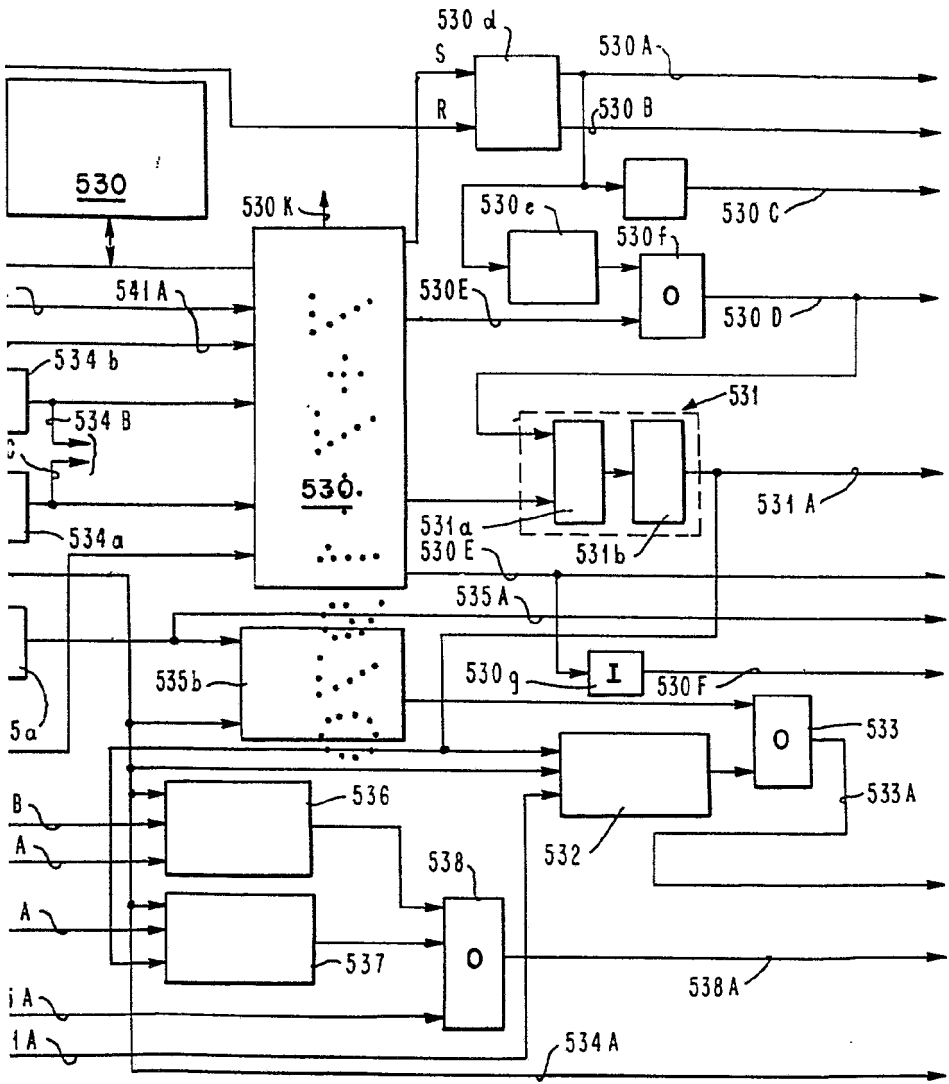
*Handwritten signature or initials*

10-1-78

FIG. 17



380988



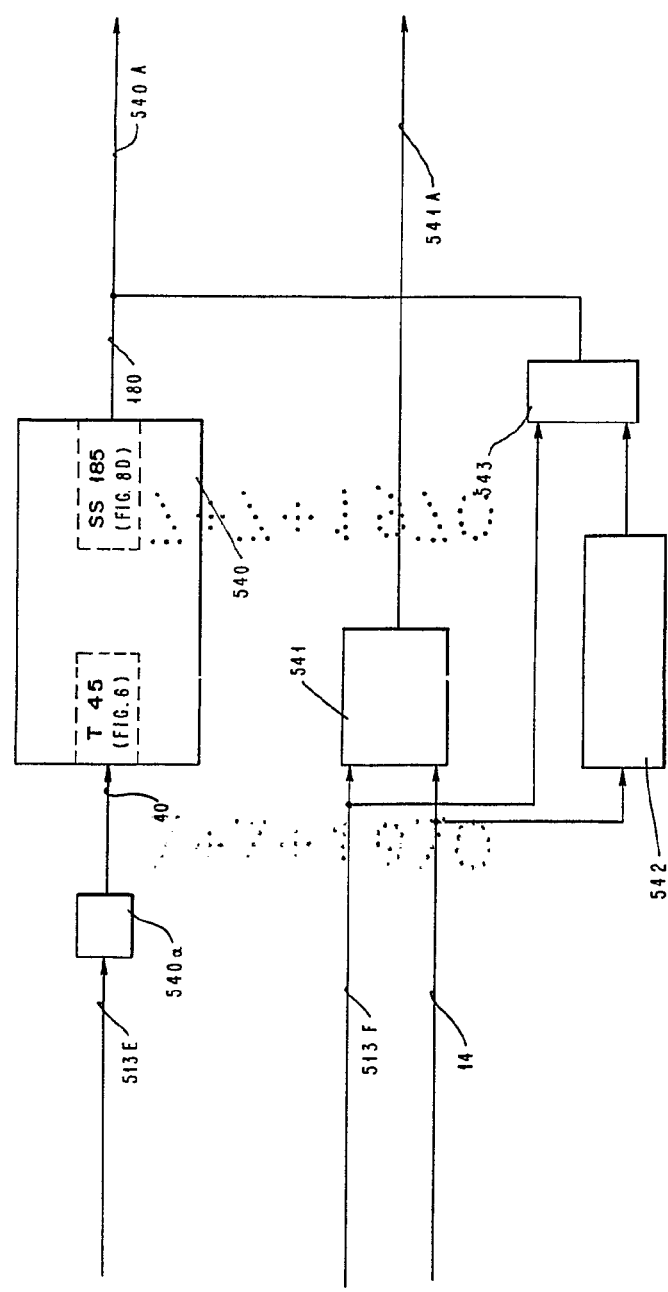
380988

*Handwritten signature or initials.*

144954



FIG. 18



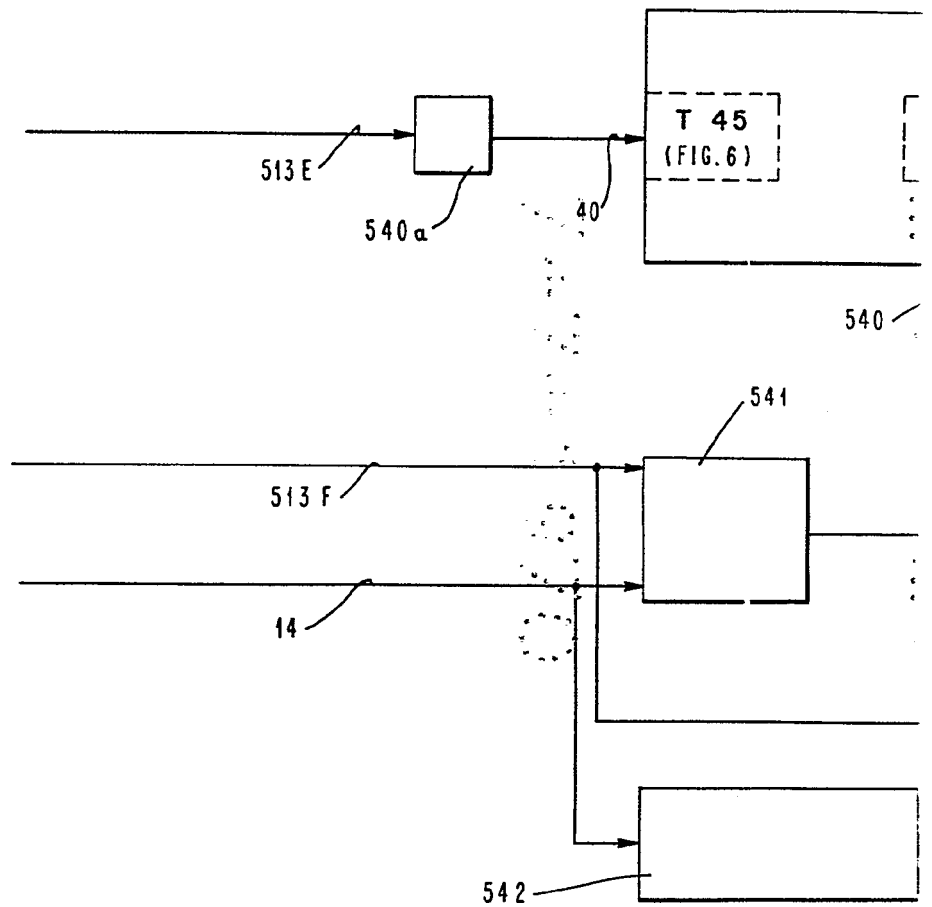
380988

380988

*Handwritten signature or initials*

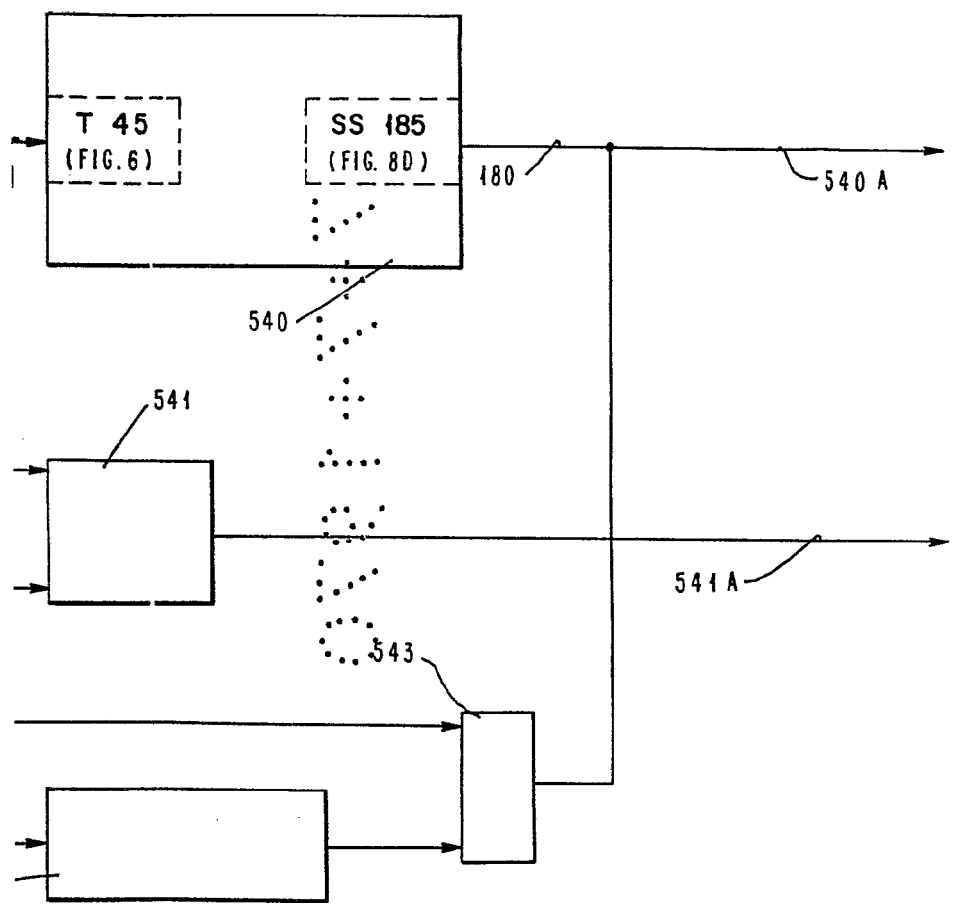
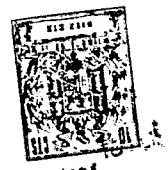
000000

FIG. 18



380988

144959

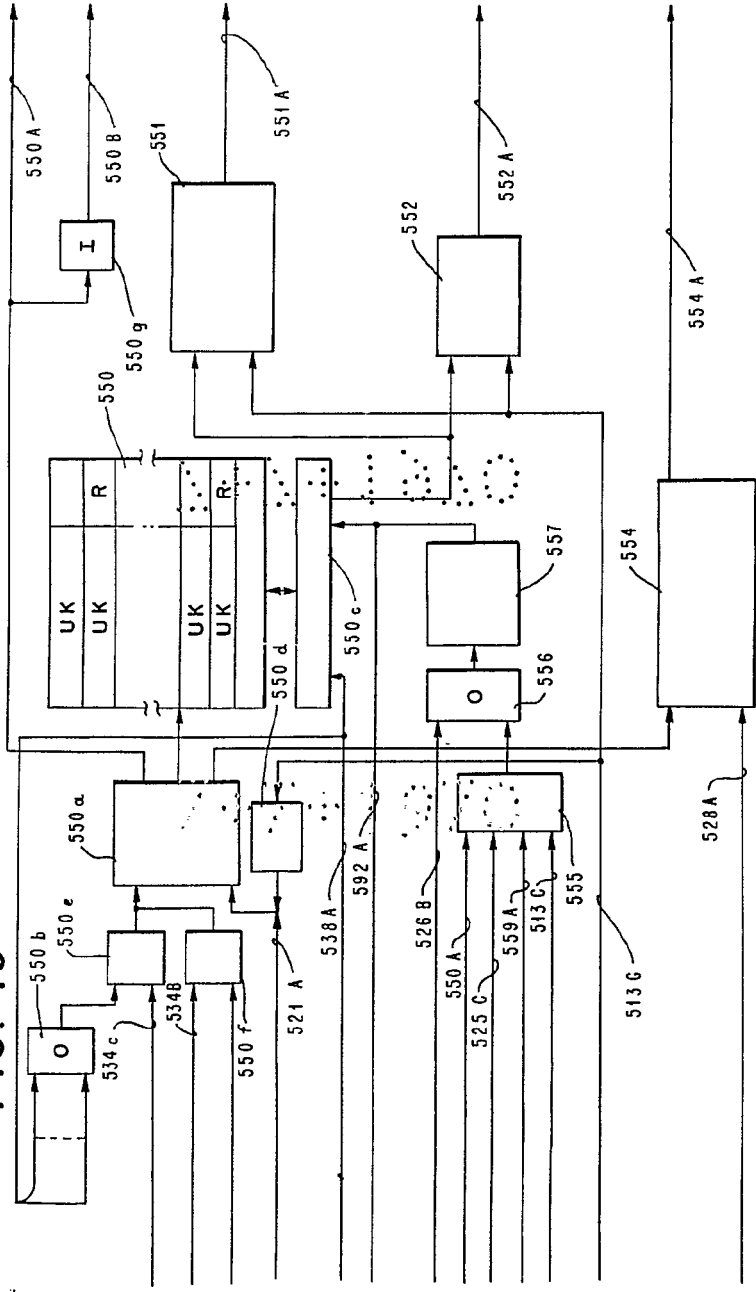


380988

For use  
*[Handwritten signature]*



FIG. 19



380988

380988

*Wm*

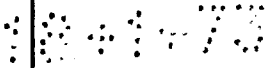
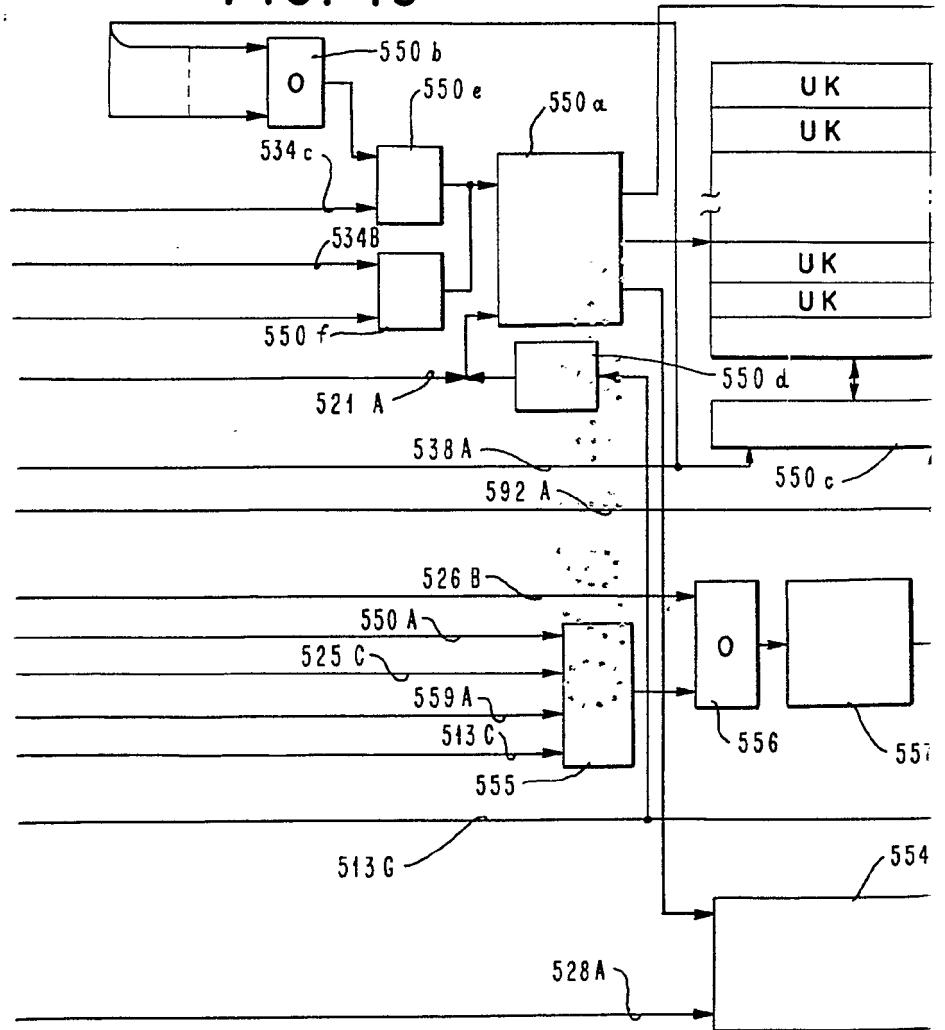
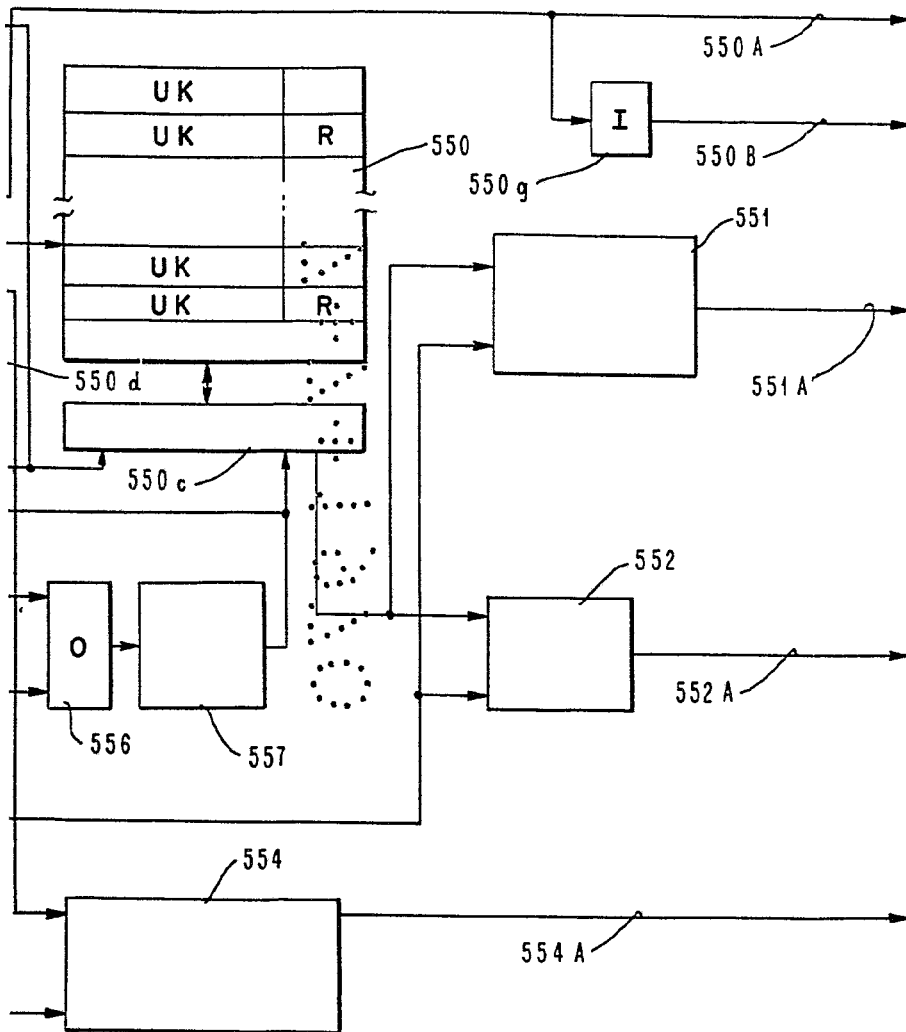


FIG. 19



380988

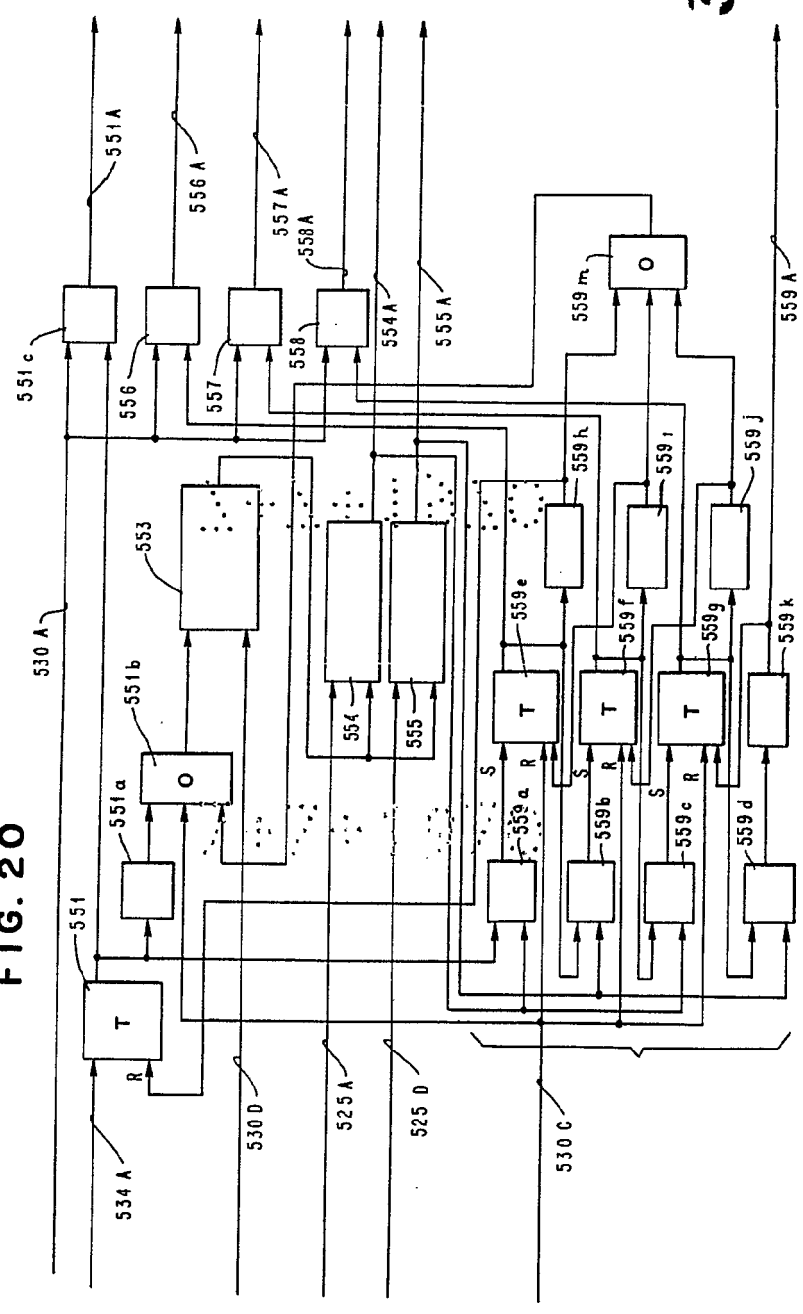


380988

*Handwritten signature or scribble.*

404473

FIG. 20



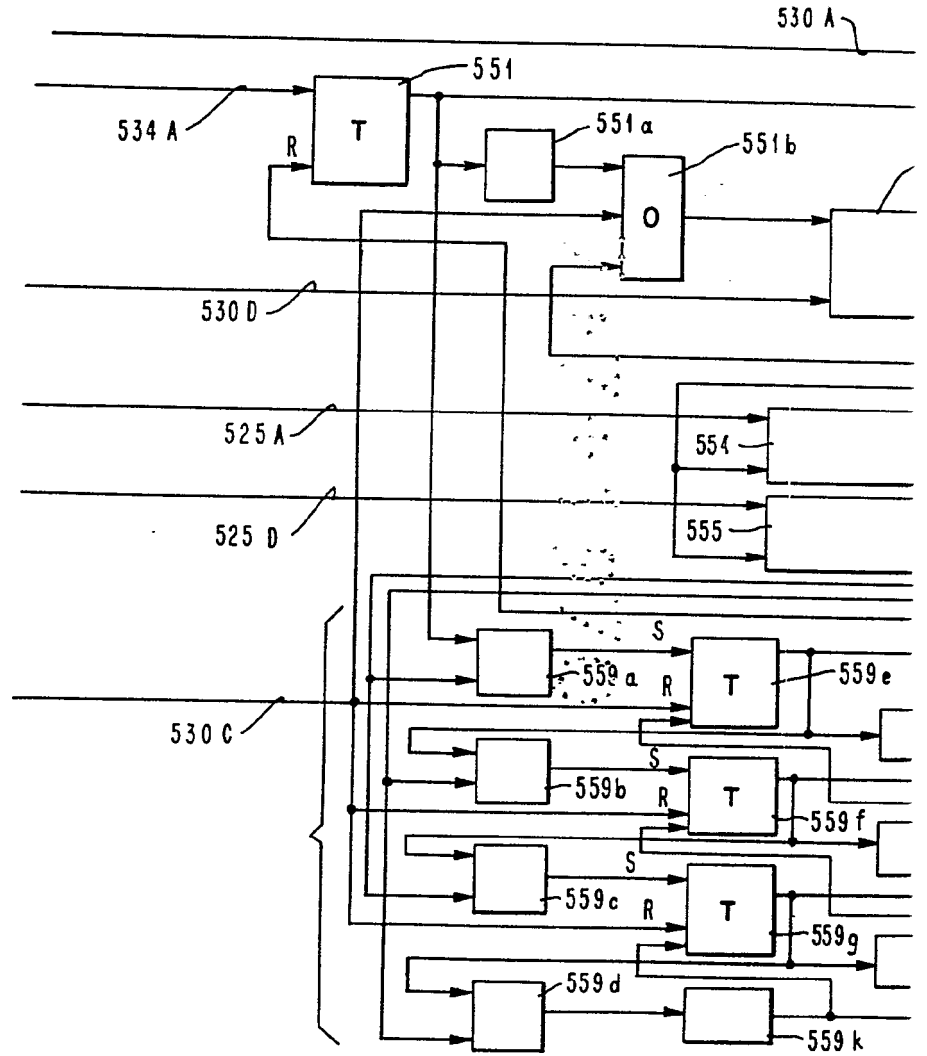
380988

380988

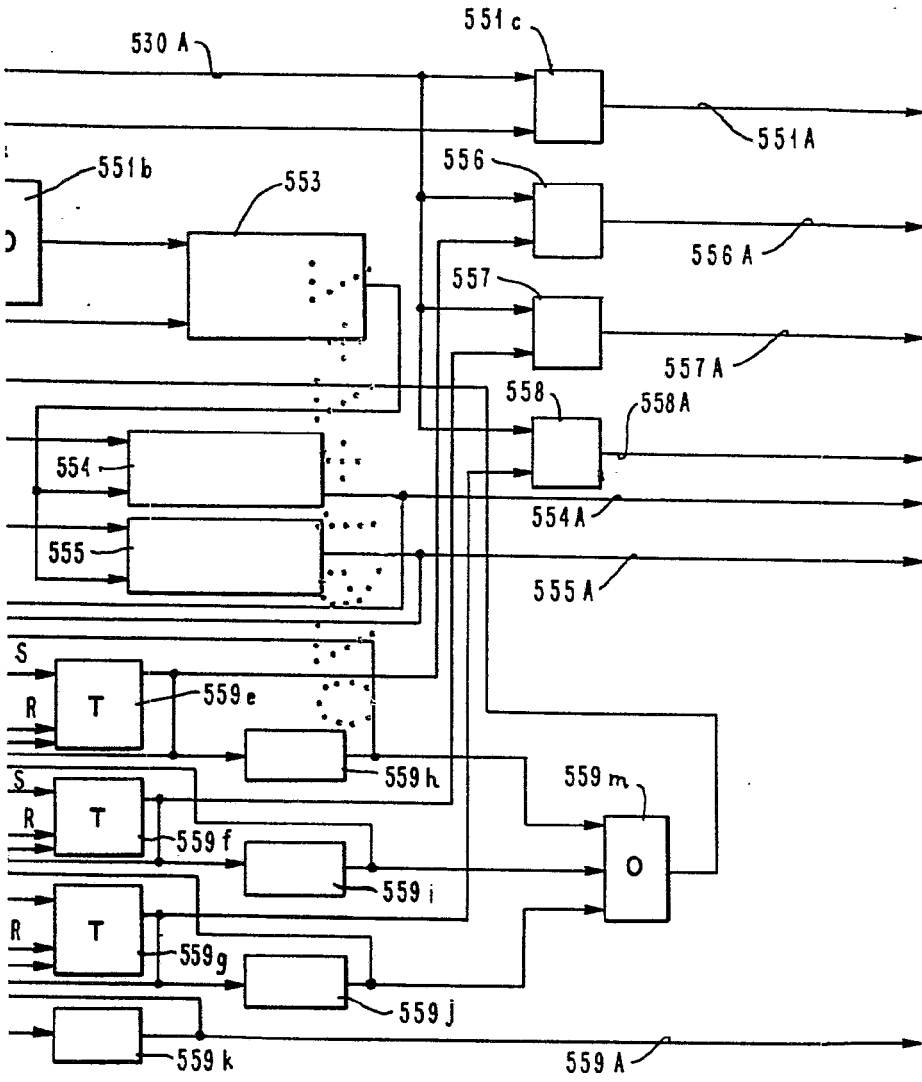
*Handwritten signature*

00073

FIG. 20



380988



380988

*W. W. [Signature]*



380988

380988  
Pat. Federa.

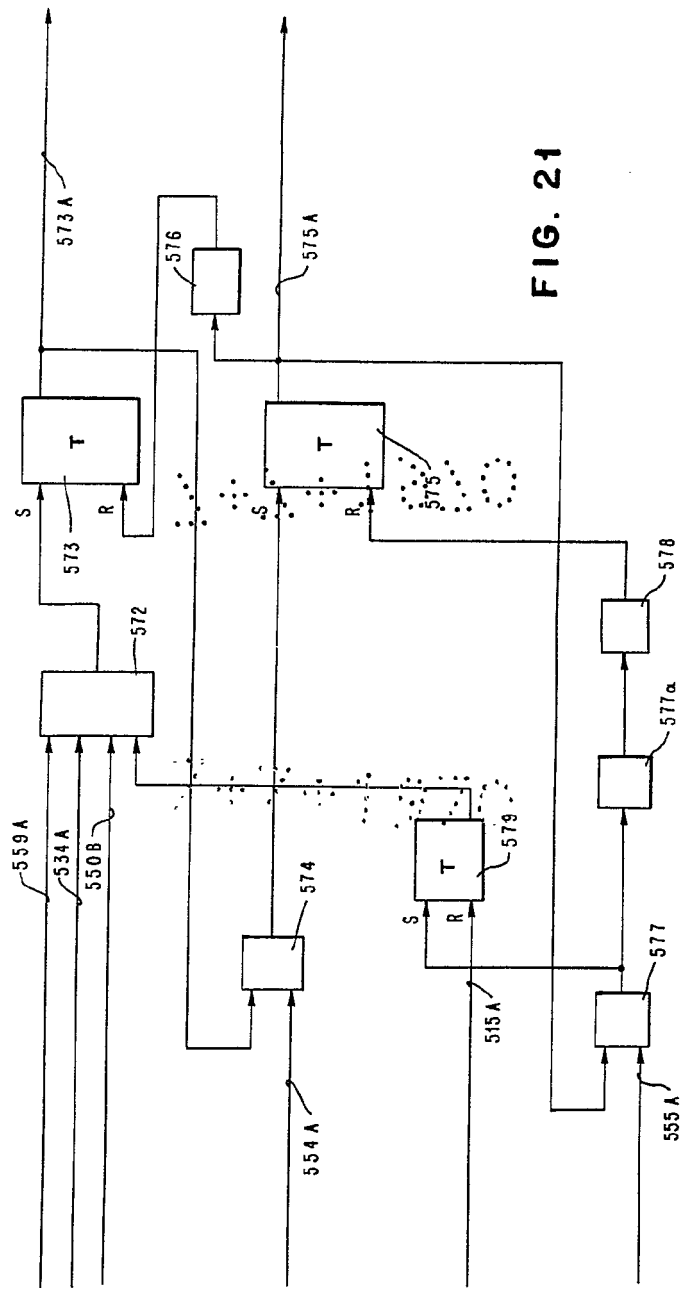


FIG. 21

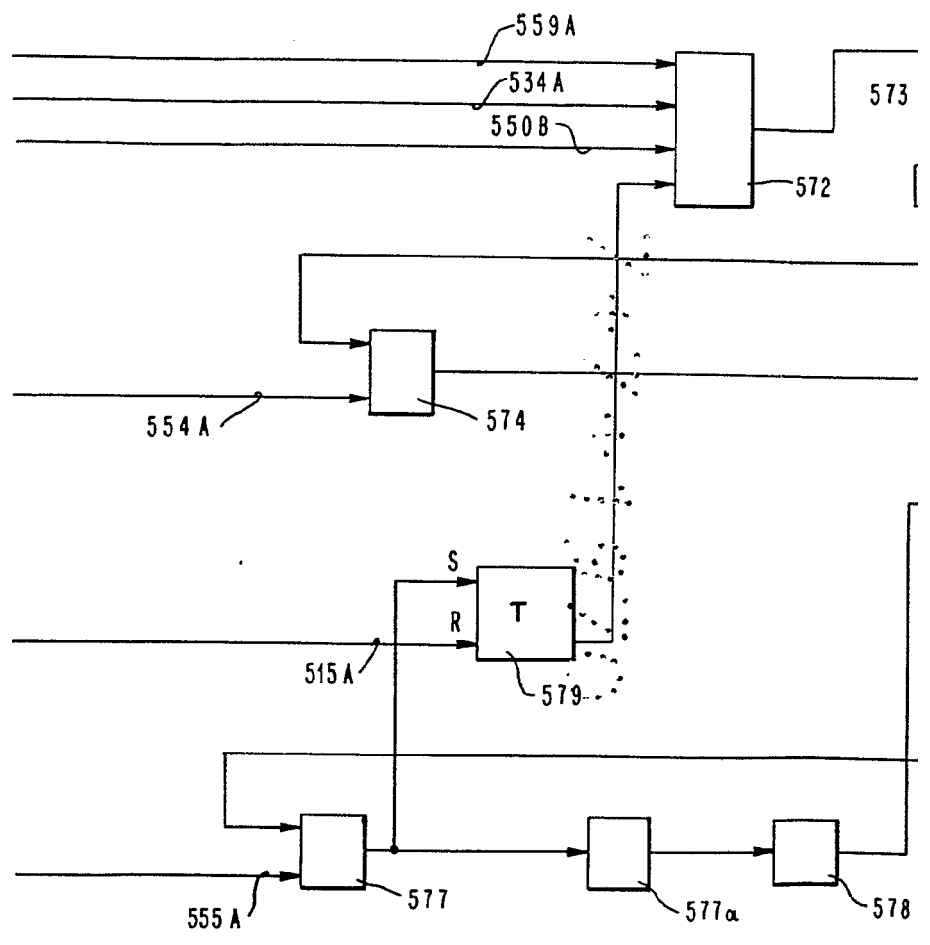
380988

380988

380988

380988

100-1-73



380988

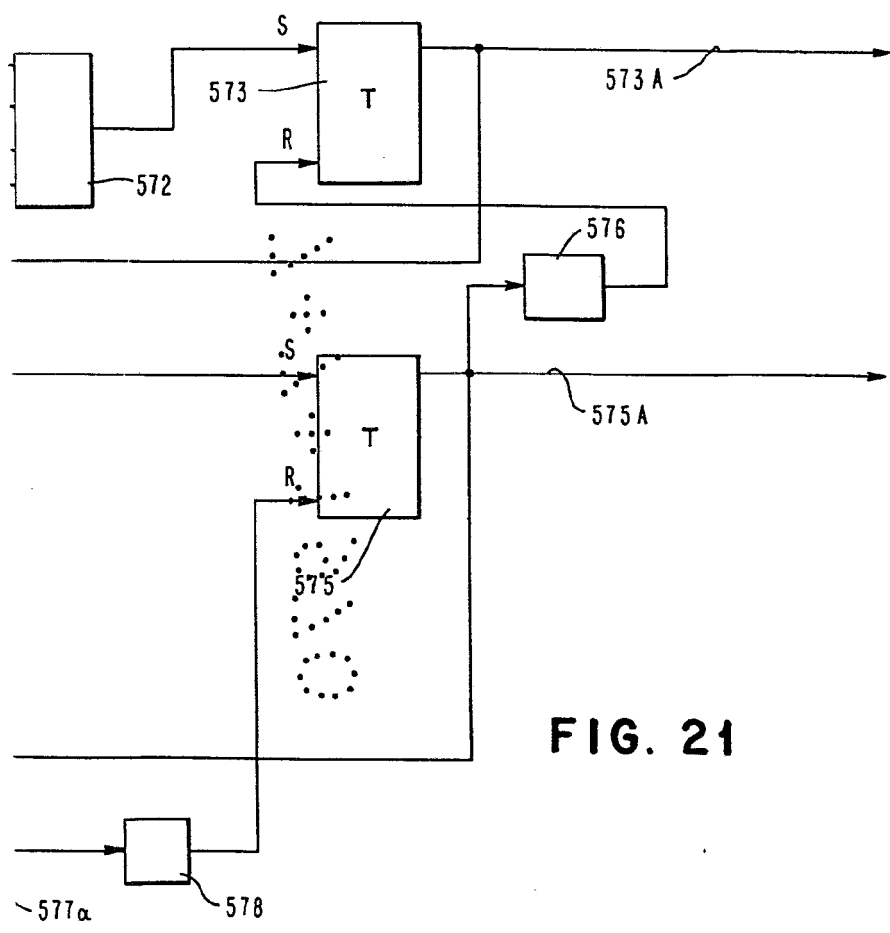


FIG. 21

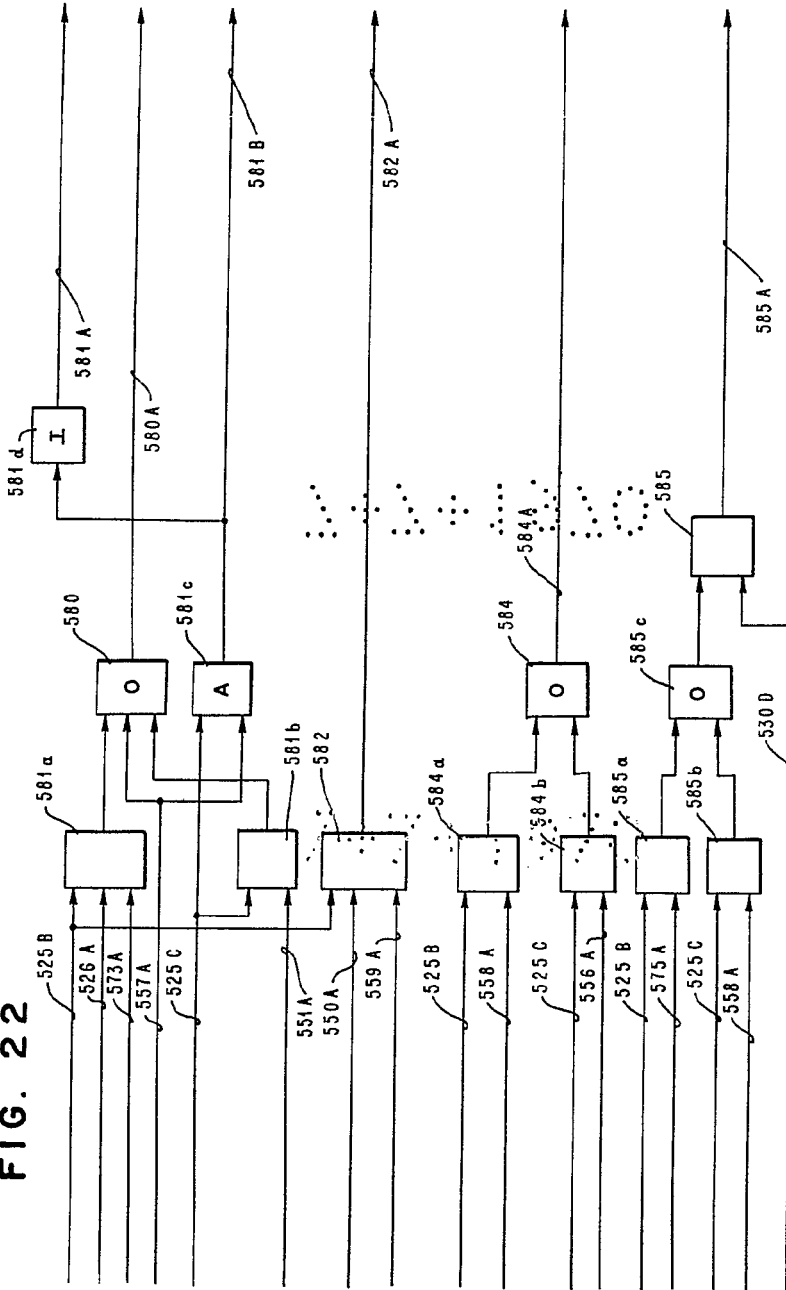
380988

Directorio de...  
Por Feder.



57

FIG. 22

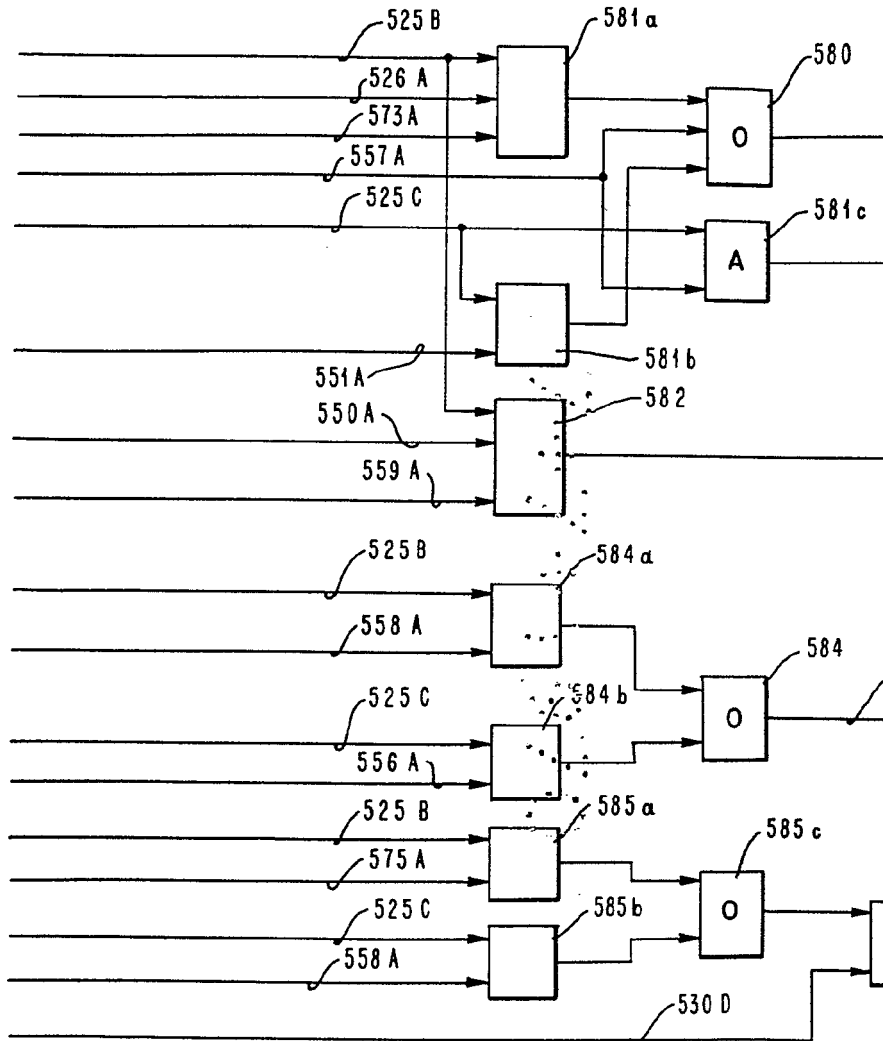


380988

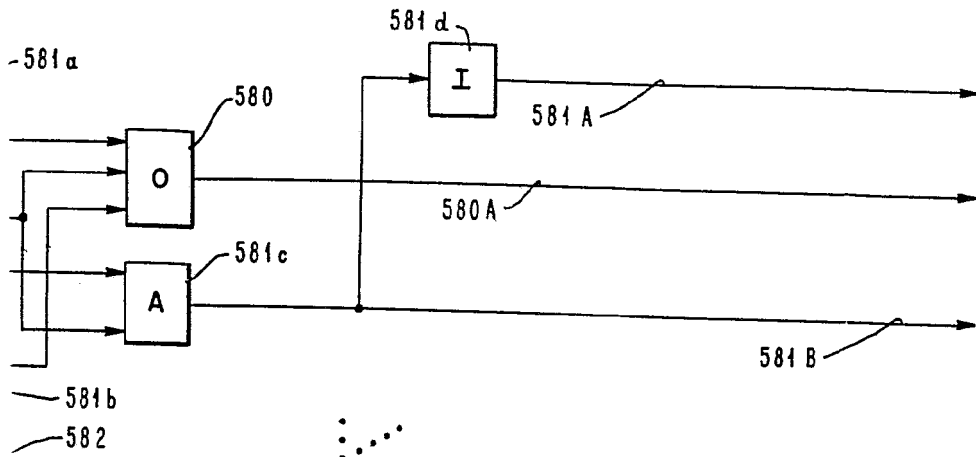
380988

International Business Machines Corporation  
Littleton, Colorado

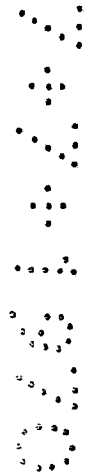
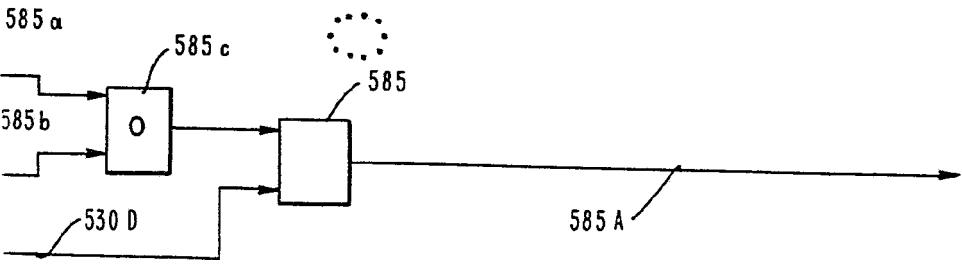
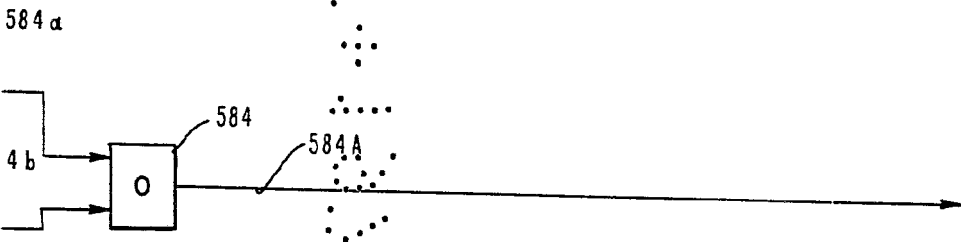
FIG. 22



380968



582 A

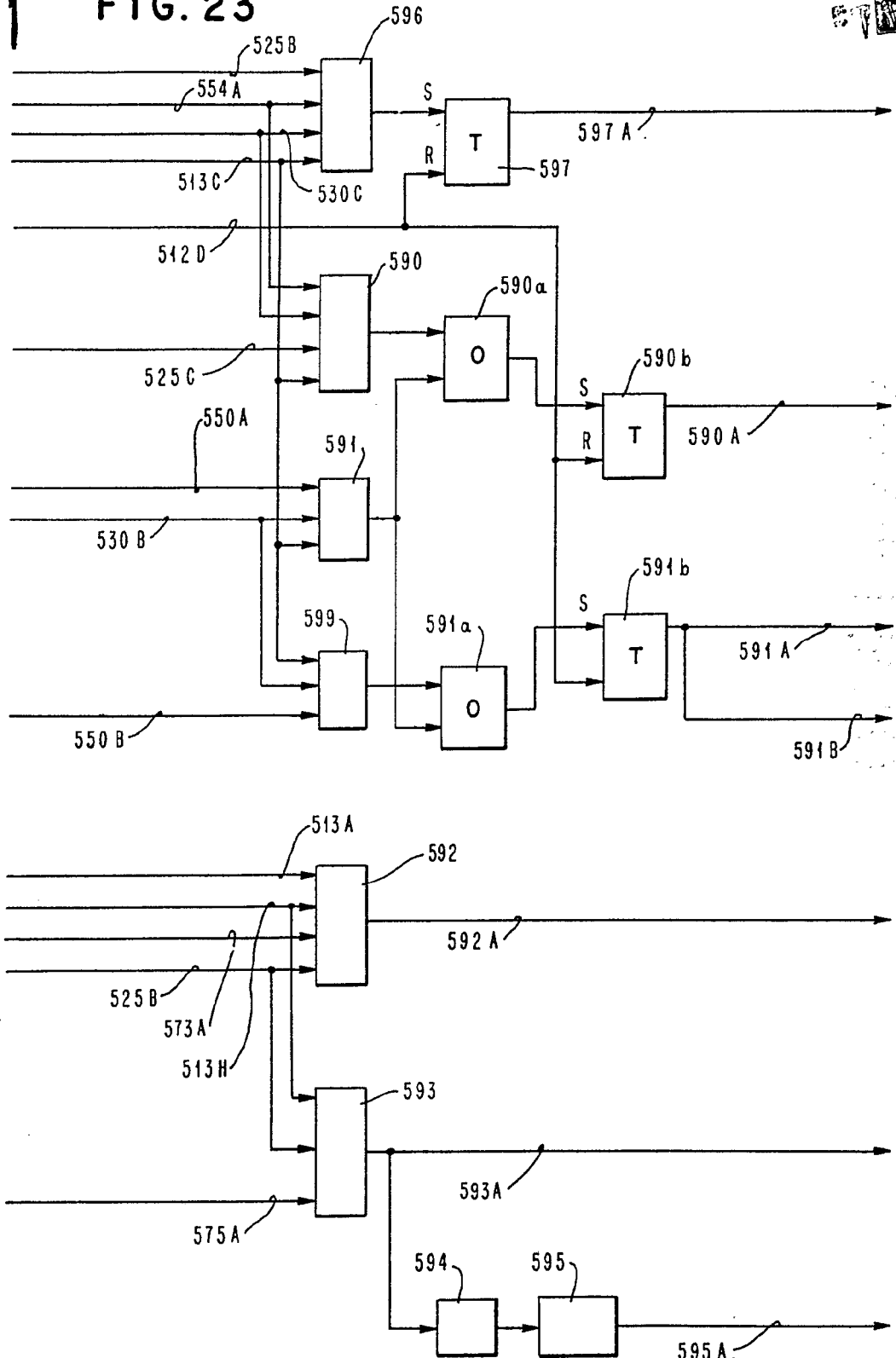


380988

POSTED BY [Signature]  
Per Order



FIG. 23



380988

*[Handwritten signature]*

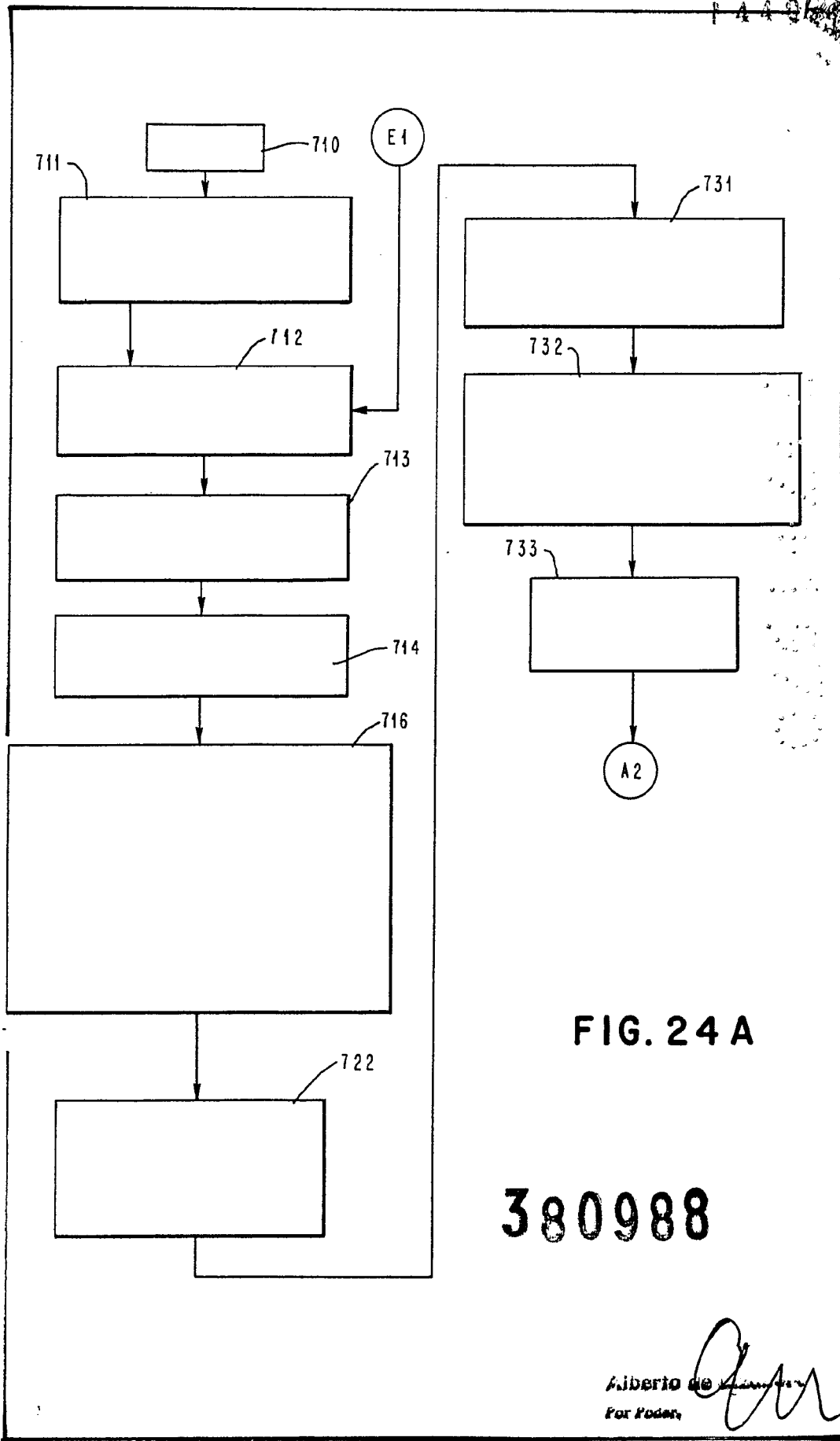


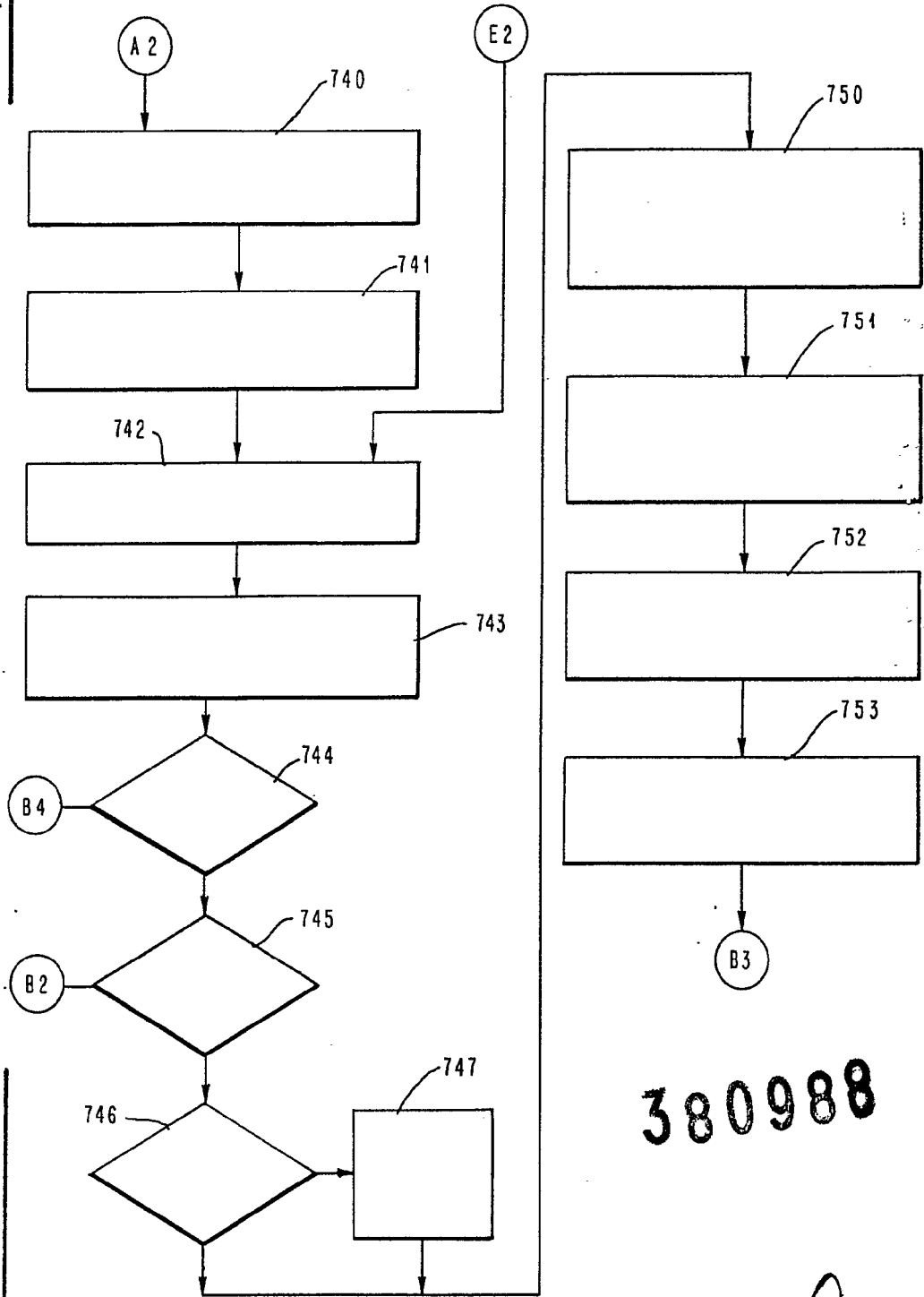
FIG. 24 A

380988

Alberto de *[Signature]*  
For Patent

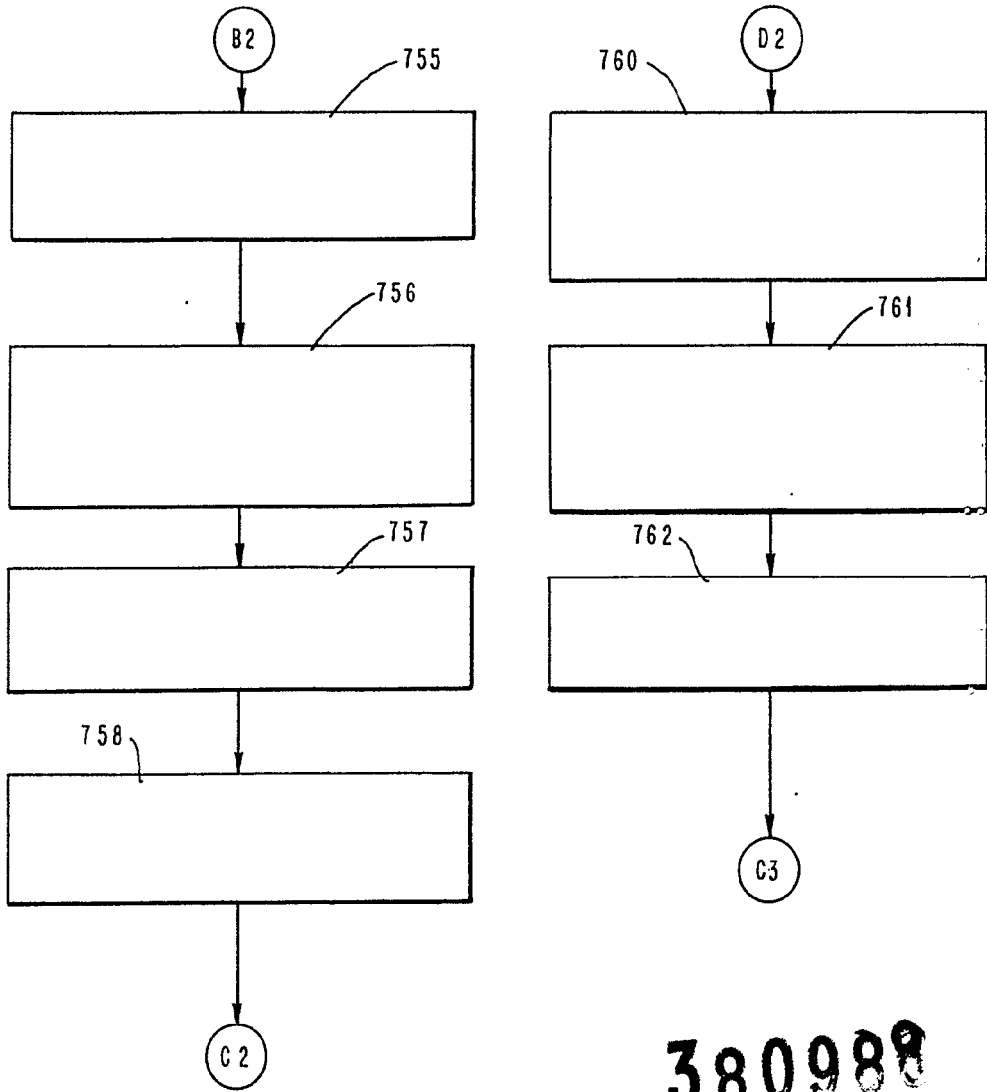


FIG. 24 B



380988

4,803,715  
For Feeder  
*[Handwritten signature]*



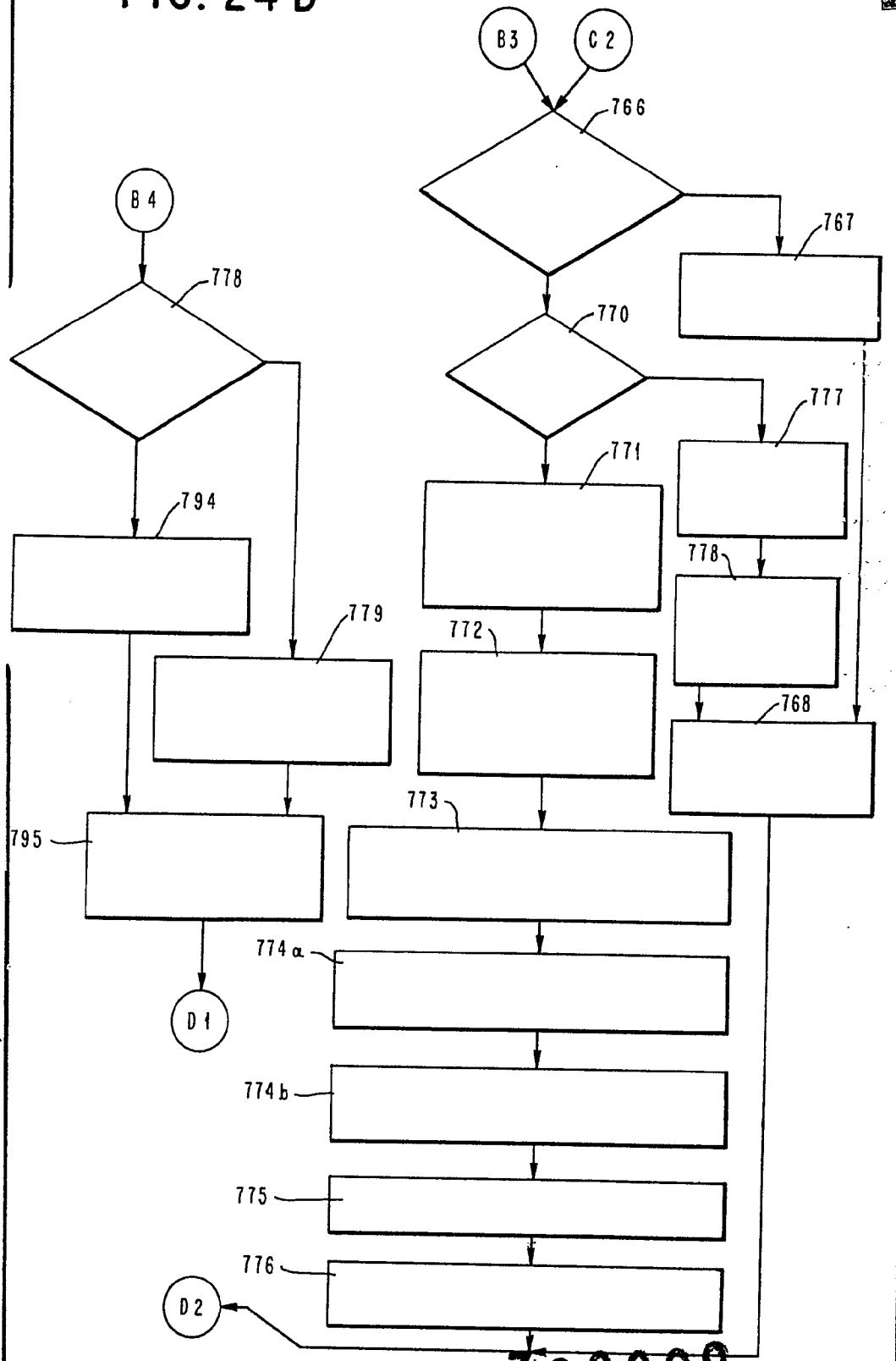
380988

FIG. 24 C

*Handwritten signature or initials*



FIG. 24 D



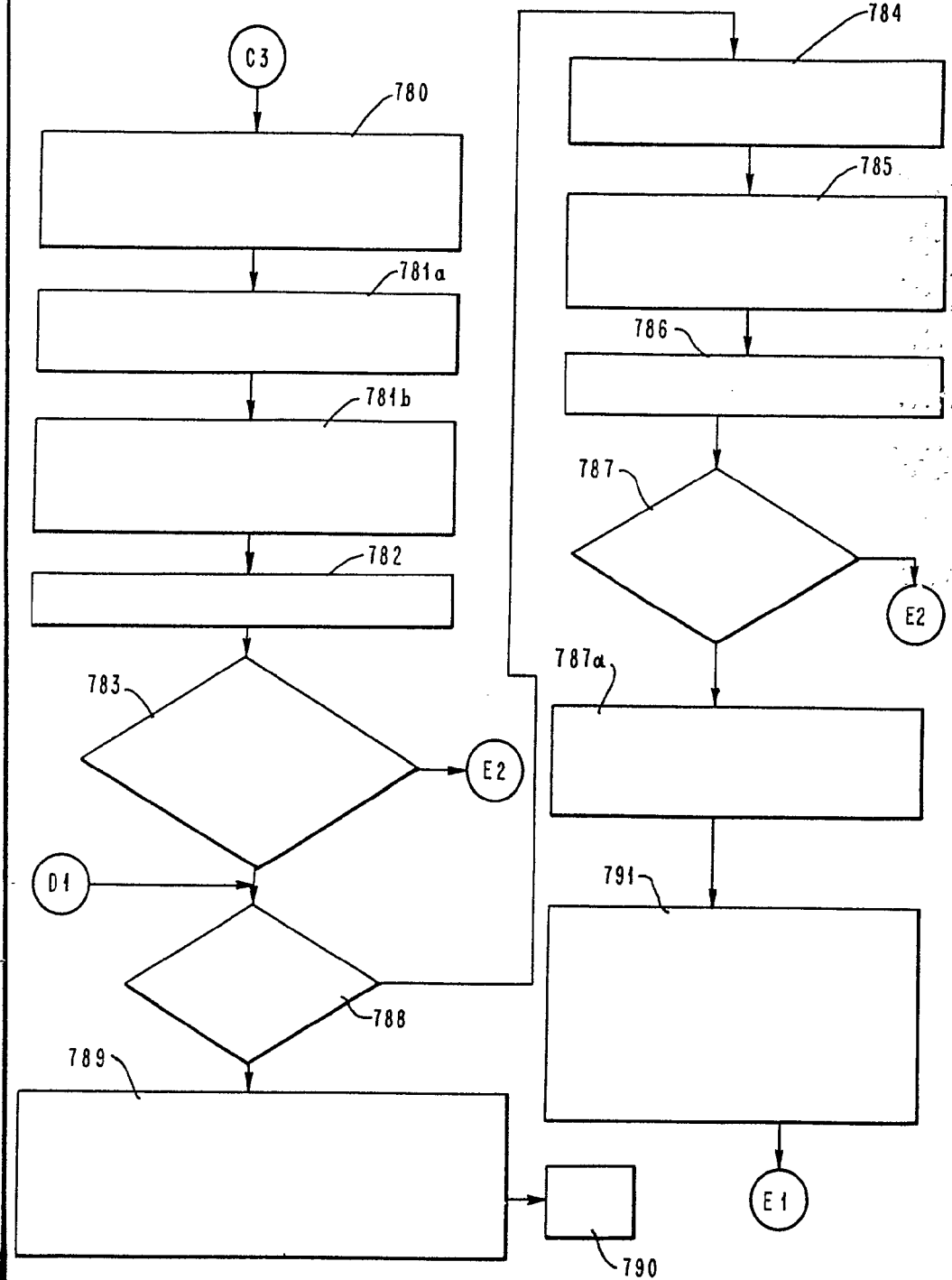
380988

*Handwritten signature or initials.*



FIG. 24 E

380988



*Handwritten signature or initials*