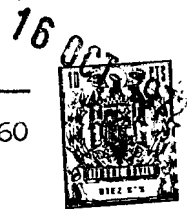


379220

P-44736

File 20 171/3760

OI-439



SECCION TECNICA

CLASIFICACION I.P.C.

CLASE H 01 H 03

SUBCLASE J K

**Memoria descriptiva**

para solicitar PATENTE DE INVENCION EN ESPAÑA por 20 años

a nombre de OWENS-ILLINOIS, INC.

entidad / ~~nacionalidad~~ norteamericana

con domicilio en Toledo, Ohio, Estados Unidos de América.

por: "UN SISTEMA PARA EXCITAR UN PANEL DE PRESENTACION DE  
DESCARGA EN GAS MULTIPLE"

(Clase Internacional H01j, H03k)

16.10.1972



El presente invento se refiere en general a un  
 circuito de excitación para conjuntos de conductores orien-  
 tados transversalmente y matrices en paneles y dispositivos  
 de presentación y/o memoria, y más en particular a circui-  
 5 tos de excitación para dispositivos de alto voltaje, tales  
 como paneles de descarga en gas, los cuales son suscepti-  
 bles de ser producidos en forma de circuito integrado.

ANTECEDENTES DEL INVENTO

10 En la patente para los EE. UU. Número 3.499.167,  
 titulada "Gas Discharge Display-Memory Device and Method"  
 ("Dispositivo y Método de Presentación y Memoria para Des-  
 carga en Gas") se ha descrito un panel de presentación y/o  
 memoria de descarga múltiple, el cual puede estar caracteri-  
 15 zado por ser del tipo de descarga de impulsos que tiene un  
 medio gaseoso, usualmente una mezcla de dos gases a una  
 presión de gas relativamente alta, en un espacio o cámara  
 de gas delgada entre miembros de almacenamiento de carga  
 de dieléctrico opuestos que están respaldados por conjuntos  
 20 de conductores, estando orientados transversalmente los  
 conjuntos de conductores que respaldan a cada miembro de  
 dieléctrico para definir o situar una pluralidad de empla-  
 zamientos o volúmenes de descarga separados entre sí y cons-  
 tituir una unidad de descarga separada. En algunos casos,  
 25 las unidades de descarga pueden estar definidas adicional-  
 mente por una estructura física tal como de placas de vi-  
 drio perforadas y similares, y en otros casos pueden usar-  
 se tubos capilares y estructuras similares. En la patente  
 para los EE. UU. antes identificada, se han eliminado las  
 30 barreras físicas y los miembros de aislamiento para empla-



zamientos de descarga separados entre sí. En tales dispositivos, las cargas (de electrones e iones) producidas por ionización del gas en un emplazamiento de descarga o punto de cruce de conductores seleccionado, cuando se aplican potenciales de trabajo apropiados a conductores seleccionados de los mismos, son almacenadas sobre las superficies del dieléctrico en las posiciones o emplazamientos seleccionados y constituyen un campo eléctrico en oposición al campo eléctrico que las creó. Después de haber sido aplicado un potencial de cebado para iniciar una descarga, el campo eléctrico creado por las cargas almacenadas sobre los miembros de dieléctrico ayudan a iniciar descargas subsiguientes momentáneas o por impulsos en semiciclos sucesivos de un potencial de sustentación aplicado, de modo que el potencial aplicado, y por consiguiente las cargas almacenadas, indican la condición de descarga anterior de un emplazamiento o unidad de descarga y constituyen una memoria eléctrica. No obstante, puesto que los conjuntos de conductores utilizados para crear tales descargas están aislados del medio gaseoso por los medios de dieléctrico, y debido a las presiones de gas relativamente elevadas, los potenciales requeridos para hacer funcionar tales paneles son relativamente altos.

Se ha conseguido una mejora considerable en los requisitos de voltaje de funcionamiento, mediante la utilización de una mezcla gaseosa de argón y neón como se describe en la solicitud de patente en tramitación del solicitante Número de Serie 372.054. El panel de descarga en gas descrito en la solicitud de patente en tramitación antes indicada está lleno de una mezcla de gases compuesta de



aproximadamente 99,9 átomos de neón y aproximadamente 0,1 átomos de argón a una presión absoluta de 625,3 milímetros de mercurio (Hg). En un panel de descarga en gas construido de acuerdo con los principios de la solicitud de patente en tramitación indicada, un voltaje de sustentación sinusoidal o periodico es aplicado continuamente a todos los conductores del panel a una frecuencia medida de aproximadamente 50 KHz para mantener descargas en emplazamientos de descarga seleccionados después de haber sido éstos puestos en conducción a un voltaje más alto; un voltaje de sustentación periodico típico para el panel estaba en el margen de 335 a 350 voltios entre crestas. En funcionamiento dinámico, además del voltaje de sustentación, se superpone y se suma algebraicamente un impulso de dos microsegundos a la onda sinusoidal aplicada a pares de conductores transversales seleccionados en los conjuntos de conductores, para tratar las condiciones de descarga de los emplazamientos de descarga. Tales voltajes de impulsos se aplicaron por medio de transformadores de impulsos y dispositivos similares de la manera descrita en la solicitud de patente del solicitante publicada en Alemania, como Offenlagunsschrift 1.817.402.

El presente invento se refiere a un circuito de estado sólido útil como circuito interfacial para un panel de descarga en gas, pudiendo hacerse tal circuito de estado sólido como un circuito integrado en que no se requiere el uso de un transformador de impulsos. Esto se traduce en una disminución de tamaño y de coste, y permite que los impulsos de tratamiento de las condiciones de descarga sean iguales a un voltaje de suministro de corriente continua común



a todos los circuitos del mismo tipo de conductividad. Esta calidad de común garantiza una altura de impulsos uniforme, que no puede conseguirse económicamente cuando se usan transformadores.

5                    Los circuitos integrados de acuerdo con el presente invento son de dos formas: en la primera forma se utilizan semiconductores del tipo PNP y en la segunda forma se utilizan semiconductores del tipo NPN. Para paneles de descarga en gas del tipo descrito en la antes mencionada patente para los EE. UU. Número 3.499.167, son necesarias ambas formas para excitar los conjuntos de conductores asociados transversalmente. El circuito semiconductor del tipo PNP se usa para producir impulsos de salida positivos, y el circuito semiconductor del tipo NPN produce impulsos de salida negativos, mientras que en cada circuito hay baja disipación de potencia durante condiciones estáticas. La baja disipación de potencia es una característica deseable, ya que en un área de presentación de 10,16 x 10,16 cm., con conjuntos de conductores que tengan conductores a

10                    0,762 mm. entre centros, habrá aproximadamente 13 conductores o líneas por centímetro, obteniéndose 132 conductores por conjunto, o bien 264 líneas a ser excitadas. Funcionalmente, los circuitos operan como dispositivos interfaciales de bajo nivel a alto nivel, que alimentan a través de

15                    una señal periódica de alto nivel con degradación mínima. En efecto, cada circuito individual sirve como un dispositivo de dos entradas y una salida, en que una entrada es una señal periódica de alto nivel (el voltaje de sustentación) y la otra entrada es una señal lógica de bajo nivel.

20                    La salida es la suma algebraica de la señal periódica de

25                   

30



alto nivel y la señal lógica de nivel convertido, y aparece como una baja impedancia para el panel.

Entre los objetos del invento se incluye la provisión de un circuito interfacial de estado sólido para dispositivos de descarga en gas, que puede ser producido en forma de circuito integrado con la consiguiente disminución de tamaño y de coste; mejora en la uniformidad de los potenciales de funcionamiento aplicados al panel; eliminación de transformadores u otros dispositivos inductivos, así como eliminación de elementos de capacitancia en los circuitos; circuitos de baja impedancia para excitar dispositivos de descarga en gas en los cuales hay baja disipación de potencia durante condiciones estáticas; y circuitos para convertir una señal lógica de bajo nivel en un voltaje de funcionamiento de alto valor y sumar algebraicamente el voltaje de funcionamiento alto a un voltaje de sustentación periodico de alto valor aplicado continuamente a conductores de conjuntos de conductores en el dispositivo.

Los anteriores y otros objetos, ventajas y características del invento se pondrán de manifiesto de la Memoria Descriptiva que sigue, considerada juntamente con los dibujos que se acompañan, en los que:

La Figura 1 es una ilustración esquemática de un panel de presentación de descarga en gas y un sistema de excitación eléctrica, que incorpora el invento;

La Figura 2 es un diagrama esquemático de circuito parcial que ilustra el invento aplicado a la excitación de un panel de descarga en gas;

La Figura 3 es una vista a escala ampliada de



una pastilla de circuito integrado que lleva un conjunto de cuatro de los circuitos interfaciales 20 y 21 de la Figura 2; y

5 La Figura 3A es una vista en corte transversal de la pastilla de circuito integrado tomada por las líneas 3A - 3A de la Figura 3.

Se describirá el invento tal como se emplea en un sistema que suministra potenciales de funcionamiento a un dispositivo de presentación/memoria de descarga en gas, del tipo aquí descrito en lo que antecede. Tal dispositivo 10 se ha ilustrado esquemáticamente en la Figura 1 de los dibujos, teniendo un conjunto 11 de conductores horizontales o en filas y un conjunto 12 de conductores verticales o en columnas. Conductores alternos de un conjunto son sacados a los lados, respectivamente, del panel, para facilitar la ejecución de conexiones eléctricas a los mismos. Normalmente se aplican potenciales periodicos de fases opuestas 13 y 14 a los conjuntos de conductores 11 y 12 respectivamente, de modo que se aplica por cada conductor aproximadamente la mitad del potencial necesario para manipular una unidad de descarga de una manera que se describe aquí más adelante. Así, si el potencial periodico a través del gas en el panel de descarga, necesario para hacer funcionar el dispositivo, es de 350 voltios entre crestas, se aplica entonces la mitad de ese voltaje a los conductores del conjunto de conductores 11 y se aplica la otra mitad (de fase opuesta) a los conductores del conjunto de conductores 12, y tales potenciales se suministran desde partes de generador de voltaje periodico 15 y 16, respectivamente, que tienen una masa común 17, de modo que el panel 10 flota con respecto

10  
15  
20  
25  
30



a la masa 17. Puede hacerse notar, al llegar a este punto, y como se ilustrará más detalladamente en lo que sigue, que los potenciales de sustentación 13 y 14 pasan a través de los circuitos interfaciales 20-1 ... 20-N y 21-1 ... 21-N, con una degradación mínima. Como se ha ilustrado, los potenciales de sustentación para todos los conductores de filas 11-1, 11-2 ... 11-N del conjunto de conductores 11, son suministrados desde la parte de generador de sustentación 15, y todos los conductores verticales o de columnas 12-1, 12-2 ... 12-N en el conjunto de conductores 12 son alimentados desde la parte 16 de generador de voltaje de sustentación; y esos potenciales son aplicados continuamente a los conjuntos de conductores en el panel 10, durante el funcionamiento normal de los mismos. Emplazamientos de descarga individuales situados mediante el cruce de conductores seleccionados de los conjuntos de conductores 11 y 12, son manipulados añadiendo impulsos de voltaje unidireccionales de alto voltaje a los voltajes de sustentación en conductores seleccionados de los conjuntos 11 y 12, respectivamente, los cuales, cuando se combinan, son suficientes para iniciar una serie de descargas, una por cada semiciclo de potencial de sustentación aplicado en cualquier emplazamiento de descarga seleccionado, y sincronizado debidamente tales impulsos puede terminarse la serie de descargas de modo que cualquier emplazamiento de descarga individual puede ser manipulado, puesto en conducción y puesto fuera de conducción, mediante manipulación de los momentos en que tiene lugar los impulsos de voltaje unidireccionales.

Como se ha indicado en lo que antecede, en un



5 área de presentación de 10,16 cm. x 10,16 cm. en un panel,  
con un espaciamiento de 0,762 mm. entre conductores, puede  
haber 132 conductores de fila y 132 conductores de columna  
cada conductor de los cuales, aún teniendo un voltaje de  
sustentación común aplicado al mismo, debe tener los impul-  
5 sos de voltaje de manipulación aplicados en momentos selec-  
cionados de acuerdo con la información a ser presentada  
y/o almacenada sobre el panel. Números tan grandes de cir-  
cuitos de excitación por panel hacen necesario que se dis-  
10 minuya el tamaño y el coste de los mismos tanto como sea  
posible y que, al mismo tiempo, se mantenga la uniformidad  
de potenciales suministrados a los conductores de los res-  
pectivos conjuntos. Aunque tales paneles, como a los que  
se refiere el presente invento, han sido excitados por trans-  
15 formadores de impulsos y dispositivos similares de modo bas-  
tante satisfactorio, es deseable eliminar el uso de gran  
número de transformadores de impulsos en las aplicaciones  
comerciales de tales paneles.

20 De acuerdo con el presente invento, cada uno de  
los circuitos 20 y 21 está formado como un circuito sobre  
una oblea o pastilla de circuito integrado y aunque todos  
los circuitos similares o iguales pueden formarse sobre una  
sola oblea o pastilla, comercialmente, únicamente es via-  
ble en la actualidad, para fines de producción, situar  
25 cuatro de tales circuitos sobre una sola oblea o pastilla.  
Además, los transistores usados en los circuitos de conduc-  
tores de fila 20-1 ... 20-N son del tipo NPN para producir  
un impulso de salida negativo, mientras que los transisto-  
res en los circuitos 21-1 ... 21-N son del tipo PNP para  
30 producir un impulso de salida positivo. Como se explica



más detalladamente en lo que sigue, evidentemente pueden usarse los tipos NPN para excitar conductores de columna y pueden usarse tipos PNP para excitar conductores de fila. En momentos seleccionados, cada uno de los circuitos 20-1 ... 20-N y 21-1 ... 21-N recibe un impulso lógico de bajo nivel (aproximadamente de 4 voltios) procedente del circuito lógico 40, el cual puede recibir una entrada 41 desde un ordenador u otro dispositivo de entrada de datos digitales, para presentación y/o almacenamiento en el panel. Por ejemplo, la mitad superior 40-A del circuito lógico 40 suministra a los circuitos 20-1 interfaciales de conductores de fila, una señal de impulso lógica positiva, mientras que la mitad inferior (40A de los circuitos lógicos 40 suministra una señal de impulsos lógica negativa a los circuitos 21 interfaciales de columna y, en el funcionamiento normal, tales impulsos lógicos positivos y negativos son aplicados simultáneamente a conductores seleccionados para iniciar selectivamente descargas y para terminar descargas en el emplazamiento de descarga seleccionado dentro del panel 10. Tal sistema o circuito de dirección lógico puede ser un sistema de exploración por líneas relativamente económico, o puede ser el sistema algo más costoso, de acceso aleatorio, de gran velocidad.

CIRCUITOS INTERFACIALES

La Figura 2 ilustra una pluralidad de circuitos interfaciales 20A ... 20B para excitar conductores de fila individuales 11A ... 11B, respectivamente, del conjunto 11, y una pluralidad de circuitos interfaciales 21 para excitar conductores de columna 12A ... 12B respectivamente



en el conjunto 12. Se observará que la configuración de  
circuito 20A ... 20B ilustrada en la Figura 2 incluye tran-  
sistores del tipo NPN, y que la configuración de circuito  
21A ... 21B ilustrada incluye transistores del tipo PNP;  
5 teniendo como finalidad la diferencia entre los circuitos  
la alimentación de señales opuestas en polaridad y en fa-  
se para excitar conductores asociados en los conjuntos.

Se describirá con detalle la configuración de  
circuito 20, bien entendido que excepto por la inversión  
10 de los potenciales de alimentación de corriente continua  
y por el tipo de conductividad de los transistores que in-  
tervienen, las operaciones son las mismas para la configu-  
ración de circuito 21. Una fuente 50 de corriente continua  
de alto nivel de voltaje y de baja impedancia, tiene un  
15 par de terminales de salida 51 y 52 que están conectados  
a terminales de potencial de funcionamiento 53 y 54 del  
circuito interfacial 20. El circuito interfacial 20 inclu-  
ye un primer transistor Q1 del tipo NPN que tiene su emi-  
20 sor E conectado, a través del diodo D1, al terminal de en-  
trada 54. El colector C del transistor Q1 está conectado,  
a través de una resistencia R3 de colector, al terminal  
53. La resistencia R3 es de unos 15.000 ohmios, y supone  
una solución de compromiso entre el tiempo de subida y la  
disipación de potencia para la corriente de polarización  
25 procedente de la corriente continua acoplada al transis-  
tor Q1 y al transistor Q2. La base del transistor Q1 está  
conectada, a través de la resistencia R1, al terminal 56  
de entrada de señal lógica al cual es aplicado un impulso  
57 de señal lógica positivo de bajo nivel procedente del  
30 circuito lógico 40. Hay una pluralidad de conductores de



salida desde el circuito lógico 40, uno para cada circui-  
to interfacial conductor. La resistencia R2 está conectada  
entre la base B del transistor Q1 y el terminal 54, y se  
usa con la resistencia R1 para adaptar el circuito inter-  
facial 20 al circuito lógico 40. Las resistencias R 1 y  
5 R2 pueden ser eliminadas si se adapta el circuito interfa-  
cial 20 al circuito lógico 40. El diodo D3 está conectado  
entre el terminal lógico de entrada 56 y el colector C del  
transistor Q1, y sirve para la misma finalidad que el dio-  
do D1, acelerando la respuesta del transistor Q1 a una se-  
10 ñal de entrada lógica. Los diodos D1 y D3 no son esencia-  
les para el funcionamiento del circuito, y pueden eliminar-  
se si se desea. No obstante, el circuito puede incorporar  
puertas Y de diodo (circuitos de coincidencia) para redu-  
cir así el circuito lógico necesario exterior al circuito,  
15 es decir, que puede fabricarse el circuito incluyendo una  
parte de los circuitos lógicos de dirección 41. Un segundo  
transistor Q2 del tipo NPN tiene su base B conectada direc-  
tamente al colector C del transistor Q1 y su colector C  
20 conectado directamente al terminal 53. El emisor E del  
transistor Q2 está conectado directamente al terminal de  
salida 60, el cual está conectado directamente a un conduc-  
tor en el conjunto de conductores 12. El colector C del  
transistor Q1 está conectado a través del diodo de percep-  
25 ción D2 al terminal de salida 60; percibiendo el diodo D2  
la dirección de circulación de corriente y ayudando a po-  
ner al transistor Q2 en conducción y fuera de conducción,  
como se describe más detalladamente en lo que sigue.

La parte 15 de generador de voltaje de sustenta-  
30 ción tiene su terminal de salida conectado directamente



al terminal de entrada 53 y al terminal 51 de la fuente 50 devoltaje de corriente continua de alto nivel de voltaje y de baja impedancia. Es de hacer notar que se han ilustrado un condensador 61 y una batería 50B como constituyendo la fuente 50 de corriente continua de alto nivel de voltaje y de baja impedancia, de modo que el voltaje de sustentación periódico aparece tanto en el colector C del transistor Q2 como en el emisor E del transistor Q1, en este último caso a través del condensador 61 de derivación. Tal condensador 61 puede estar constituido por los medios de condensador de filtro en la salida de la alimentación 5a de energía eléctrica.

#### FUNCIONAMIENTO DEL SISTEMA

Normalmente, el transistor Q2 está conduciendo y el transistor Q1 está fuera de conducción, de modo que el voltaje periódico (aproximadamente de 175 voltios entre crestas) procedente de la parte 15 del generador de voltaje de sustentación, es aplicado a través del colector C del transistor Q2. En los semiciclos negativos del voltaje de sustentación circula corriente a través del colector C, de la base B del transistor Q2, y del diodo D2 al terminal 60 mientras que en los semiciclos negativos del voltaje de sustentación circula corriente a través del circuito de colector y emisor del transistor Q2, al terminal de salida 60, de modo que aparece en el terminal de salida 60 un voltaje sinusoidal correspondiente a la forma de onda del voltaje procedente de la parte 15 de generador del voltaje de sustentación. Este voltaje de sustentación aparece en todos los conductores de fila del conjunto de conductores 11,

379220



a través del circuito interfacial 20 correspondiente a los conductores de fila. En forma similar, el voltaje de sustentación de fase opuesta procedente de la parte de generador 16 aparece en los conductores de columna del conjunto de conductores 12 a través de los circuitos interfaciales 21.

Siempre que se aplica un impulso 57 de voltaje positivo de bajo valor procedente del circuito lógico 40 al terminal de entrada lógico 56, y a la base B del transistor Q1, el transistor Q1 es hecho rápidamente conductor o puesto en conducción, de modo que el colector C del mismo, el cual antes de conmutar el transistor Q1 había estado a potencial de corriente continua esencialmente cero, cae rápidamente (relativamente) al potencial (- 175 voltios) de la fuente 50 de corriente continua de alto nivel de voltaje, durante el periodo de tiempo en que el transistor Q1 está en un estado conmutado o de conducción. Este voltaje de corriente continua de alto valor es pasado a través del diodo D2 al terminal de salida 60 para constituir un componente de voltaje de salida durante el intervalo de tiempo en que el transistor Q1 está en su estado conmutado. Como se ha indicado anteriormente, el voltaje de sustentación periodico procedente de la parte de generador 15 pasa a través de la fuente 50 de voltaje de corriente continua de alto nivel de voltaje y baja impedancia (a través del condensador 61 ilustrado esquemáticamente) y aparece también en el emisor E del transistor Q1, de modo que cuando el transistor Q1 está conmutado a conducción, durante el periodo de tiempo en que el transistor Q1 está conmutado a conducción, este voltaje es igualmente pasado al colector

379220



C del transistor Q1 y, por tanto, a través del diodo D2, para aparecer como un segundo componente del voltaje de salida que aparece en los terminales de salida 60. Por tanto, el potencial de corriente continua de alto valor. y el voltaje de sustentación son sumados algebraicamente para constituir un voltaje de impulsos VFR para manipular la condición de descarga de un emplazamiento de descarga seleccionado. En forma similar, un impulso lógico negativo 57' aplicado a uno de los circuitos interfaciales 21 (el 21A por ejemplo) conectado a un conductor de columna (el 12A por ejemplo) del conjunto de conductores 12, es convertido en un impulso de manipulación de descarga de alto nivel VFC en el conductor de columna seleccionado. Sincronizando debidamente el momento en que se produce el impulso lógico 57, el impulso de corriente continua de alto valor de voltaje producido como resultado de la acción de conmutación del transistor Q1 es sumado algebraicamente a un semiciclo de sentido negativo del voltaje de sustentación, para constituir un impulso VF de voltaje de cebado aplicado a un emplazamiento de descarga seleccionado, simultáneamente con la aplicación de un impulso similar a un conductor de columna seleccionado, para iniciar con ello una serie de descargas en un emplazamiento de descarga o volumen de gas seleccionado y luego, el voltaje de sustentación aumentado en el potencial debido a las cargas almacenadas, sustentará tal serie de descargas, como se ha descrito en lo que antecede. Cuando se desea terminar una descarga, puede sincronizarse el impulso lógico 57 para que tenga lugar en un parte tal de la señal de sustentación que se inicie una descarga controlada del emplazamiento



al que se ha tenido acceso, dando por resultado la extinción del proceso de descarga (por ejemplo, terminando la serie de descargas) en ciclos de señal de sustentación sucesivos, como se ha explicado más detalladamente en la antes mencionada Offenlegungsschrift 1.817.402.

### FABRICACION DE CIRCUITO INTEGRADO

La figura 3 ilustra una vista en planta desde arriba del dispositivo de circuito integrado que lleva cuatro circuitos interfaciales en una sola pastilla, la cual puede estar contenida dentro de un paquete o recinto hermético (no representado) o protegida de otro modo del ambiente que la rodea. Terminales de contacto individuales pueden tener alambres conectados a los mismos y que se extiendan a través del exterior del paquete para conexión al circuito externo.

El circuito integrado ilustrado en la figura 3 se forma preferiblemente por el bien conocido procedimiento o técnica de aislamiento de dieléctrico que, en general es como sigue: Una oblea de dispositivo y una oblea de mango (no representada) se oxidan termicamente y las superficies oxidadas se unen por fusión bajo presión a elevada temperatura. Luego se ataca químicamente la oblea de dispositivo hasta un grueso uniforme seleccionado a través de la oblea y luego se vuelve a oxidar termicamente el conjunto de obleas. Usando técnicas fotolitográficas, se fotografaba el dióxido de silicio sobre la oblea para formar una máscara que se usa para atacar las islas de dispositivo I, ... III en la oblea de dispositivo; en la superficie de las islas de dispositivos se efectúa difusión



de colector  $N^+$  para disminuir la resistencia a la saturación del colector, y luego se oxidan térmicamente las islas de dispositivo. Se deposita sobre las islas de dispositivo oxidadas una capa de silicio policristalino hasta un grueso seleccionado, y luego se elimina la oblea de mango por ataque químico. Las restantes islas de dispositivo monocristalino, aisladas por dióxido de silicio y empotradas en la matriz de silicio policristalino, se vuelven a oxidar térmicamente para formar un recubrimiento de óxido, el cual se usa para máscara contra la difusión de boro para la configuración geométrica básica de los componentes integrados de transistor y de diodo. Tales islas de dispositivos se han identificado por números romanos, IA, IA, IC, ID, II y III; Conteniendo las islas de dispositivo IA, IB, transistores Q1 y diodos D2 y D3, conteniendo la isla de dispositivo II diodos D1; y conteniendo la isla de dispositivo III transistores Q2. Se apreciará que pueden formarse simultáneamente en una oblea un gran número de pastillas de circuito integrado. En el silicio se efectúa una difusión de boro a través de las aberturas en el dióxido de silicio. El área en que se ha hecho la difusión se vuelve a oxidar. Los emisores y colectores de los transistores Q y Q2 del tipo PNP se fotografaban y se efectúa una difusión  $P^+$  a través de las aberturas y se vuelven a oxidar las aberturas. El emisor se graba para los transistores NPN y se difunde fósforo en gran concentración para obtener la Beta especificada para los transistores NPN. Las regiones de cátodo para los diodos se forman durante la formación del emisor. Los contactos para los transistores NPN y PNP son fotografados.

30.5.70

379220



Se deposita un óxido sobre la superficie de la oblea por cracking de  $\text{SiH}_4$  en una atmosfera oxidante, para formar una base aislante para el deposito de componentes de resistencia R1, R2 y R3 de nitruro de tántalo.

5 El nitruro de tántalo se aplica por pulverización catódica en vacio hasta el grueso apropiado para obtener la resistencia de lámina requerida. Inmediatamente después de aplicar por pulverización catódica el nitruro de tántalo, se evapora aluminio sobre la superficie de la oblea. Se  
10 fotografa el aluminio para formar los contactos óhmicos para las resistencia de nitruro de tántalo y se fotografa el nitruro de tántalo para formar las resistencias reales. Usando la misma máscara de contacto, se abren ventanas en el óxido depositado y se evapora aluminio sobre  
15 la superficie de la oblea. Este aluminio se fotografaba para formar las interconexiones de los componentes en el circuito integrado.

En la figura 3 se han identificado las áreas de compo  
20 nentes activos por los números romanos IA, IB, IC, ID, II y III. Puesto que el colector del transistor Q1 del mismo tipo de conductividad y los cátodos de los diodos D2 y D3 están conectados juntos en comun, estan formados en islas de dispositivo IA, IB, IC y ID. Puesto que el alto potencial de corriente continua es aplicado en común a través  
25 del área de contacto 54 a los ánodos de D1, todos estos diodos pueden hacerse en la isla común II. Análogamente todos los transistores Q2 del mismo tipo de conductividad están formados en la isla común III, y las áreas de contacto 53 aplican el voltaje periodico procedente de la  
30 parte 15 de generador y el terminal 51 de la fuente 50



de corriente continua (Figura 2), a los colectores C de todos esos transistores.

Aunque pueden usarse otras formas de fabricación de circuito integrado para estructurar el circuito, se prefiere el procedimiento de aislamiento de dieléctrico ya que en el estado actual de la técnica este procedimiento parece proporcionar el aislamiento necesario para los voltajes relativamente altos que se requieren para los paneles de descarga en gas de que actualmente se dispone.

El circuito proporciona una disminución de tamaño, de coste y de consumo de energía eléctrica, y permite que los impulsos de salida sean iguales al voltaje de suministro de corriente continua, el cual es común a todos los circuitos del mismo tipo para asegurar la constancia y la uniformidad de los impulsos de voltaje. Los dos circuitos (NPN y PNP) operan a partir de dos fuentes 50 diferentes de alto voltaje de corriente continua flotante y, cuando se usan con las partes 15 y 16 de generador de sustentación (Figura 2), están conectados a las salidas de las mismas en las áreas de contacto o terminales 53 y 54. Las entradas de impulsos de voltaje lógicos a los circuitos consisten en señales lógicas de bajo nivel (de 2 voltios de amplitud, por ejemplo), referidas a las fuentes 50 de corriente continua de alto valor (+V y -V, respectivamente), de modo que el circuito lógico flotará también esencialmente sobre el generador de sustentación y las salidas son impulsos de voltaje de amplitud igual a la del voltaje procedente de las fuentes 50 sumados algebraicamente al voltaje de sustentación. Sincronizando debidamente los momentos en que se producen las entradas de impulsos lógicos de bajo nivel pueden

4 JUN 1969  
U.S. PATENT & TRADEMARK OFFICE

ponerse en conducción emplazamientos de descarga seleccionados, o bien pueden cebarse como mediante los voltajes  $V_{TR}$  en el emplazamiento seleccionado.

Aunque el circuito está adaptado de modo singular para fabricación de circuito integrado o monolítico, puede estructurarse el circuito a partir de componentes individuales. Como ejemplos de componentes pueden darse los siguientes: transistores Q1 y Q2 MM 4002 (MOTOROLA) para PNP; transistores Q1 y Q2 MM 3009 (MOTOROLA) para NPN; otros componentes para ambos circuitos: R1, 470 ohmios; R2, 1.000 ohmios; R3, 15.000 ohmios; diodos D y D2, IN 3731; y diodo D3, IN 643.

Aunque el invento se realizó principalmente para uso con dispositivos de descarga en gas, es evidente que el invento es aplicable a otros dispositivos en los que impulsos de bajo nivel hayan de ser transformados en impulsos de alto nivel y añadidos algebraicamente a un voltaje periódico de alto nivel. Además, pueden aplicarse al panel otras formas de voltaje de sustentación (ondas sinusoidales de disparo periódico por onda cuadrada, etc) a través del circuito aquí descrito.

Aunque se ha descrito con detalle una realización preferida del invento, debe entenderse que pueden efectuarse diversos cambios, sustituciones y alteraciones en el mismo, sin desviarse de su espíritu ni rebasar su alcance.

La presente solicitud que corresponde a la presentada en Estados Unidos de América el 2 de Mayo de 1.969, con el número 821.306, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.



REIVINDICACIONES  
=====

5                    Los puntos de invención propia y nueva que se  
presentan para que sean objeto de esta solicitud de Patente  
de Invención en España por VEINTE años, son los siguientes:

10                    1ª.- Un sistema para excitar un panel de presentación  
de descarga en gas múltiple, que tiene un sistema interfacial  
para acoplar señales de información de un voltaje de bajo  
valor desde una fuente de información a los conjuntos de  
conductores orientados transversalmente en el panel de  
presentación, que requiere señales de información de voltaje  
15                    de elevado valor para presentar la información que comprende,  
en combinación: primeros medios de circuito integrado para  
convertir señales de información de voltaje de bajo valor  
procedentes de dicha fuente en señales de información  
unidireccionales de voltaje de valor elevado y  
20                    aplicarlas a conductores de un conjunto de conductores,  
y segundos medios de circuito integrado para convertir  
señales de información de voltaje de bajo valor procedentes  
de dicha fuente en señales de información unidireccionales  
de voltaje de valor elevado y aplicarlas a conductores del  
25                    conjunto de conductores orientados transversalmente con respecto  
a dicho primer conjunto de conductores.

                    2ª.- El sistema según la reivindicación 1, que  
incluye un generador para generar un par de voltajes  
periódicos de fase opuesta, medios para aplicar una fase de  
dicho par de voltajes periódicos a dichos primeros medios de

30  
30.5.70



circuito integrado y la otra fase de dicho par a dichos -  
segundos medios de circuito integrado, sumando algebraica-  
mente cada uno de dichos medios de circuito integrado los  
valores elevados de voltaje unidireccional producidos por  
5 los mismos al voltaje periodico a ellos aplicado, respecti-  
vamente.

3ª.- Un sistema para excitar un panel de presen-  
tación de descarga en gas, multiple, en el cual un par de  
conjuntos de conductores orientados transversalmente están  
10 aislados dielectricamente de un medio de descarga en gas  
entre dicho par de conjuntos de conductores, que compren-  
de, en combinación: al menos un primer cuerpo semiconductor  
monolítico tratado para proporcionar una pluralidad de compo-  
nentes de circuito, resistivos y de transistor PNP, conc-  
15 tados por conductores para formar una pluralidad de circui-  
tos identicos que tienen la configuración de circuito des-  
crita en lo que sigue, incluyendo una pluralidad de áreas  
de contacto a través de las cuales se hacen las conexiones  
para dicha configuración de circuito, al menos un segundo  
20 cuerpo semiconductor monolitico tratado para proporcionar  
una pluralidad de componentes de circuito resistivos y de  
transistor NPN conectados por conductores para formar una  
pluralidad de circuitos idénticos que tienen la configura-  
ción de circuito descrita en lo que sigue, incluyendo una  
25 pluralidad de áreas de contacto a través de las cuales se  
hacen las conexiones para dicha configuración de circuito,  
incluyendo cada configuración de circuito citada un par -  
de conmutadores de transistor del mismo tipo de conductivi-  
dad conectados de tal modo que uno de dichos conmutadores  
de transistor está normalmente en conducción y el otro con

30.5.70



mutador de transistor citado está normalmente fuera de con-  
ducción, comprendiendo una de dichas áreas de contacto un  
terminal de entrada de voltaje de impulsos de bajo valor  
conectado a la base de dicho transistor normalmente fuera  
5 de conducción para poner en conducción éste y poner fuera  
de conducción dicho transistor que está normalmente en con-  
ducción al aparecer un voltaje de impulsos de bajo valor  
en dicha primera área de contacto, un par de dichas áreas  
de contacto para aplicar un voltaje periódico de elevado  
10 valor al colector de dicho transistor normalmente en con-  
ducción y al emisor de dicho transistor que se encuentra  
normalmente fuera de conducción y un voltaje unidireccio-  
nal de elevado valor al emisor de dicho transistor que es-  
tá normalmente fuera de conducción, y, un área de contac-  
15 to final que constituye el terminal de salida de dicha con-  
figuración de circuito, medios que conectan individualmen-  
te cada área de contacto final de las configuraciones de  
circuito que tienen componentes de transistor PNP a con-  
ductores en un primero de dichos conjuntos de conductores,  
20 respectivamente, medios que conectan individualmente cada  
área de contacto final de las configuraciones de circuito  
que tienen componentes de transistor NPN a conductores del  
segundo de dichos conjuntos de conductores, respectivamente,  
y medios para suministrar voltajes unidireccionales de ele-  
25 vado valor a dichas áreas de contacto de dichos cuerpos

13.10.72

379220



semiconductores monolíticos y para suministrar voltajes  
periódicos de elevado valor a conductores de dichos con-  
juntos de conductores.

5 4.- El sistema según la reivindicación 3, en  
el cual cada una de dichas configuraciones de circuito  
incluye medios de diodo formados en cada cuerpo monolí-  
tico citado y conectado entre dicha área de contacto fi  
nal y un punto en dicho circuito que es común a la base  
de dicho transistor que está normalmente en conducción  
10 y al colector de dicho transistor que se encuentra, nor-  
malmente fuera de conducción.

15 5.- El sistema según la reivindicación 3, en  
el cual un componente de circuito resistivo en cada confi-  
guración de circuito citada está conectado entre el co-  
lector de dicho transistor que está normalmente en con-  
ducción y un punto que es común a la base de dicho tran-  
sistor normalmente en conducción y al colector de dicho  
transistor que está normalmente, fuera de conducción.

20 6.- El sistema según la reivindicación 4, en el  
cual un componentes de circuito resistivo en cada configu-  
ración de circuito citada, está conectado entre el colec-  
tor de dicho transistor normalmente en conducción y dicho  
punto que es común a la base de dicho transistor normalmen

13.10.72

379220



te en conducción y el colector de dicho transistor que se encuentra, normalmente, fuera de conducción.

5 7º.- El sistema según la reivindicación 3, en el cual los componentes de circuito de transistor en cada cuerpo semiconductor monolítico están formados en islas del dispositivo, aisladas dieléctricamente del cuerpo semiconductor.

10 8º.- El sistema según la reivindicación 6, en el cual los transistores y los medios de diodo de dicha configuración de circuito están formados en islas del dispositivo, aisladas dielectricamente en el cuerpo semiconductor.

15 9º.- El sistema según la reivindicación 6, en el cual cada configuración del circuito citada incluye - otros medios de diodo para acelerar la respuesta de conmutación de dichos transistores a un voltaje de impulsos de entrada de bajo valor en dicho terminal de entrada.

20 10º.- El sistema según la reivindicación 9, en el cual un divisor de voltaje resistivo está conectado, - en cada configuración de circuito citada, por un extremo a dicho terminal de entrada de voltaje de impulsos de bajo valor, en el punto intermedio al electrodo de base de dicho transistor normalmente fuera de conducción y, por el extremo opuesto, a una de dicho par de áreas de control, para aplicar un voltaje periódico de elevado valor a dicho  
25 circuito.

11º.- Un sistema para excitar un dispositivo de descarga en gas, de descarga multiple, en el que conjuntos de conductores orientados transversalmente que efectuan descargas en el gas, tienen medios de almacenamiento de la carga, dieléctricos, en ellos para almacenar las cargas produci

30  
30.5.70

379220



das en la descarga y un elemento de circuito integrado para suministrar voltajes de sustentación y voltajes de impulsos de tratamiento de la descarga a al menos un conductor en dichos grupos, respectivamente, que comprende: un cuerpo semiconductor monolítico tratado para incluir una pluralidad de componentes de circuito de resistencia y de transistor conectados por conductores en la configuración de circuito descrita en lo que sigue, incluyendo una pluralidad de áreas de contacto a través de las cuales se hacen las conexiones para dicha configuración de circuito, incluyendo dicha configuración de circuito un par de conmutadores de transistor del mismo tipo de conductividad conectados de tal modo que uno de dichos conmutadores de transistor - está normalmente en conducción y el otro está normalmente fuera de conducción y para invertir los estados de conducción de dichos conmutadores de transistor, comprendiendo una de dichas áreas de contacto un terminal de entrada de voltaje de impulsos de bajo valor conectado a la base de dicho transistor normalmente fuera de conducción para poner en conducción a dicho transistor que está normalmente fuera de conducción y para poner fuera de conducción a dicho transistor normalmente en conducción al aparecer un voltaje de impulsos de bajo valor en dicha primera área de contacto, un par de dichas áreas de contacto para aplicar un voltaje periodico de elevado valor al colector de dicho transistor que está, normalmente, fuera de conducción, respectivamente, y un voltaje unidireccional de elevado valor al emisor de dicho transistor que está normalmente fuera de conducción, y un área de contacto final que constituye el terminal de salida de dicho circuito inte-

30

30.5.70



grado, estando conectada dicha área de contacto final a dicho primer conductor.

5 12.- Un sistema según la reivindicación 11, en el cual los componentes de circuito de transistor de dicho cuerpo monolitico semiconductor están formados en islas del dispositivo, aisladas dieléctricamente, en el cuerpo semiconductor.

10 13.- Un circuito para convertir un voltaje de impulsos de bajo valor en un voltaje de impulsos de elevado valor y combinar algebraicamente dicho voltaje de impulsos de valor elevado con un voltaje periodico de alto valor que comprende, en combinación: un par de terminales de entrada para conexión a una fuente de voltaje de corriente continua de valor de voltaje elevado, de baja impedancia; 15 un terminal de salida; un primer transistor normalmente no conductor; medios que conectan el emisor de dicho primer transistor a un terminal de entrada de dicha fuente de voltaje de corriente, de elevado valor de voltaje; medios de diodo que conectan el colector de dicho primer transistor a dicho terminal de salida; un elemento de resistencia que conecta el otro terminal de entrada de dicha fuente de corriente continua de elevado valor al colector de dicho primer transistor; medios para aplicar dicho voltaje de impulsos de bajo valor a dicho primer transistor para 20 hacer conductor dicho primer transistor y aplicar el voltaje de corriente continua de alto valor de voltaje desde dicha fuente a dicho terminal de salida a través de dichos medios de diodo; un segundo transistor normalmente conductor; medios que conectan el emisor de dicho segundo transistor a dicho terminal de salida; medios que conectan el 25

30  
30.5.70

16 OCT



colector de dicho segundo transistor al otro terminal de  
 entrada para dicha fuente de voltaje de corriente continua  
 de elevado valor de voltaje; medios que conectan la base  
 de dicho segundo transistor al emisor de dicho primer tran  
 5 sistor por los cuales dicho segundo transistor normalmente  
 conductor, es hecho no conductor al ser hecho conductor  
 dicho primer transistor por el voltaje aplicado a su base;  
 una fuente de voltaje periódico de elevado valor, y medios  
 para aplicar dicho voltaje periódico de elevado valor al  
 10 colector de dicho segundo transistor, por lo que dicho vol  
 taje periódico de elevado valor es aplicado a dicho termi  
 nal de salida a través de dicho segundo transistor durante  
 los periodos de conducción del mismo y a dicho terminal de  
 salida a través de dicha fuente de voltaje de corriente  
 15 continua, de elevado valor de voltaje y baja impedancia  
 y a dicho primer transistor durante los periodos de con  
 ducción de dicho primer transistor.

14.- El circuito según la reivindicación 13, que  
 forma parte de una pluralidad de circuitos similares en  
 20 una pastilla de circuito integrado.

15.- El circuito según la reivindicación 14, en  
 el cual dicha pastilla de circuito integrado contiene una  
 pluralidad de islas del dispositivo aisladas dieléctrica  
 mente unas de otras y en una matriz común.

16.- El circuito según la reivindicación 15, en el  
 cual cada segundo transistor normalmente conductor de ca  
 25 da circuito, se encuentra en su propia isla, y todos los  
 primeros transistores, normalmente no conductores, se en  
 cuentran en una isla común.

17.- Un sistema para excitar un panel de presenta

30  
 16.10.72

379220

16 OCT 1972



ción de descarga en gas múltiple.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

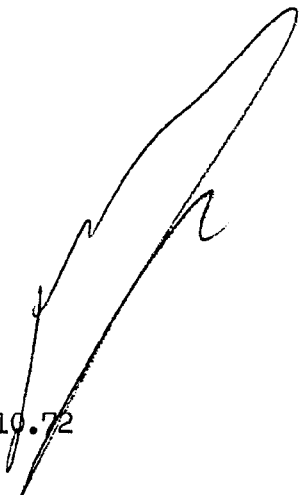
Esta Memoria consta de veintinueve hojas escritas a máquina por una sola cara.

Madrid, 16 OCT. 1972

P.A.

  
Alberto de Lizasoain  
Por Poderes

379220

  
16.10.72

379220

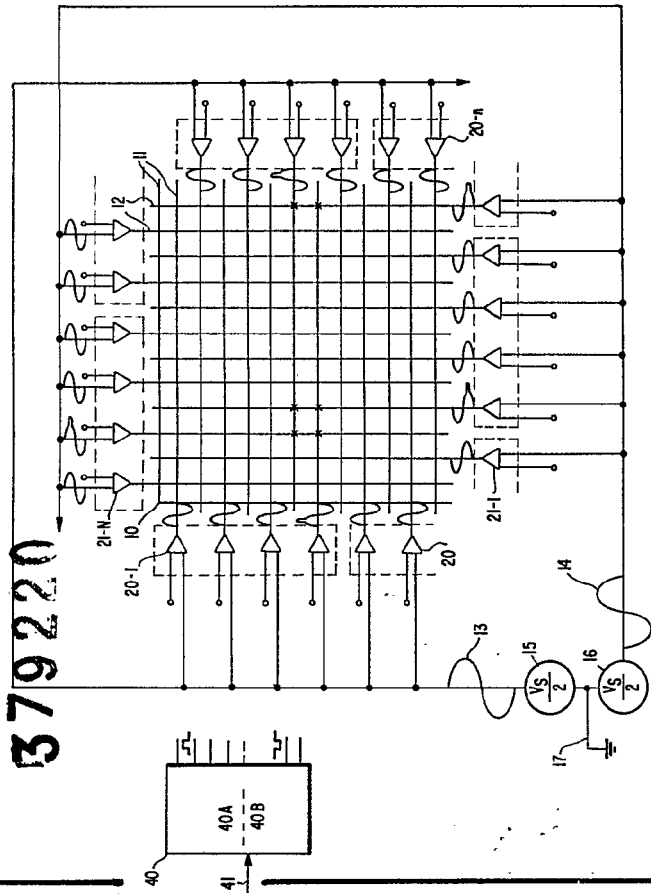


FIG. 1

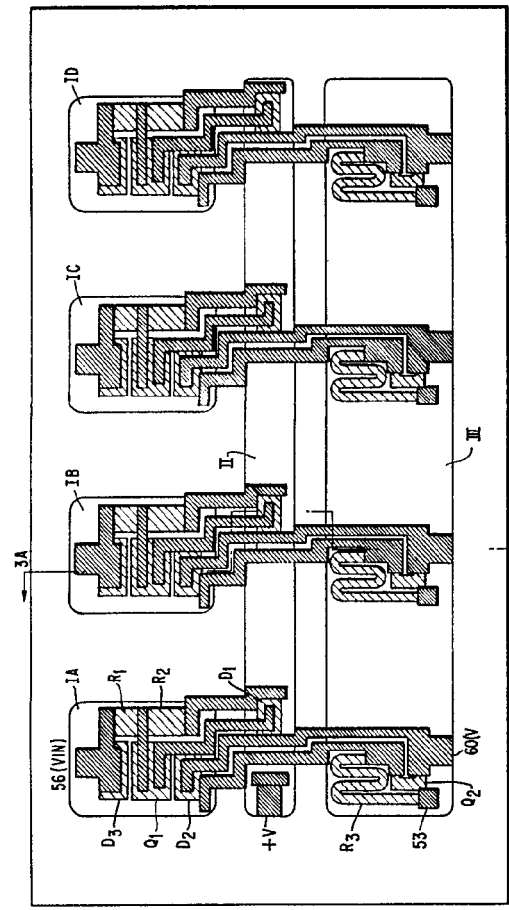


FIG. 3

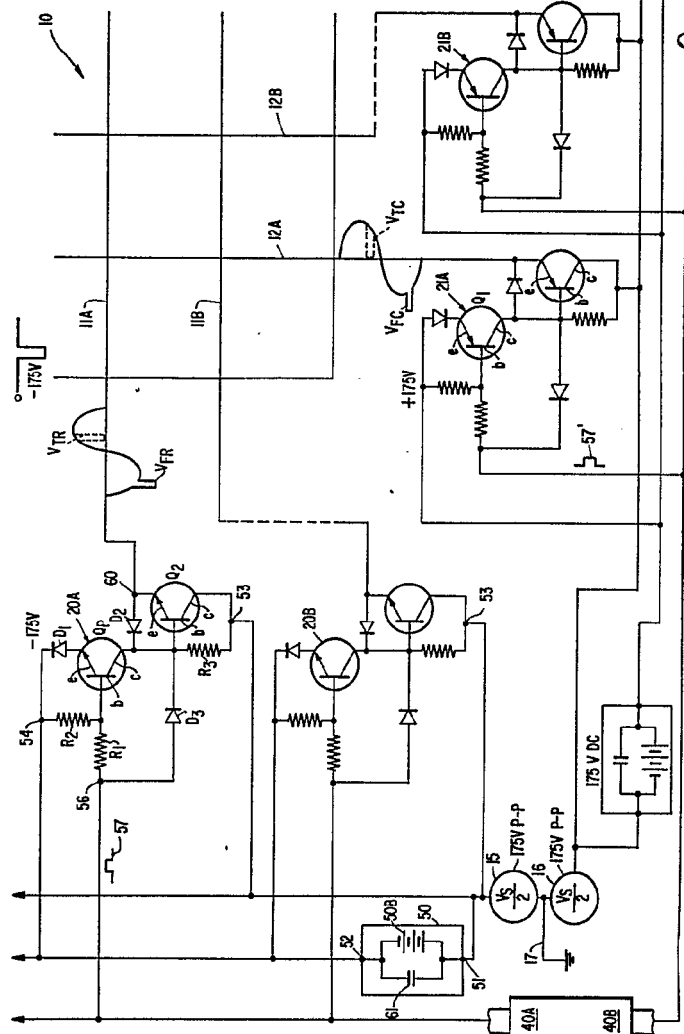


FIG. 2

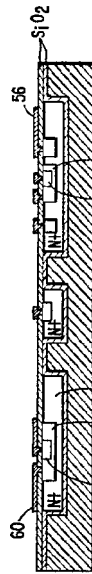


FIG. 3A

379220

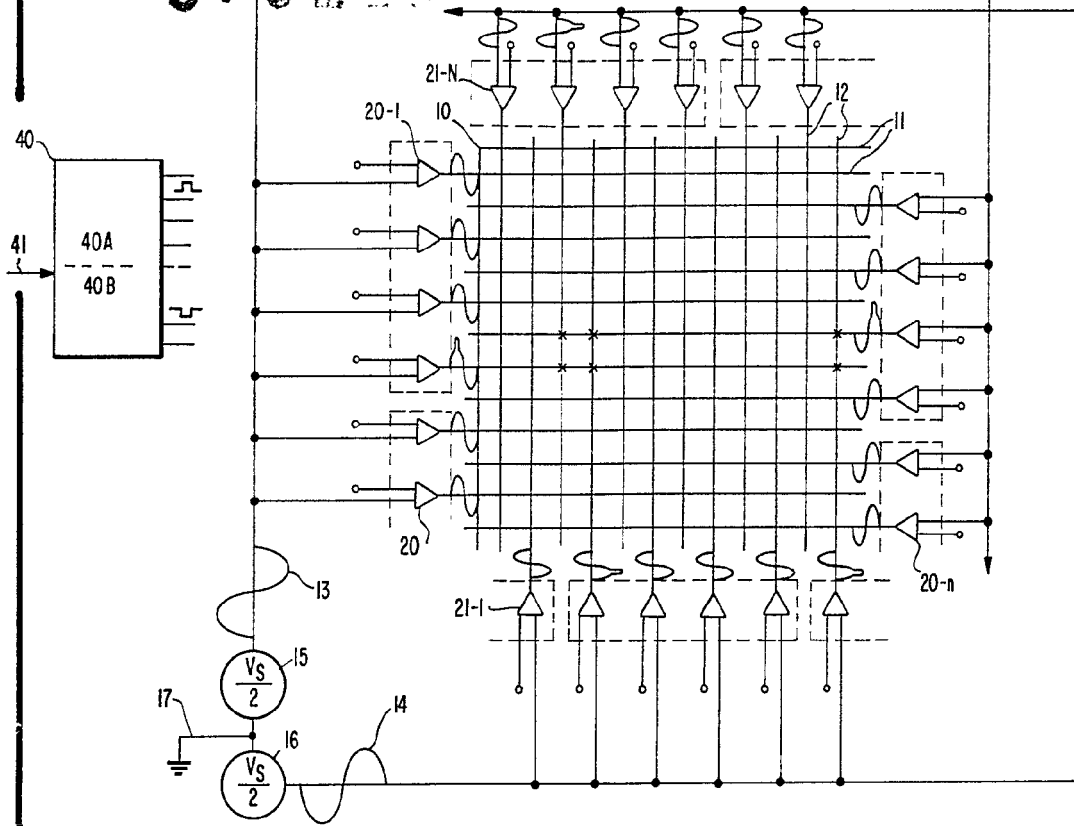


FIG. 1

FIG. 3A

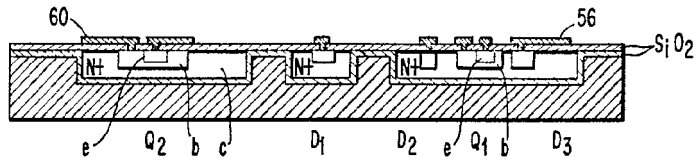


FIG. 3

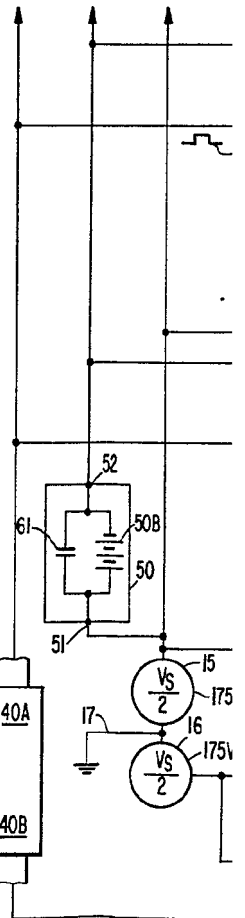
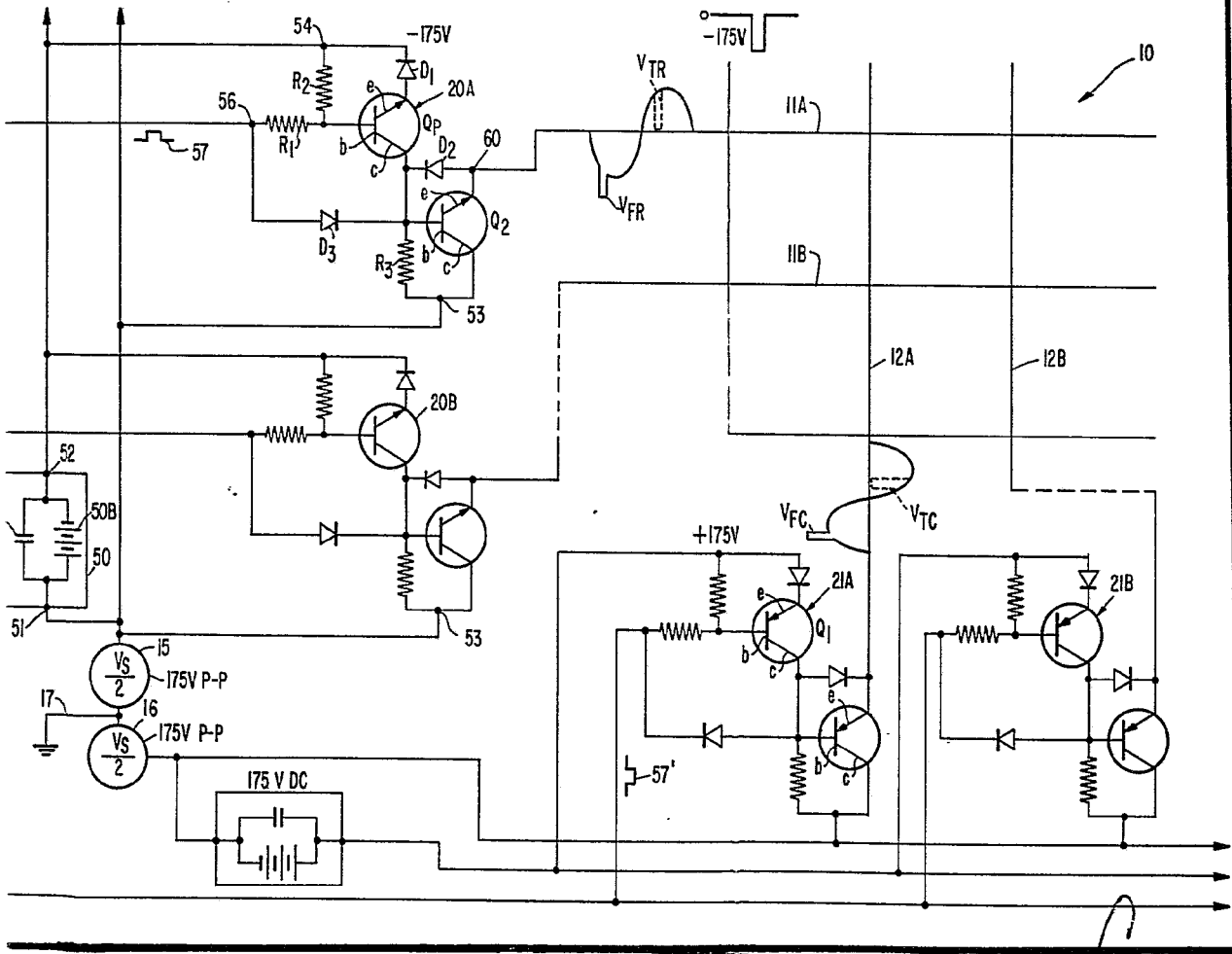
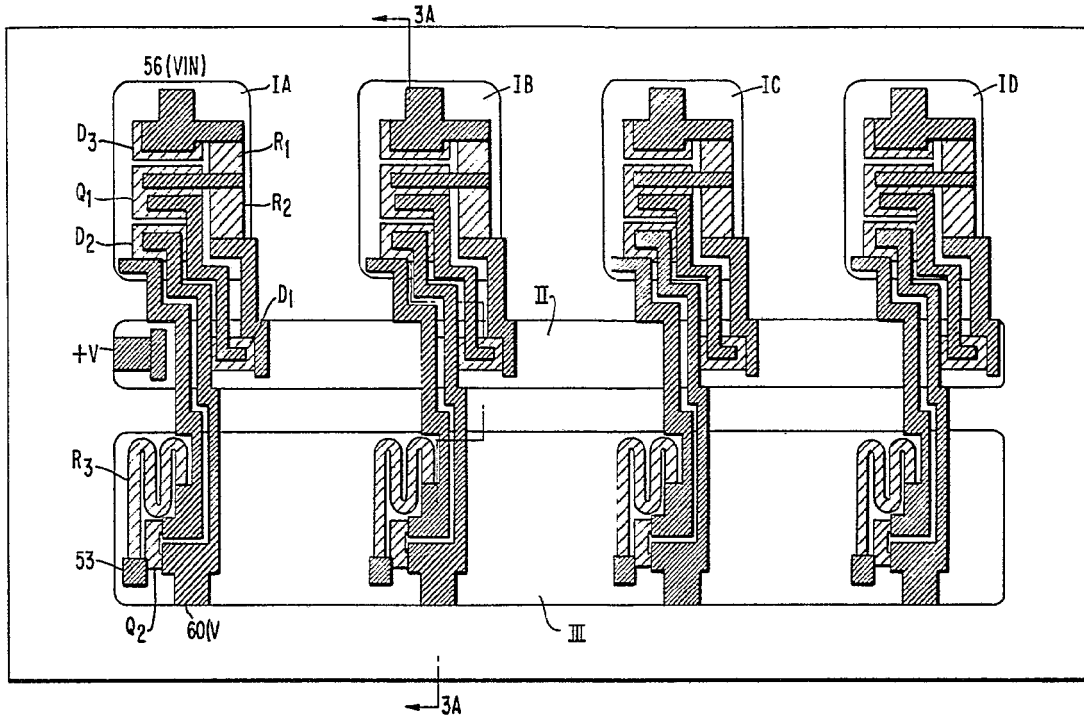


FIG. 2



FIG. 3



*[Handwritten signature]*  
 For Parts