

378975

P.- 44.456

UK 9-69-005



22 17 1970

Memoria descriptiva

SECCION DE...
CLASIFICACION...
CLASE G.06
SUBCLASE F

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / de nacionalidad norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UNA DISPOSICIÓN DE CIRCUITO DE DETECCIÓN DE ERRORES"
(Clase Internacional G06f)



Este invento se refiere a circuitos de detección de errores.

5 En los sistemas electrónicos de tratamiento de datos digitales, la transferencia de los datos tiene lugar en barras ómnibus de transferencia y a veces se tropieza con dificultades para descubrir la presencia de -- errores en los datos transmitidos a las barras colectores, especialmente cuando se transmiten datos a una barra simultáneamente desde varios orígenes. En tal caso, no son de aplicación los códigos de verificación de errores ya --
10 que, incluso si se ideara un código que detectara errores en datos agrupados, sería difícil averiguar la fuente del error.

15 La duplicación de los componentes constituye -- una técnica bien probada en el tratamiento de datos, pero la simple duplicación sólo es suficiente para indicar que ha ocurrido un error.

20 De acuerdo con el invento, un circuito de detección de errores comprende registros primero y segundo de almacenamiento de datos binarios de igual orden, medios -- de comparación conectados entre los registros, una barra ómnibus de transferencia de datos, un circuito excitador de datos dispuesto, en funcionamiento, para transmitir -- unos binarios (o ceros binarios) a la barra ómnibus de datos de acuerdo con el contenido del primer registro de da --
25 tos, un primer circuito receptor de datos dispuesto, en funcionamiento, para transmitir unos binarios (o ceros -- binarios) al primer registro de datos de acuerdo con los datos de la barra de transferencia de datos, y un segundo
30 circuito receptor de datos dispuesto, en funcionamiento, --



para transmitir unos binarios (o ceros binarios) al segundo registro de datos, siendo el circuito excitador de datos y el segundo circuito receptor de datos operados simultáneamente y estando dispuestos los medios de comparación, al funcionar el circuito excitador de datos, para emitir una señal de error en ausencia de un uno binario (o un cero binario) en cualquier orden del segundo registro de datos, cuando el mismo orden del primer registro de datos contiene un uno binario (o un cero binario).

El invento se usa, con preferencia, en un sistema de memoria asociativa en el cual los registros de datos comprenden los respectivos registros de entrada/salida para grupos duplicados de memorias en los cuales se comparan los estados de los circuitos báscula selectores.

El invento se seguirá explicando, a modo de ejemplo, con referencia a los dibujos adjuntos, en los cuales:

La fig. 1 es un diagrama de bloques de un sistema de memoria asociativa que incorpora circuitos de detección de error de acuerdo con el invento;

la fig. 2 es un diagrama de bloques que ilustran cómo se conectan los sistemas de memoria de la fig. 1 a barras ómnibus comunes de transferencia de datos;

las figs. 3 y 4 son diagramas de tiempos;

la fig. 5 es un diagrama de bloques que ilustra parte del proceso de recuperación del error;

la fig. 6 es un diagrama de parte de un circuito de paridad; y

la fig. 7 es un diagrama de parte de un circuito



de comparación.

Con referencia a la fig. 1 de los dibujos, se muestra un sistema de memoria asociativa que comprende - grupos duplicados primero y segundo 1 y 2 de registros - de vocablos. Sólo se muestran tres registros 3 de voca-
5 blos, pero se comprenderá que cada grupo puede consistir en muchos registros de vocablos. Cada registro de voca- blos 3 tiene un circuito de báscula selector 4 conecta- do, que es establecido a un estado estable predetermina- do como resultado de que el contenido del registro de vo-
10 cablos 3 al que está conectado se adapte al argumento de búsqueda de entrada a la memoria asociativa. La conexión de un circuito de báscula selector 4 a un registro de -- vocablos 3 es por medio de una línea de vocablos 5 que - está conectada en paralelo con todas las celdas de alma-
15 cenaje de datos (no mostradas) del registro de vocablos y emite una señal que hace que el circuito de báscula - selector 4 asuma el estado estable predeterminado sólo - si el contenido del registro se adapta al argumento de -
20 búsqueda de entrada. Como el grupo de memoria 2 es una - duplicación del grupo de memoria 1, a cada registro de - vocablos 3 del grupo le corresponde un registro de pala-
bas 3 único del grupo 2. Los estados de los circuitos -- báscula selectores 4 de cada uno de tales pares corres-
25 pondientes de registros de vocablos 3 se comparan en -- unos medios de comparación 6 que emiten una señal de -- error por una línea 7 si los estados de los circuitos de báscula de cualquier par correspondiente de circuitos -- de báscula selectores difieren. La señal de error de la
30 línea 7 establece un circuito de cerrojo 8, dando así -



22 MAY 1970

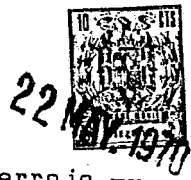
estado estático a la indicación del error. Los medidos
de comparación 6 comprenden un grupo de circuitos de com
paración 9, cada uno de ellos con el estado del circuito
báscula selector 4 de un registro de vocablos 3 del gru
5 po 1 como entradas, estado que es señalado por la línea
10, así como el estado del circuito de báscula selector
4 del registro de vocablos correspondiente 3 del grupo -
2, cuyo estado es señalado por la línea 11. Las salidas
(no mostradas) de los circuitos de comparación 9 son reu
nidas en común con la línea 7.

Asociados con el grupo 1 hay registros de da--
tos primero y segundo, 12 y 13 respectivamente. Cada re
gistro de datos tiene el mismo número de órdenes que un
registro de vocablos 3, y como se ha indicado esquemáti
15 camente por la línea con flecha 14, puede tener lugar --
transferencia de datos en cualquier sentido entre un re
gistro de datos 12 ó 13 y cualquier registro de vocablos
3 seleccionado del grupo 1, es decir, cualquier registro
de datos es un registro de entrada/salida del grupo 1.

Asociados con el grupo 2 hay registros de datos primero
y segundo 15 y 16 respectivamente, que son duplicados de
los registros de datos 12 y 13, respectivamente. La lí
nea con flecha 17 indica que los registros de datos 15 -
y 16 son registros de entrada/salida del grupo 2. Unos
25 medios de comparación 18 comparan el contenido de los --
respectivos primeros registros de datos 12 y 15, y el --
contenido de los respectivos segundos registros de datos
13 y 16, y emite una señal de error por la línea 19 si -
el contenido de un registro de un par resulta diferir --
30 del contenido del otro registro del par. La señal de --

14.5.70

378975



error de la línea 19 establece un circuito de cerrojo --
20, dando así carácter estático a la indicación del error.
Los medios de comparación 18 comprenden un primer grupo
de circuitos de comparación representado en la fig. 1, co-
mo circuito único 21, cada uno de los cuales compara el
5 contenido de datos de un orden respectivo de los regis-
tros de datos 12 y 15, y un segundo grupo de circuitos
de comparación, representado en la fig. 2 como circuito
único 22, que compara el contenido de los órdenes respec-
10 tivos de los registros de datos 13 y 16. Las salidas (no
mostradas) de todos los circuitos de comparación se co-
nectan en común a la línea 19.

La transferencia de los datos puede tener lugar
en cualquier sentido entre los registros de datos y cual-
quiera de dos barras omnibus de datos 23 y 24 respectiva-
15 mente. La barra 23 está conectada con el segundo regis-
tro de datos 13 por medio de un grupo de receptores de
datos representados en la fig. 1 como un solo receptor
de datos 25, por medio del cual son transferidos datos
desde la barra al registro de datos 13 y a través de un
20 grupo de excitadores de datos, representado en la fig. 1
como único excitador de datos 26, por medio del cual son
transferidos datos desde el registro de datos 13 a la ba-
rra omnibus 23. El segundo registro de datos 16, duplica-
do del segundo registro de datos 13, está conectado a la
25 barra 23 por medio de un grupo de receptores representa-
dos como receptor 27. Así, de los registros de datos 13 y
16, los dos pueden recibir datos desde la barra 23 pero --
sólo pueden ser transmitidos datos del registro 13 a la
30 barra 23. La barra 24 está conectada al primer registro --

22 MAY 1970



de datos 12 sólo a través de receptores representados -
 por el receptor 28, pero está conectada al primer regis-
 tro de datos duplicado 15 a través de receptores repre-
 sentados por el receptor 29 y a través de excitadores -
 5 representados por el excitador 30. Así, de los registros
 12 y 15, los dos pueden recibir datos de la barra 24, -
 pero sólo pueden ser transmitidos datos del registro 15
 a la barra 24. Considerando esta característica desde un
 aspecto diferente, puede decirse que, para la barra 23,
 10 el grupo de memoria 1 es el origen de datos con el grupo
 de memoria 2 como memoria de apoyo duplicada, al paso -
 que para la barra 24, el grupo de memoria 2 es la fuente
 de los datos, siendo el grupo de memoria 1 la memoria de
 apoyo duplicada.

15 Los excitadores y receptores son de diseño --
 usual y no se describirán en detalle. En respuesta a la
 combinación de una señal de reloj y la entrada de un uno
 binario, procedente del registro de datos en el caso de
 un excitador, y procedente de la barra ómnibus de trans-
 20 ferencia de datos conectada en el caso de un receptor, -
 un excitador o un receptor opera para transmitir un uno
 binario. Si la salida de datos es un cero binario el ex-
 citador o el receptor es inoperante. Es claro que podría
 haberse elegido la alternativa de transmitir sólo ceros -
 25 binarios.

Un circuito de paridad 31, que describiremos, -
 recibe como entradas las señales de las líneas 32 que co-
 nectan el receptor 28 con el registro de datos 12. Un --
 30 circuito de paridad 33 recibe como entradas las señales -
 de las líneas 34 que conectan el receptor 27 con el re--

14.5.70

- 7 - 378975



gistro de datos 16. Los circuitos de paridad 31 y 33 están conectados en serie a un circuito de cerrojo 35 que es establecido para indicar un error cuando la paridad de los datos en cualquiera de las líneas 32 ó 34 es incorrecta.

Unos circuitos de coincidencia 36 a 41 en las conexiones entre los receptores y excitadores y las barras omnibus 23 y 24 permiten que sea aislado de las barras cualquiera de los grupos o ambos grupos. Como se muestra, los circuitos de coincidencia 36 a 38 son circuitos con dos entradas, cada uno de los cuales tiene como una de sus entradas una línea de control 42 que, cuando está desexcitada, hace que queden aislados los registros 12 y 13 y, así, el grupo 1, de las barras 23 y 24. Similarmente, los circuitos de coincidencia 39 a 41 tienen como una de sus entradas una línea de control 43 que, cuando está desexcitada, provoca el aislamiento de los registros de datos 15 y 16, y, así, del grupo 2, de las barras de datos 23 y 24.

Antes de describir cómo funciona el sistema de detección de error, será conveniente indicar cómo se incorpora el sistema de memoria asociativa de la fig. 1 en un sistema grande. Se considera que varias memorias, que no tienen por qué ser asociativas, están conectadas en paralelo a las barras omnibus de datos 23, 24. Con referencia a la fig. 2, a modo de ejemplo, dos sistemas de memoria asociativa como se ha descrito con referencia a la fig. 1, están conectados en paralelo con las barras 23 y 24. Los sistemas de memoria, se muestran en forma más esquemática que en la fig. 1 para hacer resaltar el flujo



22 MAY 1970

de los datos entre los sistemas de memoria y las barras -
colectoras u ómnibus, y los elementos similares de los -
dos sistemas se distinguen por las referencias A y B. Se
disponen medios para transferir datos entre las barras -
5 23 y 24, y éstos se muestran como memoria intermedia o re-
guladora 44 que comprende un solo registro de tamaño apro-
piado. En la práctica, la transferencia de datos entre las
barras puede necesitar la transferencia a través de una -
memoria mayor, memoria principal, que tenga conexiones -
10 de entrada/salida a cada barra. Los circuitos de puerta -
usuales, no mostrados, se prevén para controlar la trans-
ferencia de datos entre las barras a través de la memoria
intermedia 44.

La fig. 2 muestra también un dispositivo de ve-
15 rificación adicional para asegurar, como explicaremos, --
que las conexiones entre cada sistema de memoria y las ba-
rras de datos son correctas. La paridad de los datos de -
la barra 23 es generada por un circuito de paridad 45, cu-
ya salida está conectada como entrada a un circuito simi-
20 lar 46. La salida del circuito 46 está conectada como en-
trada a los comparadores 47, 48 que, respectivamente, tie-
nen también como entradas las salidas de los circuitos ge-
neradores de paridad 33A y 33B. Si la paridad no casara,
los comparadores 47 ó 48 emitirían señales de error en los
25 terminales 49, 50 respectivamente. Debe observarse que --
esta disposición de verificación de la paridad funciona -
con independencia de que la paridad de vocablos en un sis-
tema de memoria sea o no correcta. La disposición es para
verificar que las conexiones entre los sistemas de memoria
30 y las barras lo son.

14.5.70

- 9 -

378975



Describiremos ahora el funcionamiento del sistema de memoria. La memoria asociativa tiene un ciclo de funcionamiento de tres fases, búsqueda y lectura o escritura. Para fijar las ideas, consideremos sólo el grupo de memoria 1. En la fase de búsqueda los datos de un registro de datos seleccionado 12 ó 13 son selectivamente enmascarados por una disposición de enmascaramiento no mostrada, y los bitios no enmascarados se aplican como argumento de la búsqueda en paralelo a todos los registros de vocablos, 3, del grupo 1. Como las disposiciones de enmascaramiento se muestra en la Memoria descriptiva de nuestra solicitud de patente británica No. 45.432/67, no se estima necesario dar aquí una descripción de las mismas. Si el argumento de búsqueda empareja con el contenido de cualquiera de los registros de vocablos 3, la línea de vocablos 5 de cada uno de tales registros emite una señal que hace que sea establecido el circuito de báscula de selector 4 conectado. Durante la fase de lectura o de inscripción, si se pide una lectura, el contenido de cada registro de vocablos 3 con circuito báscula selector 4 establecido es transferido simultáneamente a un registro de datos seleccionado 12 ó 13, o si se pide una inscripción, el contenido de un registro de datos seleccionado es incrito en cada registro de vocablos con el circuito de báscula selector conectado 4 establecido. Se observará que, cuando se eligen varios registros de vocablos, la operación de lectura es una operación disyuntiva sobre el contenido de los registros seleccionados y una verificación de paridad de los datos del registro de datos después de una operación de lectura será, en general, inefi-



caz. Luego, como explicaremos, los datos son transferidos entre el registro de datos y las barras colectoras.

Una característica adicional del sistema de memoria es la provisión de una denominada "operación siguiente". Los circuitos de báscula selectores de cada grupo están conectados entre sí a la manera de un registro de desplazamiento y el estado de cada circuito de báscula selector puede ser transferido en una operación siguiente al circuito de báscula adyacente en la dirección que va desde la parte alta a la parte baja del grupo, según se muestra en la fig. 1. La operación siguiente se efectúa durante la fase de búsqueda, puede realizarse con o sin una operación de búsqueda y va seguida por la fase de lectura/inscripción. Una descripción más detallada de la operación siguiente se encontrará en la Memoria descriptiva de la solicitud de patente británica No. 45.432/67 antes mencionada.

Las dos fases serán descritas ahora con más detalle.

1. La fase de búsqueda.

Se supone que hay datos idénticos en el registro de datos duplicado, por ejemplo, 12, 15 desde el cual han de suministrarse argumentos idénticos a los grupos 1 y 2. En una fase temprana de la de búsqueda, véase la fig. 3, los argumentos de búsqueda reciben paso discriminado a los grupos 1 y 2. Después de un tiempo suficiente para permitir que se establezca el estado de las líneas de vocablos 5, son emitidas señales de control que hacen que los circuitos de báscula selectores 4 conectados a las líneas de vocablos excitadas sean establecidos. Poco des--

22 MAY 1970



pués de que los circuitos de báscula selectores han sido establecidos y justo antes del final de la fase de búsqueda, unos medios comparadores 6 emitirán una señal de error por la línea 7, estableciendo de este modo el circuito de cerrojo 8 si los estados de los circuitos de báscula selectores conectados a los correspondientes registros de vocablos 3 de los grupos 1 y 2 son los mismos.

Una señal de error, cualquiera que sea la forma en que es generada, dará como resultado la parada de la máquina y un intento se resolver el error.

2. La fase lectura/inscripción.

(a) Lectura.

Si se pide una operación de lectura, los registros de datos son restablecidos primero, a menos que esta acción esté especialmente inhibida, y los datos de los registros de vocablos que tienen circuitos de báscula selectores conectados establecidos son leídos y extraídos simultáneamente a un par de registros de datos especificados, por ejemplo, los registros 12 y 15. La elección del par de registros de datos supone la elección de barra colectora de transferencia de datos, ya que los registros 12 y 15 están conectados sólo a la barra colectora 24 y los registros 13 y 16 lo están sólo a la barra 23. Cuando los estados de las células de memoria de los registros de datos se han estabilizado, el circuito de comparación 21 emite una señal de error (véase la fig. 4) estableciendo de este modo el circuito de báscula 19, si el contenido de datos de cualquier orden del registro 12 difiere del contenido del mismo orden del registro 15.

Durante la última parte de la fase de lectura -



es necesario transferir los datos de los registros de -
datos a las barras colectoras de datos y recibir datos
de las barras colectoras como preparación para la siguien
te fase de selección. Primero, los excitadores 26 y 30 -
5 son activados. El circuito excitador es tal que opera -
para transmitir a la barra colectoras conectada una señal
representativa de un 1 binario si el orden del registro
de datos al cual está conectado contiene un 1 binario pe
ro, por lo demás, el excitador no opera. Justamente des-
10 pués de que son activados los circuitos excitadores, lo
son también (véase la fig. 4) los circuitos receptores -
27 y 28. Estos receptores, como se muestra en la fig. 1,
son los conectados a los registros de datos 12 y 16 que
no tienen capacidad para transferir datos del registro -
15 a una barra colectoras. El registro de datos 12 está re-
cibiendo en este momento, no sólo unos binarios de los ex
citadores 30, sino también los unos binarios emitidos a -
la barra colectoras de datos 24 por otras memorias, como
se muestra en la fig. 2, trabajando en sincronismo con el
20 sistema de memoria mostrado en la fig. 1. Una verifica--
ción por comparación directa entre los registros de da--
tos 12 y 15., en general, daría como resultado una falsa
indicación de error. Por consiguiente, los comparadores -
21 son hechos funcionar de modo que determinen sí, por -
25 cada 1 del registro 15, hay un 1 en el registro 12. Si -
no es así, puede deducirse que uno de los excitadores 30
no ha transmitido correctamente un 1 a la barra colectoras.
Los excitadores y los receptores 26 y 27 conectados a la
barra 23 son operados de modo similar, pero suponiendo -
30 que los registros 13, 16 están despejados al comienzo de



la fase de lectura, los excitadores 26 no operan ya que el registro 13 no contiene unos y el efecto es que el registro 16 recibe datos transmitidos a la barra 23 por -- otras memorias o sistemas de memoria. A medida que están siendo transmitidos datos por los receptores 27 y 28 a -- los registros 12 y 16, los circuitos de paridad 31 y 33 están operando sobre los datos y son eficaces para generar la paridad de todos los datos que están siendo tránsferidos desde la barras, paridad que es aplicada al terminal 35. Las señales en los terminales 35 de todos los sistemas de memoria conectados a las barras 23 y 24 son comparadas en este momento con la paridad de los datos -- que hay en las barras. Esta última paridad, véase la fig. 2, es generada por circuitos de paridad 45 y 46 y es comparada con las señales que hay en los terminales 35A y -- 35B en comparadores 47 y 48 respectivamente. Si las paridades no casan, es generada una señal de error en el termininal 49 ó 50 conectado al comparador que detecta la falta de coincidencia. Esta verificación de paridad detecta las conexiones defectuosas entre las barras colectoras y los sistemas de memoria. Cuando ha transcurrido tiempo -- suficiente para que sea emitida la señal de error de la verificación de los unos, los receptores 25 y 29 son activados para transmitir datos desde las barras colectoras a los registros 13 y 15. Los comparadores 21 y 22 operan ahora en el modo de comparación para detectar si cada -- par de registros de datos contienen datos idénticos. Si es así, los registros de datos están listos para la si-- guiente fase de la búsqueda.

30 (b) escribir.

378975



En una fase de escritura, los excitadores no son operados y, así, los comparadores no se necesitan para la verificación de los unos solamente.

5 En un momento temprano de la fase de escritura, los datos son hechos pasar de manera discriminada desde el par de registros de datos seleccionado a los registros de palabras 3 de los grupos duplicados que tienen sus circuitos de báscula selectores establecidos. Hecho esto, los registros de datos son despejados y todos los receptores son accionados simultáneamente de modo que los datos de las barras colectoras de datos 23 y 24 son transferidos a los registros de datos para la siguiente fase de la búsqueda. Como en una fase de lectura, se hace una verificación de paridad comparando las paridades de los datos de las barras colectoras y los datos que se están recibiendo por los registros de datos, y el contenido de los registros de datos es comparado por los circuitos 21 y 22.

15 Una causa de error, hasta ahora no mencionada, es la posibilidad de que un circuito excitador pueda estar emitiendo constantemente un uno binario. Este error es descubierto aplicando una señal de inhibir excitador a todos los circuitos excitadores de todos los sistemas de memoria conectados a las barras colectoras y generando luego la paridad de los datos que hay en las barras. La paridad debe ser cero y ha ocurrido fallo de excitador si es uno. Esta verificación tiene lugar al final de la fase de búsqueda después de que está disponible la comparación de los selectores.

20 Cuando se descubre un error por el sistema, se

22 MAY 1970

5 hace un intento para diagnosticar el fallo y, si es po-
sible, para corregirlo. Con el sistema que luego descri-
bimos, aunque puedan estar conectados varios sistemas de
memoria a las mismas barras colectoras de transferencia
de datos, el uso de circuito de cerrojo de error 8 y 19
y de los terminales 49, 50 de error de paridad, siendo -
cada terminal singular para el sistema de memoria, hace
posible la detección inmediata del sistema de memoria -
que da lugar al error. Como muchos errores que pueden -
10 producirse son transitorios, el primer proceso de recupe-
ración consiste en encontrar el ciclo de la memoria que
dió lugar al error. Esto se repite varias veces, si es -
preciso.

15 Si la prueba no es satisfactoria y si el error
puede ser atribuido a errores de los datos, se intenta -
refrescar los vocablos. Esto supone la sustitución de -
un vocablo incorrecto por el vocablo procedente del re--
gistro de vocablos correspondiente del grupo duplicado.
Después de renovar los vocablos, se intenta de nuevo la
20 prueba y si no tiene éxito, el sistema de memoria es ais-
lado de las barras colectoras desexcitando las líneas 42
y 43.

25 Una vez que ha sido señalado un error, es ne-
cesario determinar en cuál de los grupos y circuitos aso-
ciados surgió el error.

La máquina es detenida y el control es trans--
ferido a una rutina de diagnóstico.

30 Un orden binario de cada grupo, denominado co-
lumna de diagnóstico 51 (fig. 5) se reserva para los --
diagnósticos y está normalmente despejado. Al comienzo -



de la rutina de diagnóstico, después de varias pruebas -
 como se explicó antes, los estados de los selectores son
 copiados en las columnas de diagnóstico 51 de los grupos
 1 y 2. Un uno binario es situado en el orden apropiado -
 5 de un par de registros de datos, por ejemplo en el 12, 15
 y se lleva a cabo una operación de escritura con sólo es-
 ta columna sin enmascarar. El resultado es, como se mues-
 tra en la fig. 5, que cuando un circuito de báscula 4 de
 selector es establecido, representado por S, se escribe -
 10 en uno binario en la columna de diagnóstico del grupo --
 conectado, pero que, cuando un circuito de báscula 4 de -
 selector es restablecido, hay un cero binario en la colum-
 na de diagnóstico. Para mayor claridad, sólo se han mos-
 trado tres pares de selectores.

15 Se dispone de tres señales de error que indican
 respectivamente que hay un error de paridad, que el con-
 tenido de un par de registros de datos no es idéntico y -
 que los establecimientos de un par de circuitos de bascu-
 la selectores no son idénticos. Si hay un error de pari--
 20 dad, puede deducirse, como se explicó antes, que es inco-
 rrecta una conexión entre el sistema de memoria y las ba-
 rras colectoras. Si el error se repite después de la prue-
 ba, el error es insalvable y el sistema es aislado de las
 barras colectoras desexcitando las líneas 42 y 43. Si du-
 25 rante una fase de escritura, no resultaran idénticos los
 contenidos de un par de registros y no hay error de pari-
 dad, entonces el error puede atribuirse al registro de -
 datos y, también, es insalvable, El sistema es aislado de
 las barras colectoras. Quedan errores debidos a un par no
 30 emparejado de selectores y a contenidos no parejas de re-



gistros de datos durante una fase de lectura. Supongamos que la señal de error indica selectores no emparejados.

El primer proceso de diagnóstico en este caso es verificar el trabajo de la operación siguiente. El -
5 circuito de báscula 4 del selector conectado a ambos --
grupos 1 y 2 se restablece y se aplican señales en las -
líneas 52 de Entrada Siguiete y se establece el selec--
tor más alto de cada grupo. Se realiza entonces una se--
cuencia de operaciones siguientes, sin operación de leer
10 o escribir, para hacer que el estado establecido se des-
place por cada cadena de circuitos de báscula de selec--
tor. El estado establecido de los circuitos de báscula -
de selector inferiores es emitido a las respectivas lí-
neas 53 de Salida Siguiete. Las líneas 53 de Salida Si-
15 guiete están conectadas como entradas respectivas a un
circuito de coincidencia 54 y a un circuito disyuntivo -
55. La salida procedente del disyuntivo 55 indica si el
estado establecido ha sido transferido a través de al me-
nos una cadena de circuitos de báscula de selector y se -
20 usa para interrumpir la secuencia de operaciones siguien-
tes y la salida del circuito de coincidencia 54 indica -
si los estados establecidos de cada cadena fueron transfe-
ridos fuera de los circuitos de báscula selectores simul-
táneamente. Si las salidas de ambos circuitos están a va-
25 lor alto simultáneamente, se supone que la operación de
transferencia siguiente es buena, pero si sólo está en -
valor alto la salida del circuito disyuntivo 55, incluso
después de varios intentos, se supone que hay un error -
insalvable y se aísla el sistema de memoria de las barras
30 colectoras 23 y 24 desexcitando las líneas 42 y 43.



Incluso después de obtener una salida del circuito de coincidencia 54 es posible que los circuitos de báscula selectores no se hayan respuesto correctamente de manera que, aunque se haya transferido correctamente un estado de establecimiento a lo largo de las cadenas de los circuitos de báscula, estén marcados uno ó más registros de vocablos al final de la verificación, que deberían estar sin marcar. Por consiguiente, al final de la verificación siguiente, se lleva a cabo una operación de lectura que debe dar como resultado que no se lea nada a los registros de datos. Como es improbable que ambas cadenas de operaciones siguientes desarrollen al mismo tiempo el mismo error, los medios de comparación 18 señalarán un error de reposición del circuito báscula de selector. Tal error es insalvable y dá como resultado que el sistema de memoria sea aislado de las barras colectoras como se ha descrito antes.

Suponiendo que la siguiente operación resulta buena, la fase inmediata del proceso de diagnóstico es encontrar qué par de selectores están desemparejados. Se hace esto usando las columnas de diagnóstico 51. Con todos los selectores repuestos o establecidos se realiza una secuencia de operaciones de lectura siguiente, siendo tal la máscara de lectura que sólo se lean pasándolos a los registros de datos los asientos de las columnas de diagnóstico. Una operación de lectura siguiente hace que, en la fase de selección, los estados de los selectores sean transferidos, y en la fase de lectura, una extracción por lectura al registro de datos del contenido, seleccionando de acuerdo con la máscara de lectura, de los

14.5.70

378975



1970

registros de vocablos así marcados. Por una razón que se aclarará luego, la extracción por lectura es a ambos pares de registros de datos. En este caso, la primera señal siguiente es generada en las líneas 52 de Entrada Siguien

5 te y provoca la selección del par más alto de registros de vocablos. Cuando es completada cada operación de lectura, tiene lugar una comparación de los contenidos de los registros de datos por los circuitos 21 y 22 dependiendo del registro seleccionado. Claramente, cuando los

10 contenidos de la columna de diagnóstico difieren, se señalará una falta de emparejamiento por los circuitos de comparación. El par no coincidente de circuitos de búsqueda de selectores que dió lugar a la señal de error de selector, ha sido encontrado entonces. Cuando es emitida

15 una señal de falta de emparejamiento, se detiene la secuencia de lectura Siguiendo y se cambia la máscara para permitir la extracción por lectura de los grupos 1 y 2 del contenido completo de los registros de vocablos.

Se hace esto, y se verifica la paridad de los

20 vocablos en los registros, por ejemplo por un circuito de paridad (no mostrado) conectado a cada registro. Si la paridad de ambos vocablos es correcta, se supone que el error está en el circuito lógico que hace que el selector sea establecido cuando se encuentra una coincidencia entre un argumento de la búsqueda y el contenido de un re-

25 gistro, durante una fase de búsqueda. Tal error es insalvable. Si la paridad de uno de los vocablos es correcta, se efectúa la renovación de vocablos. Supongamos que la paridad del vocablo en el registro 15A (fig. 2) es correcta y que la paridad del vocablo en el registro 12A es in-

30



correcta. Se escribe el vocablo del registro 15A, por medio de la barra 24, en la memoria reguladora o intermedia 44, se despejan los registros 12A y 15A, y se transfiere el contenido de la memoria 44 al registro 12A. Si la paridad en el registro 15A es incorrecta, se transfiere el contenido del registro 13A por medio de la barra 23, la memoria intermedia 44 y la barra 24, al registro 15A, habiendo sido despejado entre tanto el registro 15A.

10 Como el circuito de báscula de selector está todavía marcando el registro de vocablos del cual se leyó el dato erróneo, el contenido renovado del registro 12A ó 15A, el que contenga un error de paridad, se escribe de nuevo en el grupo 1 ó 2, respectivamente.

15 Se prueba de nuevo el ciclo que da origen al error y si ocurre éste todavía, se deduce que el error se halla en una de las celdas de datos del grupo que falla, en cuyo caso el error es insalvable y el sistema de memoria es aislado.

20 Si se señala un error de comparación de registros de datos en una fase de lectura un proceso de diagnóstico similar determina si el error es transitorio, se halla en la lógica de lectura de un grupo, o es un error de excitador. Se cree que la descripción que hemos dado de la diagnosis de los errores de selector es suficiente para indicar las técnicas de recuperación de errores que es posible emplear con el sistema de memoria descrito.

25 La fig. 6 muestra parte de un circuito generador de paridad adecuado para uso en el sistema de memoria de la fig. 1. El circuito comprende un cierto número

378975

22 MAY 1970

de pasos 60 conectados en serie, uno para cada bitio del número del cual ha de generarse la paridad. Una paridad entrante está representada como marcación de voltaje de las dos líneas 61 y 62. Una señal en la línea 63 que representa el bitio de datos binario controla el circuito de árbol de los transistores T1 y T6 para generar una paridad en las líneas 54 y 65 como entrada al paso siguiente 60 que emite una señal de paridad por las líneas 67 y 68 de acuerdo con las entradas por las líneas 64 y 65 y la línea de bitios 66. El circuito de árbol del paso de la izquierda de la fig. 6 está conectado a un evacuador de corriente 69. El primer nivel consiste en los transistores PNP T1 y T2 con sus emisores conectados al evacuador de corriente. La línea 63 está conectada a la base del transistor T1 y tiene también una bifurcación 71, conectada a la línea 63 a través de un inversor 70, que está conectada a la base del transistor T2. El segundo nivel del árbol comprende los transistores T3 a T6. Los emisores de los transistores T3 y T4 están conectados en paralelo al colector del transistor T1, mientras que los emisores de los transistores T5 y T6 están conectados en paralelo al colector del transistor T2. La línea 61 está conectada a las bases de los transistores T3 y T6, la línea 62 lo está a las bases de los transistores T4 y T5, y la línea 65 lo está a los colectores de los transistores T4 y T6. Las líneas 64 y 65 están conectadas a través de resistencias respectivas a potenciales V1. En funcionamiento, la línea 63 con valor alto representa un uno binario, y necesita un cambio de paridad. El transistor T1 está conduciendo. Si la línea 61 tiene valor alto y la línea 62 lo tiene bajo, representando, por ejemplo, una paridad

378975

de uno, el transistor T3 está conduciendo y el transistor
 T4 no conduce, dando como resultado que la línea 64 esté
 a valor bajo y la línea 65 a valor alto, lo que represen-
 ta una paridad de cero. Si la línea 63 está a valor bajo,
 5 representando el cero binario, la línea 71 está a valor
 alto, haciendo que conduzca el transistor T2. Si la lí-
 nea 61 está a valor alto y la línea 62 a valor bajo, el
 transistor T6 está conduciendo y el transistor T5 no con-
 duce, dando como resultado que la línea 64 esté a valor
 10 alto y la línea 65 esté a valor bajo, La paridad es deja
 da pasar sin alteración al paso siguiente. Con el fin de
 comprobar la paridad de un vocablo de datos, por ejemplo
 que la paridad es par, una señal predeterminada represen-
 tativa de la paridad es puesta en las líneas de entrada
 15 61, 62 del paso de entrada 60 y se hace una verificación
 de que las señales de las líneas de salida 67, 68 del pa-
 so de salida 60 representan la misma paridad.

La fig. 7 muestra un circuito de comparación -
 70 adecuado tanto para comparar las entradas de los ter-
 20 minales 71 y 72 como para indicar que la señal de un ter-
 minal dado representa un uno binario y difiere de la se-
 ñal del otro terminal. El uno binario está representado
 por una señal relativamente positiva. El circuito 70 for-
 ma un orden de los comparadores 21, 22 mostrados en la -
 25 fig. 1. Los comparadores 9 que comparan los circuitos --
 báscula selectores pueden ser de construcción más senci-
 lla conocida. Las líneas 73 y 74 están conectadas en pa-
 ralelo a cada circuito de comparación 70 del comparador -
 21 ó 22. Los transistores NPN T10 y T11 están conectados
 30 respectivamente entre fuentes de corriente iguales 75 y



76, que suministran como se representa, 0,05 mA y un eva-
cuador de corriente que absorbe 0,02 mA. Los transistores
T12 y T13 están conectados entre las líneas 73 y 74, res-
pectivamente, y masa. La base del transistor T12 está co-
5 nectada a la fuente de corriente 75 y la base del tran-
sistor T13 está conectada a la fuente de corriente 76. Un
circuito limitador, mostrado esquemáticamente como diodo
78, está conectado al colector del transistor T10 y la ba-
se del transistor T12, y un circuito limitador, mostrado
10 esquemáticamente como diodo 70, está conectado al colector
del transistor T11 y la base del transistor T13. Los se-
guidores de emisor 80, 81 están conectados a las líneas -
73, 74 respectivamente, para dar corriente a los termina-
les de salida 82, 83 respectivamente. La línea 73 está pc-
15 larizada de modo que si el transistor T12, o cualquier -
transistor de este tipo de cualquier circuito conectado -
70, no conduce, aparezca una señal relativamente positiva
en el terminal 82, el paso que si conduce el transistor -
T12, hay una señal relativamente negativa en el terminal
20 82. Y lo mismo ocurre para la línea 74 de acuerdo con el
estado de conducción del transistor T13.

En funcionamiento, los transistores T10 y T11,
que están conectados efectivamente como par de persisten-
cia, conducen siempre en tanto las señales de los termina-
28 les 71 y 72 sean iguales. Los transistores T10 y T11, sin
embargo, absorberán corrientes diferentes debido a sus ca-
racterísticas de funcionamiento que inevitablemente son un
poco diferentes y el circuito está diseñado de modo que -
cualquiera que sea el transistor que absorbe menos corrien-
30 te, absorba todavía toda la corriente del manantial 75 ó-



76. Cualquier corriente en exceso es suministrada por los circuitos limitadores 78 y 79. Con señales iguales en los terminales 71 y 72, los transistores T12 y T13 están fuera de conducción y los potenciales en los terminales 82 y 83 son altos. Si la señal en un terminal 71 ó 72 difiere de la señal del otro terminal, uno de los transistores T10 y T11 es puesto fuera de conducción y uno de los transistores T12 y T13 es puesto en conducción, haciendo que el potencial en uno de los terminales 82 u 83 caiga. Por ejemplo, si el potencial en el terminal 72 cae mientras el potencial en el terminal 71 permanece alto, el transistor T10 suministra toda la corriente al evacuador 77, dando como resultado que el transistor T11 sea puesto fuera de conducción y que el transistor T13 se haga conductor. El potencial en el terminal 83 cae para indicar AB.

Cuando el circuito 70 está comparando simplemente los contenidos de dos registros de datos, las señales relativamente negativas de ambos terminales 82 y 83 son importantes para representar un error. Sin embargo, cuando el circuito 70 está realizando una "verificación de unos", solamente se usa la señal de uno de los terminales. Por ejemplo, si el terminal 71 está conectado a un orden de datos del registro 13 y el terminal 72 lo está a un orden del registro de datos 16, sólo las señales relativamente negativas del terminal 83 representarán un error.

En lugar de dos registros de datos para cada grupo de memoria como hemos descrito en lo que antecede, puede preverse cualquier número de ellos de acuerdo con el número de barras colectoras de transferencia de datos



a las cuales se desee conectar el grupo.

La presente solicitud que corresponde a la presentada en Gran Bretaña con fecha 24 de Abril de 1.969, bajo el número 20902/69 se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10

- REIVINDICACIONES -

15

Los puntos de invención, propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los siguientes:

20

1.- Una disposición de circuito de detección de errores para sistemas de tratamiento de datos y dispositivos de transferencia de datos, que comprende al menos un par de registros de memoria de datos binarios de igual orden, conectados por medios de comparación y, al menos, una barra colectora de transferencia de datos, caracterizada porque están previstos circuitos de excitación de

25

datos dispuestos en funcionamiento para transmitir datos binarios a una barra colectora de transferencia de datos de acuerdo con los contenidos del primer registro de datos, primeros circuitos receptores de datos dispuestos en funcionamiento para transmitir datos binarios a dicho pri

30

14.5.70

378975



mer registro de datos de acuerdo con los datos conteni-
dos en la barra colectora de transferencia de datos, se-
gundos circuitos receptores de datos dispuestos en fun-
cionamiento para transmitir datos al segundo registro -
de datos, y porque los medios de comparación conectados
entre ambos registros de datos citados están dispuestos
de tal manera que transmiten una señal de error en el ---
caso de que no coincidan sus contenidos de datos.

2.- Una disposición de circuito de detección -
de errores, según la reivindicación 1, caracterizada por-
que los medios de comparación conectados entre los regis-
tros de datos comprenden un juego de circuitos de compa-
ración para cada orden binario, y porque este juego está
dispuesto para transmitir una señal de error a una línea
que conduce a un enclavamiento en el caso de que no coin-
cidan los datos correspondientes a un orden binario único
sólamente.

3.- Una disposición de circuito según la rei-
vindicación 1, caracterizada porque un circuito de pari-
dad está conectado a una línea que conduce desde el se-
gundo receptor de datos al segundo registro de datos y,
porque su salida, va a un enclavamiento.

4.- Una disposición de circuito según la rei-
vindicación 1, caracterizada porque los registros de da-
tos se utilizan como registros de entrada/salida de un -
sistema de memoria.

5.- Disposición de circuito según la reivindi-
cación 4, caracterizada porque el sistema de memoria es
un sistema de memoria asociativa.

6.- Una disposición de circuito según la reivin

30
14.5.70

378975



5 dicación 1, caracterizada porque un par de registros de
datos que están provistos de circuitos de comparación y
que están conectados a una barra colectora de transfe-
rencia de datos está asignado a un sistema de memoria asocia-
tiva que comprende dos grupos de pares correspondientes -
de registros de palabra, por lo que el primer registro -
de datos está conectado al primer grupo de memoria y el
segundo registro de datos está conectado al segundo grupo
de memoria.

10 7.- Una disposición de circuito según la rei-
vindicación 6, caracterizada porque otro par de registros
de datos, que están provistos de circuitos de comparación
y que están conectados a otra barra colectora de transfe-
rencia de datos, está adjudicado al sistema de memoria --
15 asociativa doble, por lo que el primer registro de datos
está conectado al segundo grupo de memoria, y el segundo
registro de datos está conectado al primer grupo de memo-
ria.

20 8.- Una disposición de circuito según las rei-
vindicações 3 y 7, caracterizada porque un circuito de
paridad está conectado a una línea que conduce desde el
segundo receptor de datos al segundo registro de datos y
porque su salida va al mismo enclavamiento.

25 9.- Una disposición de circuito según la reivin-
dicación 7, caracterizada porque una memoria separadora -
está interconectada entre ambas barras colectoras de trans-
ferencia de datos.

30 10.- Una disposición de circuito según las rei-
vindicações 7 y 8, caracterizada porque están conecta--
dos circuitos de paridad a cada barra colectora de trans-



22 MAY 1970

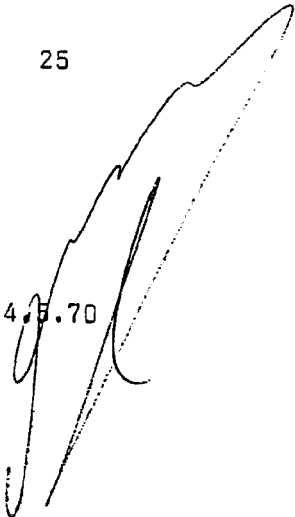
ferencia de datos, siendo sus salidas una entrada de un comparador cuya otra entrada es la salida de los circuitos de paridad adjudicados a los pares de registros de datos, y porque el comparador está dispuesto para transmitir una señal de error en su terminal, en el caso de que no coincida la paridad de los datos de una o de ambas barras colectoras, al compararla con la paridad de los datos transmitidos desde los segundos receptores de datos a los segundos registros de datos.

11.- Una disposición de circuito según la reivindicación 6, caracterizada porque están previstos unos medios de comparación cuyos circuitos de comparación, conectados a cada par de registros de palabra correspondientes, están dispuestos para transmitir una señal de error mediante una línea que conduce a un enclavamiento en el caso de no coincidencia de los estados de básculas selectoras correspondientes adjudicados a ambos grupos del sistema de memoria asociativa.

12.- Una disposición de circuito de detección de errores.

Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y para los fines que se han especificado.

14.5.70



378975



22 MAY. 1970

Esta Memoria consta de treinta hojas escritas
a máquina por una sola de sus caras.

Madrid, 22 MAY. 1970

P. A.

Alberto de Elzaburu
Por Poder

14.5.70/RTA.-

378975

378975



370075

28

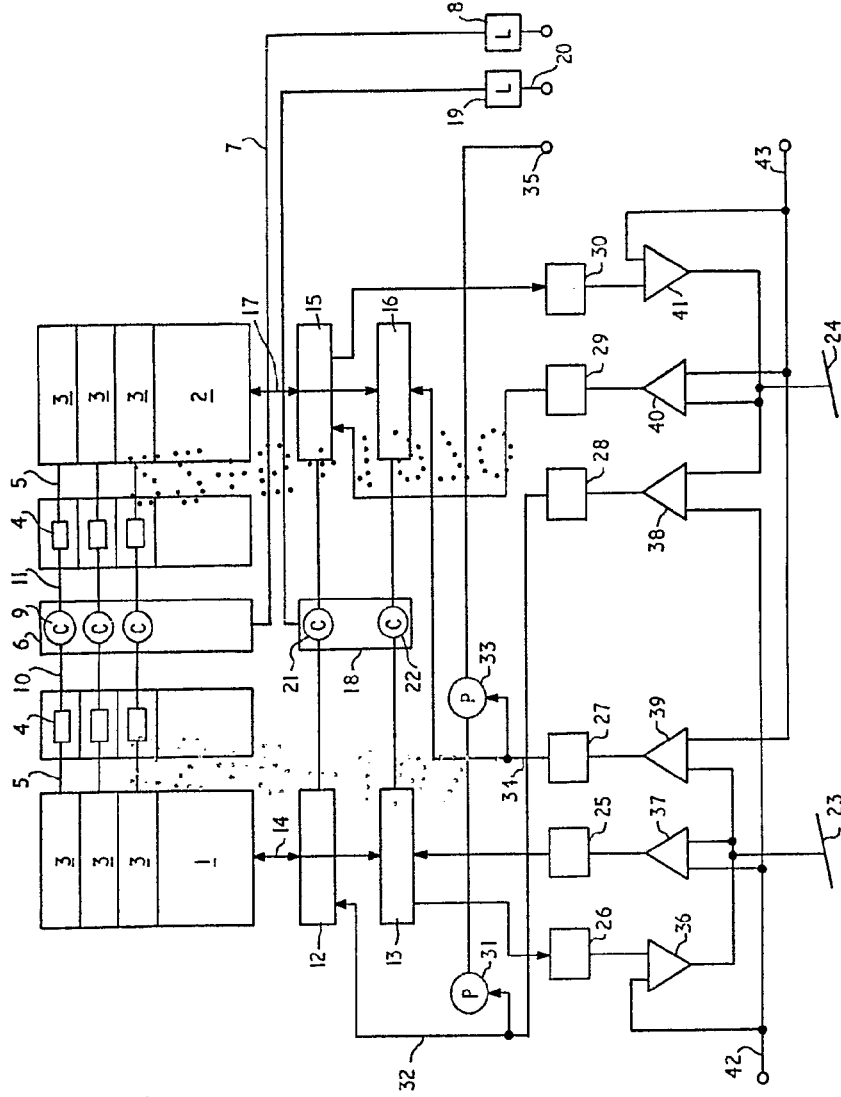
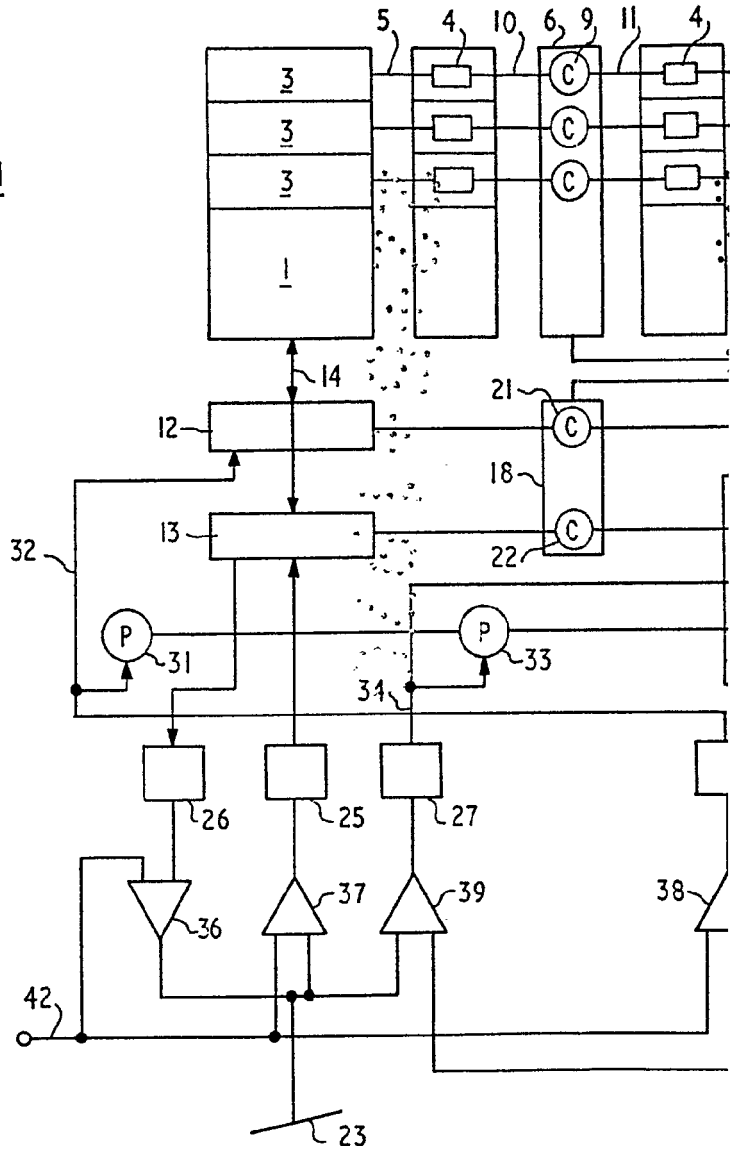


FIG. 1

Alberto de Minervino
Ref. Fossey
Vale

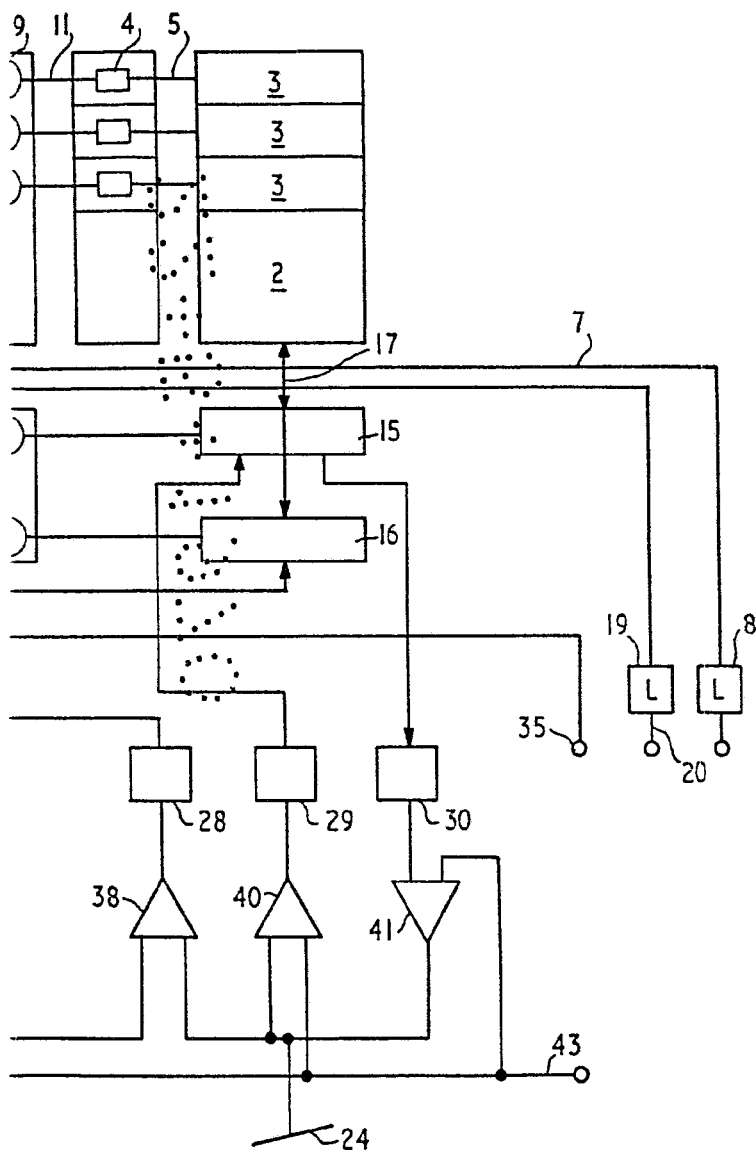
370075

FIG. 1



378975

144430



Alberto M. Mignone

Per Eoder

378975

378975

22

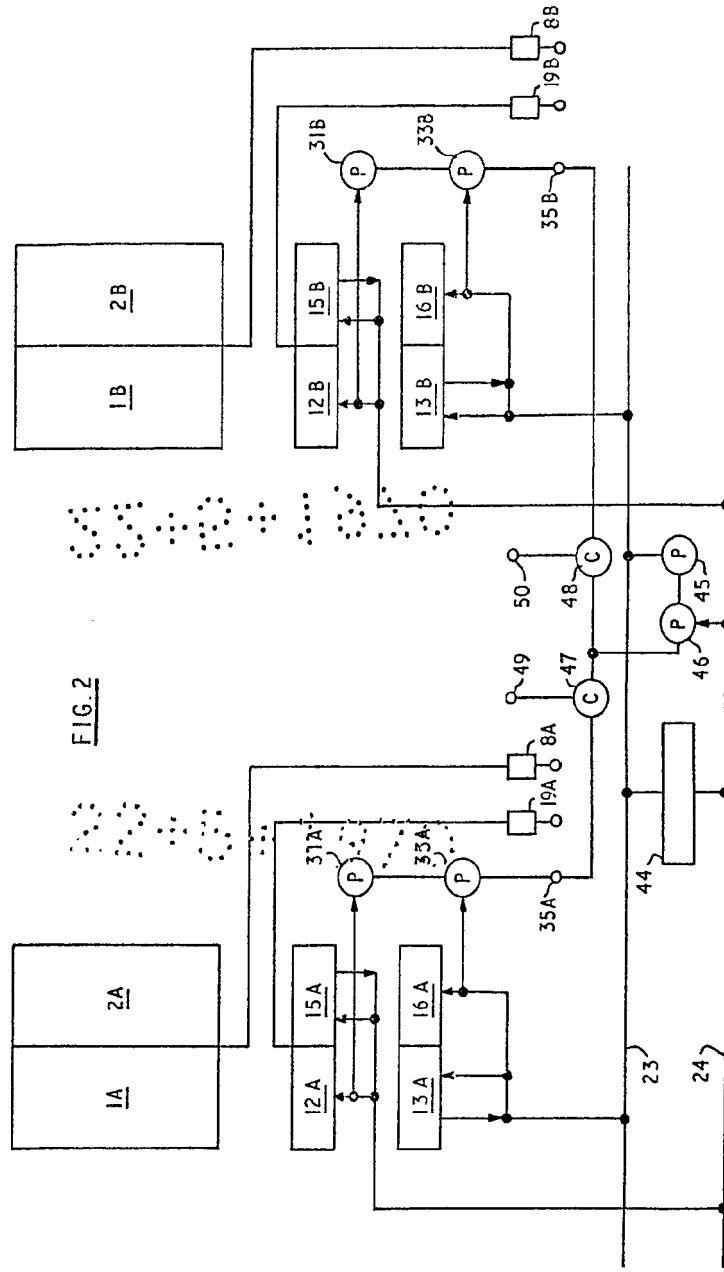
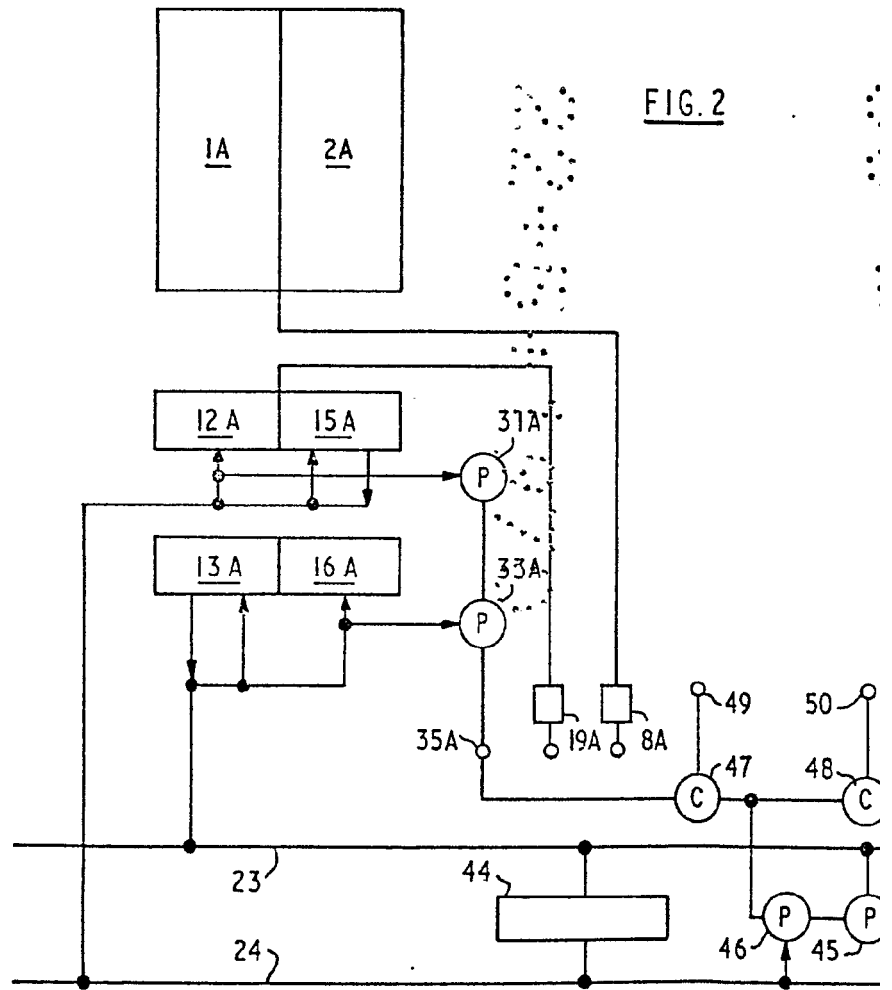


FIG. 2

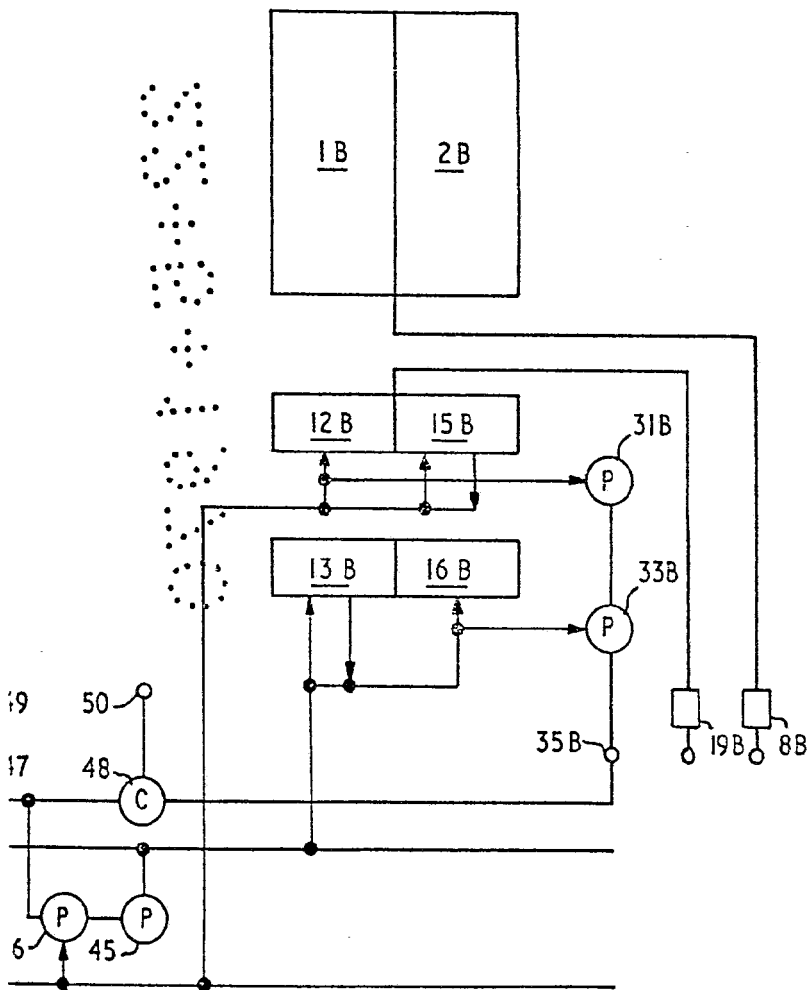
Alberio de M...
For Power...

378975



378975

22



Alberto de Euzoio

Por Poder.

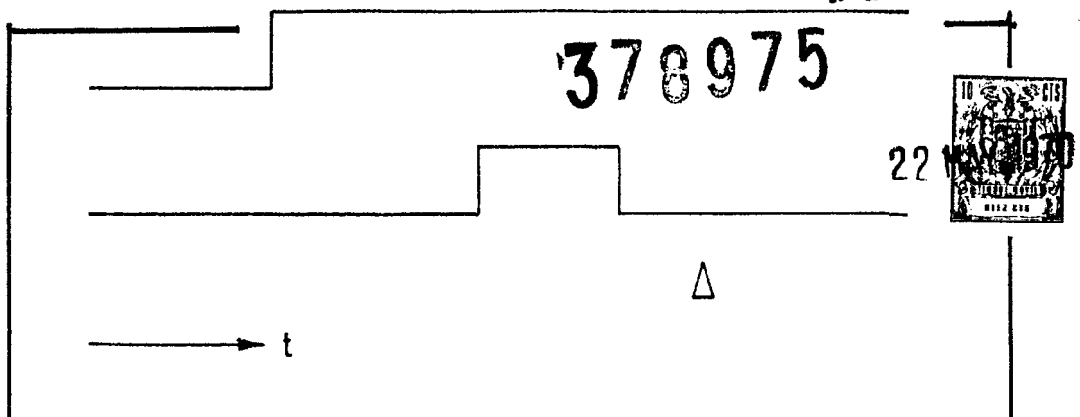


FIG. 3

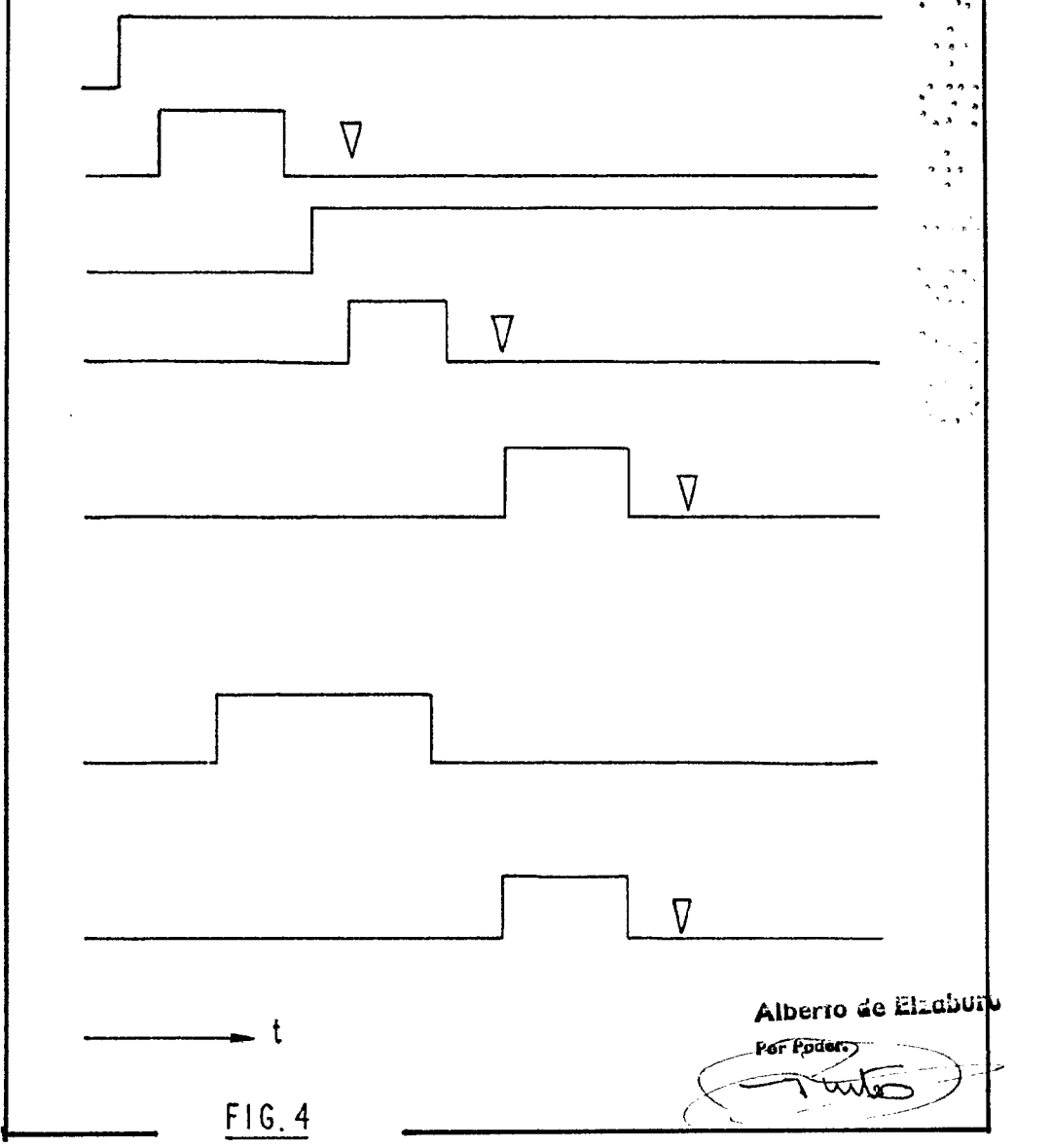


FIG. 4

378975

22 M

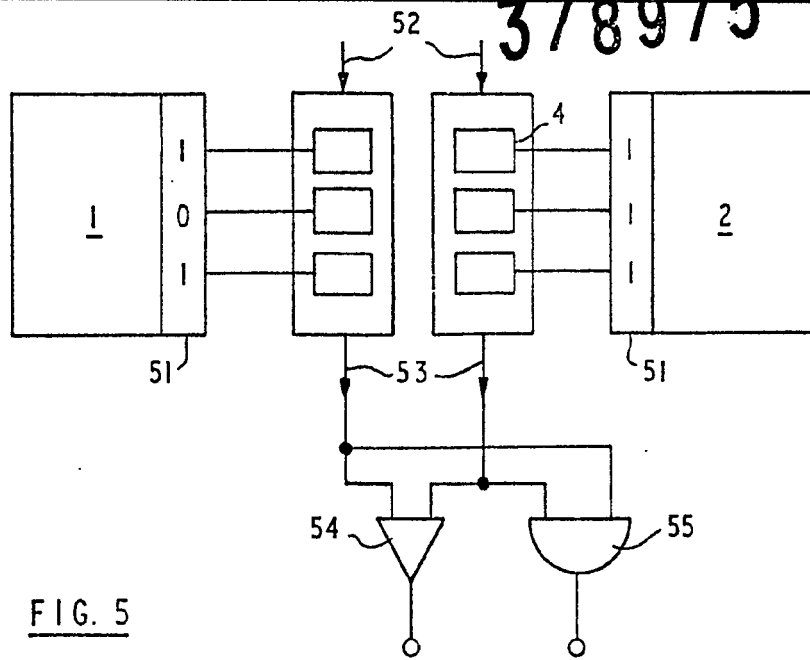


FIG. 5

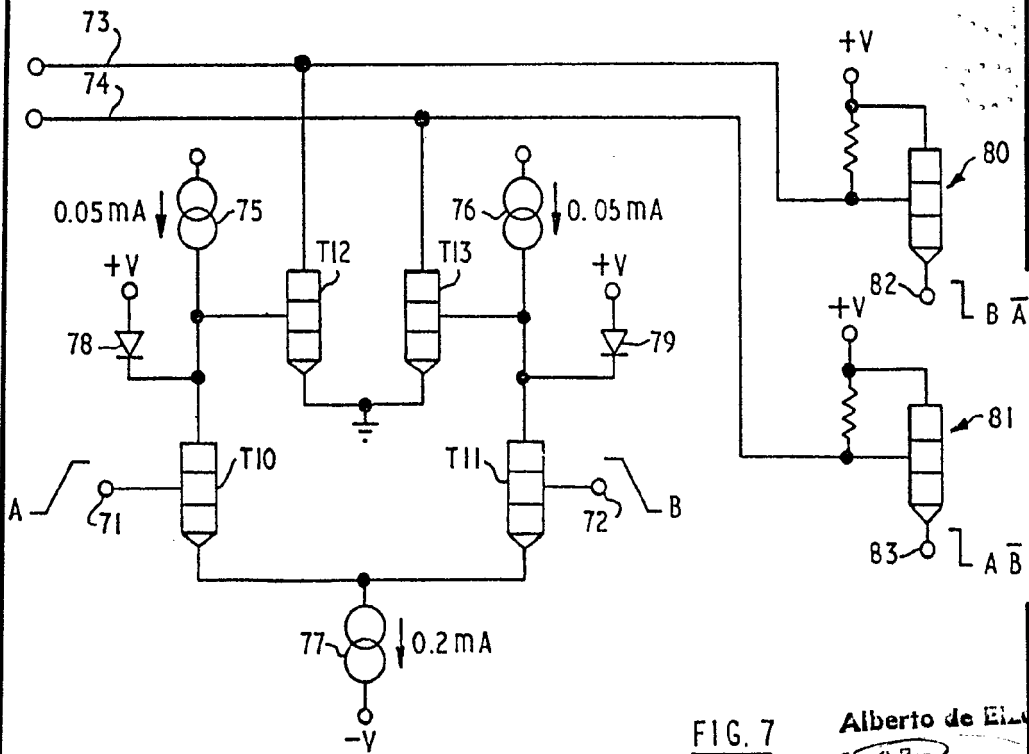


FIG. 7

Alberto de Elia

Por Poder

378975

V/V

378975

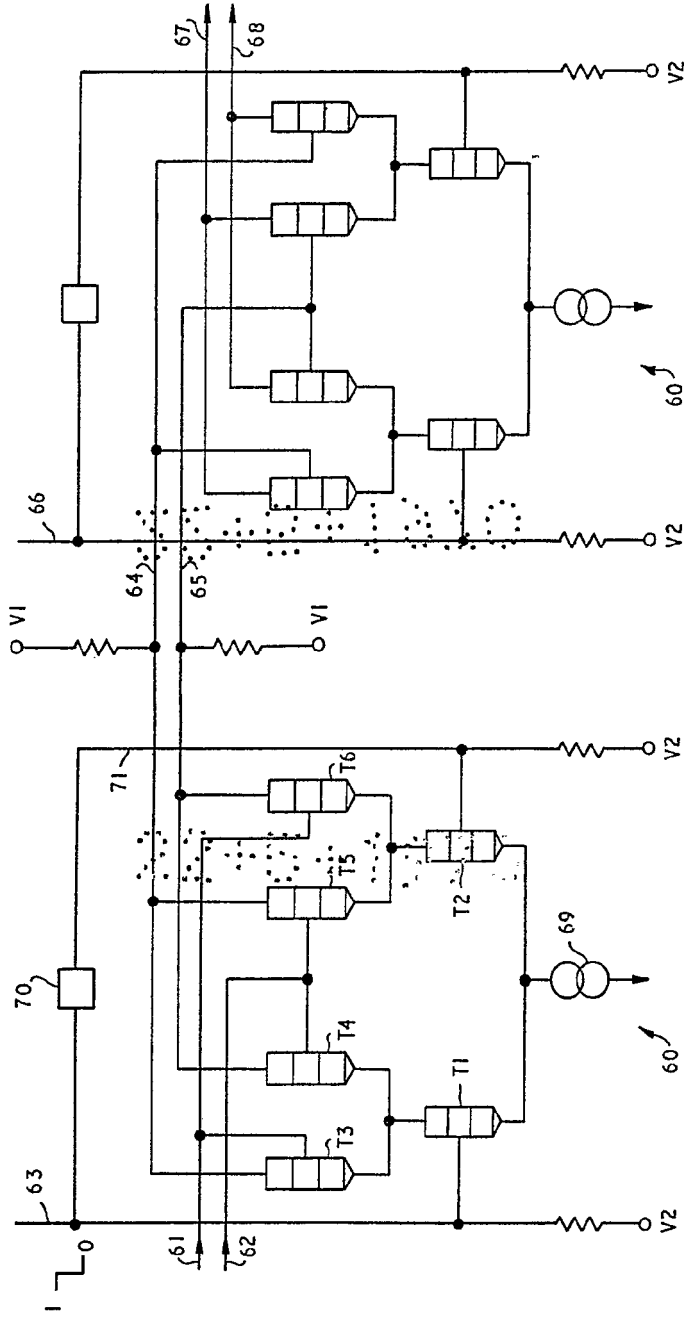


FIG. 6

Alberto de Lencastre
Ferriz

378975

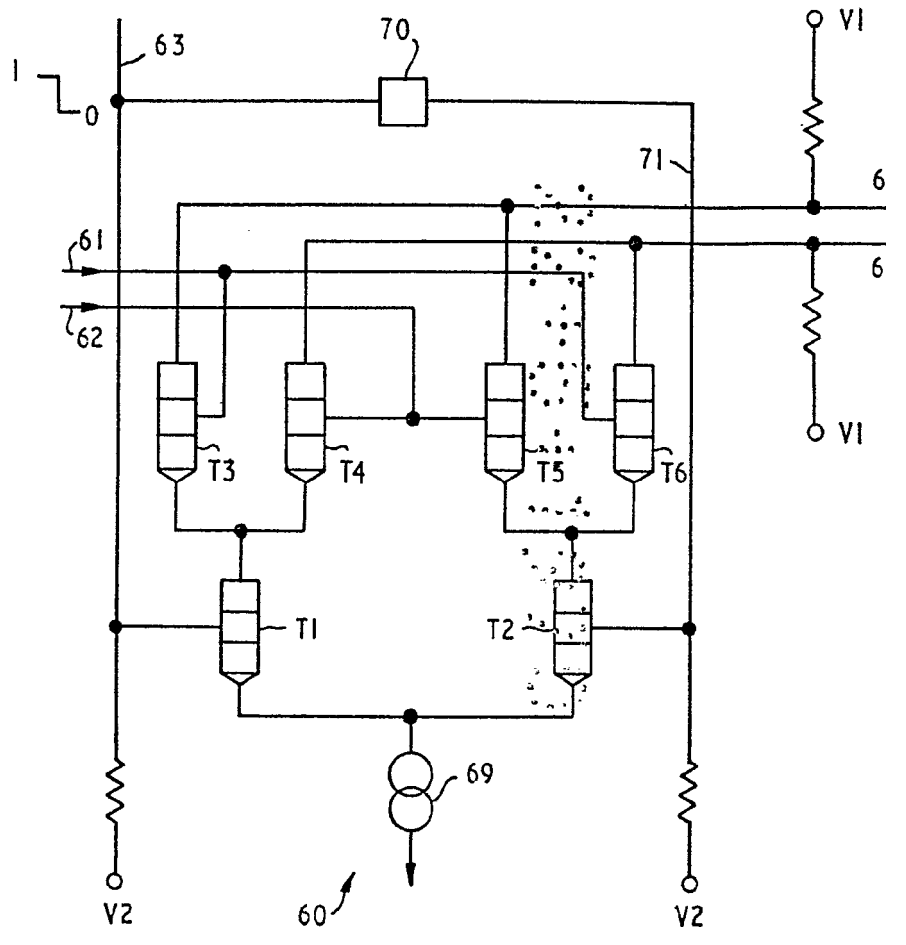


FIG. 6

378975

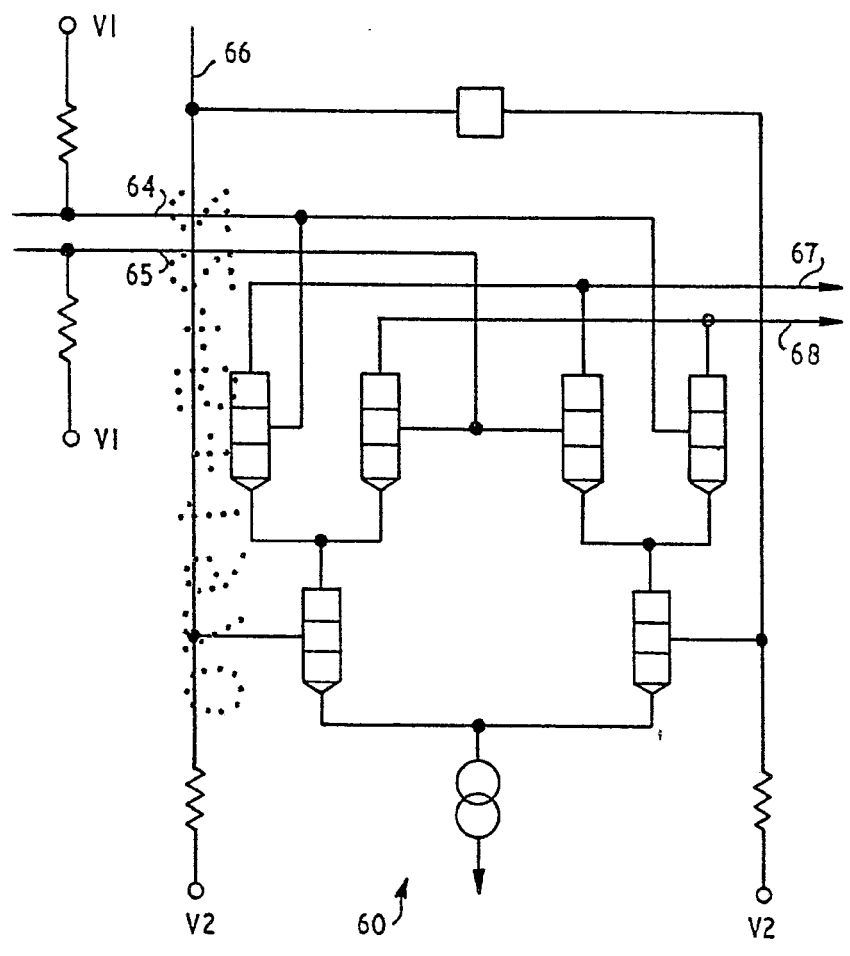


FIG. 6

Alberto de E...
Per Rodar
[Signature]