

37805 1



B.P.J. Durteste - M.A.R. Henrion -

J.P. Le Corre - 3-2-16.

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>M-04</u>
SUBCLASE <u>Q</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "CENTRAL CONMUTADORA DE DATOS", A NOMBRE
DE STANDARD ELECTRICA, S. A., DOMICILIADA EN MADRID,
CALLE DE RAMIREZ DE PRADO, 5.

El presente invento se refiere a una central conmutadora de datos en la que los circuitos de exploración y más particularmente los utilizados en una conmutación multiplex en tiempo en dicha central para detectar nuevas llamadas y los cambios de estado que no sean los de nuevas llamadas.

En la patente francesa Nº 6.906.194 (J.G. Dupieux y otros 6-2-1-14), se han descrito circuitos que permiten explorar, por ejemplo, las nuevas llamadas, estando dichos circuitos diseñados de tal modo que se detiene la exploración cuando se detecta una nueva llamada o después de un ciclo de exploración y vuelve a comenzar cuando la máquina de proceso de datos que controla la central conmutadora envía una instrucción adecuada.

Se entiende que tal forma de funcionamiento que requiere la intervención de la máquina de proceso de datos después de cada nueva llamada o después de cada ciclo de exploración no se



378051

2.

adapta bien a una central conmutadora con mucho tráfico.

Es, por lo tanto, el fin del presente invento, hacer provisión de circuitos exploradores en los que se reduce considerablemente la intervención de la máquina de proceso de da
20 tos.

En una central conmutadora de datos en multiplex en tiempo que funciona con modulación de impulsos codificada (PCM) en la que las operaciones están controladas por una máquina de proceso de datos comprendiendo dicha central conmutadora: un
25 dispositivo conmutador; circuitos de grupo de p enlaces, siendo p el número de cifras de cada mensaje de un canal conectado a las entradas del dispositivo conmutador y provisto para efectuar, en recepción, una serie de conversiones serie-paralelo y, en transmisión, una conversión paralelo-serie de las cifras de mensajes de canales de p enlaces; circuitos de detección e interpre
30 tación de las cifras de señalización asociadas a cada circuito de grupo de p enlaces comprendiendo principalmente una memoria de señalización en la que se almacenan para cada canal del grupo el estado de señalización esperado y la indicación del cambio o no cambio del estado de señalización de acuerdo con el es
35 tado de señalización esperado; memorias de datos de conector conectadas a las salidas del dispositivo conmutador, comprendiendo cada conector, además de la memoria de datos, una memoria de cir
40 cuito de tiempo y memorias de circuito de espacio para establecer una conexión entre dos canales, siendo dichas memorias actua
lizadas por la máquina de proceso de datos con relación a las co
municaciones en curso; un circuito de reloj provisto para suministrar señales cíclicas, comprendiendo los circuitos explorado-



378051

3.

res que forman parte de este invento, medios para la lectura
45 cíclica de las memorias de señalización; medios asociados a cada memoria de señalización que permiten detectar, de una parte, las nuevas llamadas y, de otra parte, los cambios de estado que no sean nuevas llamadas; medios para recibir selectivamente las señales procedentes de medios asociados a las memorias de señalización que corresponden a un mismo conmutador, medios para
50 realizar el proceso de las señales recibidas selectivamente de medios asociados a las memorias de señalización a fin de encontrar las coordenadas de tiempo y espacio de una nueva llamada o de un cambio de estado que no sea una nueva llamada; medios
55 para seleccionar sucesivamente los diferentes grupos de memorias de señalización que cada uno corresponde a un mismo conmutador; memorias para almacenar las coordenadas de tiempo y espacio de las nuevas llamadas y de los cambios de estado que no sean nuevas llamadas; una memoria para almacenar las claves de máscaras suministradas por la máquina de proceso de datos; medios para
60 recibir y descifrar la información transmitida por la máquina de proceso de datos; medios selectores de las líneas de las diferentes memorias para los medios de lectura o escritura que permiten de una parte, explorar completamente todos los canales
65 conectados a un mismo conmutador y, de otra parte, detener la exploración en cualquier tiempo $t'x$ y reanudarla en un tiempo $t'x$ de otro ciclo; y un circuito lógico secuencial que elabora las diferentes señales de fase. El invento se utiliza en centrales de telecomunicación.

70

Los anteriores y otros fines y características de es-

378051

378051



4.

te invento serán evidentes por referencia a la siguiente descripción dada con relación a los adjuntos dibujos en los cuales:

Las figs. 1.a a 1.k representan los símbolos utilizados en las figuras siguientes;

75 Las figs. 2.a a 2.g representan los diagramas de las señales de reloj;

La fig. 3 representa el diagrama en bloque de una central conmutadora de múltiplex en tiempo que funciona con PCM.

80 La fig. 4 representa un diagrama de interconexión entre dos pasos de un dispositivo conmutador.

La fig. 5 representa el circuito que caracteriza el presente invento.

85 La fig. 6 representa los registradores y sus circuitos asociados que permiten el control de los circuitos de exploración.

La fig. 7 representa los circuitos asociados a cada grupo de enlaces, que permiten detectar las nuevas llamadas y los cambios de estado que no sean de nuevas llamadas.

90 La fig. 8 representa el circuito que permite encontrar las "coordenadas" de una nueva llamada o de un cambio de estado que no sea una nueva llamada.

La fig. 9 representa el circuito de control secuencial de las diferentes fases del circuito de la fig. 8.

95 La fig. 10 representa otra forma de los circuitos provistos para recibir la información procedente de la máquina de proceso de datos.

Las figs. 1.a a 1.k dan el significado de determinados símbolos utilizados particularmente en los dibujos de la presente



378051

5.

descripción, como sigue:

100 La fig. 1a ilustra una puerta electrónica de coincidencia designada circuito AND sencillo, que suministra una señal positiva en su salida cuando sus entradas, representadas por flechas que tocan el círculo, reciben simultáneamente una señal positiva. Si se designan por A y B las señales presentes en cada uno
105 de los dos terminales de entrada, el circuito adopta la condición lógica designada A.B.

La fig. 1b ilustra una puerta electrónica mezcladora, designada circuito OR, que suministra una señal positiva en su salida cuando se aplica una señal positiva por lo menos en uno de los terminales de entrada, representadas por flechas que tocan el círculo. Si se designan por C y D las señales presentes en cada uno de los dos terminales de entrada, este circuito adopta la condición lógica designada C+D.
110

La fig. 1c ilustra un circuito AND múltiplex esto es, que comprende, en el caso del ejemplo, cuatro circuitos AND, uno de cuyos terminales de entrada está conectado a cada uno de los conductores 91a y cuyo segundo terminal de entrada está conectado a un conductor común 91b. Una entrada de un circuito AND se considerará activada o excitada cuando se aplica una señal sobre dicha entrada y que el circuito AND es conductivo si todas
115 las entradas se activan simultáneamente.
120

La fig. 1d ilustra un circuito OR múltiplex que comprende en el caso del ejemplo cuatro circuitos OR que tienen dos entradas 91c y 91d y que suministra sobre los cuatro terminales de salida 91e las mismas señales que se aplican sobre dichos terminales de entrada.
125

SECRET



378051

6.

130 La fig. le ilustra un circuito biestable o "vaivén" al que se aplica una señal de control en una de sus entradas 92-1 ó 92-2 a fin de situarlo respectivamente en el estado 1 o en el estado 0. Un potencial de la misma polaridad que las señales de control está presente, bien en la salida 93-1 cuando el biestable está en el estado 1, o bien en la salida 93-0 cuando está en el estado 0. Si el biestable se designa B1, la condición lógica que caracteriza el hecho de que está en el estado 1 se escribirá B1 y cuando se caracteriza el hecho de que está en el estado 0, se escribirá $\overline{B1}$.

La fig. lf ilustra un grupo de varios conductores, que es de cinco en el ejemplo dado.

140 La fig. lg ilustra un multiplaje de conductores de modo que, en el ejemplo que se ilustra, diez conductores de salida 94j están conectados en paralelo al mismo conductor de entrada 94h.

145 La fig. lh ilustra un registrador biestable. En el caso de la figura comprende cuatro biestables cuyas entradas 1 están conectadas a los conductores del grupo 92a y las salidas 1 al grupo de los conductores 93a. La cifra cero situada en un extremo del registrador significa que éste se repone o libera cuando se aplica una señal al conductor 91h.

150 La fig. li ilustra un circuito descifrador que, en el ejemplo mostrado convierte un grupo de clave binaria de cuatro cifras aplicado sobre el grupo de conductores 94a en 1 de entre 16 claves de modo que sólo aparece una señal en uno de entre 16 conductores 94b para cada uno de los grupos de clave aplicado a la entrada.

155 La fig. lj ilustra un comparador de clave que suministra



378051

7.

una señal sobre su terminal de salida 95a cuando los grupos de clave de 3 cifras aplicados sobre sus terminales 95b y 95c son idénticos.

160 La fig. 1k representa un contador de cuatro biestables que cuenta los impulsos aplicados a su terminal de entrada 94c. El grupo de conductores 94e permite controlar el estado de los cuatro biestables a fin de obtener una clave determinada. Las salidas 1 de los biestables están conectadas a conductores de salida 94d.

165 En el curso de la descripción se utilizará frecuentemente la referencia de una señal precedida por la letra C a fin de designar la clave binaria cuyo descifrado suministra dicha señal. Así, CSG1 designa la clave a que corresponde la señal SG1.

170 Por último se observará que en las diferentes figuras a que se refiere la descripción, las puertas electrónicas (circuitos AND o circuitos OR) no tienen referencias. En realidad, cada una de estas puertas se identifica sin ambigüedad en la descripción por la ecuación lógica que describe la función que realiza y por el número de la figura, mostrándose la referencia de cada señal elemental aplicada a la misma cerca de la entrada correspondiente. Así, el circuito AND de la fig. 1a se definiría como el circuito lógico que suministra una señal Wv para la condición lógica A.B (fig. 1a).

180 Además, los circuitos lógicos (circuitos AND, circuitos OR) que realizan las funciones lógicas de determinados circuitos no se han mostrado, pero las ecuaciones lógicas que describen dichas funciones de un circuito se dan en una tabla. Una función lógica se designará, así, por su ecuación lógica y por



378051

8.

la tabla en la cual se da.

185

Las figs. 2a a 2g representan los diagramas de las señales de reloj de la central conmutadora PCM y la tabla 1 da su definición.

190

En el curso de la descripción se mencionarán diferentes patentes, las cuales se relacionan a continuación y se mencionan en la descripción por la referencia de la letra de dicha lista:

- (a) Patente francesa 6.901.888 (J.G. Dupieux y otros 5-1-13-1)
- (b) " " 6.904.113 (B.P. Durteste y otros 1-2-2)
- (c) " " 6.906.194 (J.G. Dupieux y otros 6-2-1-14)

195

Una forma de realizar una central conmutadora de datos de múltiplex en tiempo y más particularmente una central conmutadora de este tipo que funciona en modulación de impulsos codificada o PCM ha sido descrita en la patente (a).

Esta central conmutadora mejorada comprende (fig. 3):

200

- un dispositivo conmutador SW mostrado en forma de matriz y que comprende por ejemplo h hileras R y h columnas C. Sólo se muestran las hileras R1, R2 y la columna C5 en la figura y los puntos de cruce correspondientes tienen las referencias R1C5, R2C5;

205

- h circuitos de grupo de conexión G1 a Gh;
- h conectores J1 a Jh;
- un circuito marcador MKR que tiene acceso a todos los conectores;

210

- una unidad de reloj CU que suministra las señales definidas en la tabla 1 y las figs. 2a a 2g.



378051

9.

Cada circuito de grupo de conexión tal como G1, comprende:

- un circuito receptor R1 de los mensajes recibidos sobre $p = 8$ líneas entrantes;
- 215 - un circuito de sincronización SCR1;
- una memoria de datos de grupo MDG1 que tiene $g = p \times m = 192$ líneas; esta memoria se selecciona en una forma cíclica bajo control de las señales tS;
- un circuito de desmultiplaje DXG1 de los mensajes procedentes del conmutador SW;
- 220 - un circuito de transmisión E1 de los mensajes a que están conectadas $p = 8$ líneas salientes.

Cada conector tal como J5 comprende principalmente un determinado número de memorias de $\frac{g}{2} = 96$ líneas, que son:



TABLA 1

Características del sistema PCM y de las señales de reloj (base de tiempo de la central HS)					
	Símbolo	Duración unitaria	Duración del ciclo	Figura	
230	TR	125 μ s		Duración del período de repetición o <u>cuadro</u> (frecuencia de selección: 8 Kc.)	2a
	m			Número de canales en una conexión (m = 24)	
235	V1, V2... V24	\approx 5,2 μ s	125 μ s	Ranura de tiempo de canal	2a
	p			Número de cifras de un mensaje y número de conexiones en un grupo (p = 8)	
235	m1, m2... m8	650 ns	5,2 μ s	Ranura de tiempo de canal	2b
	t1... t96	1300 ns	125 μ s	Ranura de tiempo base	2c
	t'1... t'96	650 ns	125 μ s	Ranura de tiempo de media base	
	Ct			Juego de 96 clave de ranura de tiempo base	
240	Ct'			Juego de g=192 clave de ranura de tiempo de media base	
	tS	650 ns		<u>Ranuras de tiempo síncronas</u>	2d
	tA	650 ns		<u>Ranuras de tiempo asíncronas</u>	2e
	tS1... tS96	650 ns	125 μ s	Juegos entrelazados de señales tS	2f
	tA1... tA96	650 ns	125 μ s	y tA	
	a, b, c, d	162,5 ns	650 ns	Señales de <u>ranura de tiempo fina</u>	2f
245	a1, a2(d1, d2)	\approx 81 ns	162,5 ns	Señales de ranura de tiempo ultrafina que dividen una señal (d) en dos ranuras de tiempo iguales	2g
	Ct.tS			Selección cíclica en ranuras de tiempo síncronas tS	
	Ct.tA			Selección cíclica en ranuras de tiempo asíncronas tA	

- una memoria de conversación MDJ;
- una memoria de circuito de tiempo MCT
- una memoria de circuito de espacio síncrona MSS



378051

11.

- una memoria de circuito de espacio asíncrona MSA.

255 El dispositivo conmutador de la fig. 3 se provee a fin de establecer conexiones entre h grupos de conexión G_1 a G_h que comprende cada uno $g = 192$ canales, estableciéndose cada conexión a través de un conector entre h . Tal conexión está constituida por dos medias conexiones que respectivamente conectan al conector el canal entrante y el saliente, estableciéndose una
260 de estas medias conexiones en una ranura de tiempo síncrona t_S y la otra en una asíncrona t_A , siendo los números de orden de las mismas generalmente diferentes. Una conexión necesita que se efectúe una conmutación de tiempo en el conector y dos conmutaciones de espacio (una por cada media conexión) en el dispositivo conmutador SW.
265

El conmutador de tiempo está constituido por la combinación de un conector de una memoria de conversación MDJ y una memoria de circuito de tiempo MRJ y una memoria de circuito de tiempo MCT. La dirección a la memoria de conversación se efectúa en
270 forma cíclica bajo el control de las señales de tiempo t_S y en una forma acíclica en el tiempo t_A bajo el control de la clave de dirección suministrada por la memoria de circuito de tiempo MCT cuya selección es también cíclica.

El conmutador de espacio está constituido por el conmutador SW con puntos de cruce electrónicos controlados por memorias
275 de circuito de espacio síncronas MSS cuando se requiere establecer una media conexión síncrona o por memorias de circuito de espacio asíncronas MSA cuando se requiere establecer una media conexión asíncrona. Tal conmutador permite realizar conexiones entre
280 grupos de conexión diferentes tal como G_1 y G_2 .

20000000



378051

12.

285 Las conmutaciones de tiempo y espacio se describirán rápidamente para una conexión entre el canal x del grupo G1 (media conexión G1:tSx) y el canal y del grupo G2 (media conexión G2:tAy), utilizando esta conexión el conector J5 (abreviación de la conexión G1:tSx/J5/G2:tAy).

290 El circuito del marcador MKR asigna a esta conexión la línea x del conector J5 y escribe en la línea y de la memoria MCT la clave Cx que define la dirección x de la memoria MDJ. El circuito marcador escribe también en la línea x de la memoria del circuito de espacio síncrona MSS la clave C (R1C5) que per-
mute la selección en el conmutador SW del punto de cruce R1C5. También escribe en la línea y de la memoria de circuito de espacio asíncrona MSA la clave C (R2C5) que permite la selección en el conmutador SW del punto de cruce R2C5.

295 En la ranura de tiempo tSx, la información contenida en las líneas x de las memorias MDJ, MDG1 y MSS permite establecer la media conexión G1:tSx que se realiza por una transferencia en ambas direcciones de datos entre el conector J1 y el grupo G1, esto es, primero la transferencia de información con-
300 tenida en la línea x de la memoria MDJ hacia el circuito de desmultiplaje DXG1, después la transferencia del contenido de la línea x de la memoria MDG1 en la línea x de la memoria MDJ. Se observará que los dos mensajes se escriben en cada línea de la memoria MDG1, transfiriéndose uno de los mensajes durante
305 la ranura de tiempo síncrona tSx (media conexión síncrona) y la otra durante la ranura de tiempo asíncrona tAx (media conexión asíncrona).

En la ranura de tiempo tSy, se selecciona a conti-



378051

13.

310 nuación la línea y de la memoria MCT y la clave Cx que se lee
controla de nuevo la selección en la ranura de tiempo tAy de
la línea x de la memoria MDJ; se selecciona también la línea y,
de la memoria MSA en la ranura de tiempo tSy y la clave C (R2C5)
permite el cierre en el tiempo tAy del punto de cruce R2C5 uti-
315 lizado para la media conexión G2:tAy; que consiste en la trans-
ferencia del contenido de la línea x de la memoria MDJ en el cir-
cuito de multiplaje DXG2 y después en la transferencia de un
mensaje de la línea y de la memoria MDG2 en la línea x de la
memoria MDJ.

320 Se ve, por lo tanto, que el conmutador de tiempo permite
igualar la posición de tiempo de los canales entrante y saliente
demorando la información recibida desde G1 desde la ranura de
tiempo tSx a la ranura de tiempo tAy, y demorando la recibida
desde G2 desde la ranura de tiempo tAy a la ranura de tiempo
tSx.

325 Como se ha mencionado con relación a la fig. 3 la me-
moria de datos de grupo MDG se lee en una forma cíclica a razón
de $\frac{g}{2} = 96$ ranuras de tiempo síncronas; pero esta memoria recibe
g mensajes por ciclo TR de modo que cada lectura debe permitir
leer dos mensajes. Esta memoria de grupo está organizada de
330 tal modo que se retienen en los registradores de salida dos men-
sajes que corresponden, uno a un canal de una conexión impar y
el otro a un canal homólogo de una conexión par. El mensaje de
un canal de una conexión impar se procesa durante una ranura
de tiempo síncrona tS mientras que el mensaje de un canal de
335 una conexión par se procesa durante una ranura de tiempo asíncro-
na tA.

20-9-72



378051

14.

El circuito conmutador de la fig. 3 comprende un dispositivo conmutador SW con un paso único. La fig. 4 representa un circuito conmutador que comprende un dispositivo conmutador con dos pasos Q y Q', teniendo cada paso, por ejemplo, quince conmutadores con quince entradas y quince salidas. Las salidas o verticales L' del primer paso Q' están conectadas a las entradas u horizontales E del segundo paso Q de tal modo que cada conmutador de un paso puede tener acceso a todos los conmutadores del otro paso. Las entradas u horizontales E' del paso Q' están conectadas a los equipos del grupo G y el conjunto de los equipos de grupo que están conectados al mismo conmutador Q' se denominará supergrupo SG. Las salidas o verticales L del paso Q están conectadas a los conectores J y el juego de conectores que están conectados a un conmutador Q se denominarán superconector SJ.

En el caso (b) se han descrito circuitos que permiten detectar los cambios de estado de las señales de señalización de un grupo G de p enlaces de m canales cada uno. Estos circuitos comprenden principalmente una memoria de $\frac{pxm}{2}$ líneas en la que la información contenida en una línea de memoria permite el proceso de la señalización de dos canales de un grupo que se considera, esto es, un canal de un enlace impar y un canal de un enlace par.

En el caso (c) se han descrito circuitos que permiten explorar las memorias de señalización de los grupos y detectar las nuevas llamadas y los cambios de estado de la señalización que no sean nuevas llamadas. Este circuito de exploración se detiene tan pronto como se ha efectuado un ciclo de exploración



378051

15.

365 completo y comienza de nuevo sólo cuando la máquina de proceso
de datos que controla la central ha dado una nueva orden de ex
ploración. Ha de entenderse que tal forma de funcionamiento que
requiere la frecuente intervención de la máquina de proceso de
datos no está adaptado a una central conmutadora que tenga mucho
370 tráfico y, así, se proveen circuitos, asociados a los circuitos
descritos en el caso de la patente (c), que permiten almacenar
varias nuevas llamadas y los otros cambios de estado disminuyen
do así, consecuentemente, las intervenciones de la máquina de
proceso de datos. La fig. 5 representa el diagrama de tales cir
375 cuitos que comprenden principalmente; la memoria MRE en la que
se almacena la información relativa a las nuevas llamadas y los
otros cambios de estado así como las claves de las máscaras de
los grupos de cada supergrupo, circuitos que permiten explorar
sucesivamente los supergrupos y almacenar la memoria MRE la in-
380 formación relativa a nuevas llamadas o a ~~otros~~ cambios de estado,
y circuitos que permiten leer, a requerimiento de la máquina
de proceso de datos la información contenida en la memoria MRE.

Antes de describir en detalle los circuitos de la
fig. 5, se describirán brevemente los circuitos de exploración
385 objeto del caso (c), con relación a las figs. 6, 7, 8 y 9.

La fig. 6 representa los registradores Rg1 a Rg5 en
la que retienen las cinco palabras necesarias para accionar los
circuitos de exploración y búsqueda de ruta. En efecto, para
una exploración sólo es necesaria la información contenida en
390 los registradores Rg1, Rg2 y Rg5; por lo tanto, sólo se descri-
birán estos tres registradores y sus circuitos asociados. A fin
de llenar uno de los cinco registradores la máquina de proceso

378051



378051

16.

de datos DPM envía, sobre los conductores H1 a H5 del grupo de conductores Eal que comprende doce conductores con las referen-
395 cias H1 a H12, una clave de "1 de entre 5", la posición de la cifra 1 de la cual indica el registrador seleccionado; esta clave aparece en una ranura de tiempo asíncrona tS y después se retiene en el registrador RRg de la fig. 6 en una ranura de tiempo síncrona. En la ranura de tiempo asíncrona siguiente, la máquina de proceso de datos DPM envía sobre el grupo de conductores Ee las órdenes de escritura Y4 a Y7 de partes de palabras, permitiendo dichas señales Y4 a Y7, en combinación con la señal del estado 1 de uno de los biestables del registrador RRg, la escritura de la palabra de 16 cifras en esta misma ranura de
400 tiempo asíncrona por la máquina de proceso de datos sobre el grupo de conductores Ea2 . Cuando ha de realizarse una exploración, la información es elaborada por el circuito de la fig. 5, que en particular elabora las señales Y4 a Y7 (grupo de conductores E'e), las señales de selección de los registradores (grupo de conductores E'al) y las señales de información (grupo de conductores E'a2).

Las cifras 13 a 16 del registrador Rg1 corresponden a la clave del programa y circuito descifrador Dcl asociado, suministra las señales de programa, esto es, la señal P20 para
415 el programa de exploración de las nuevas llamadas y la señal P24 para el programa de exploración de los cambios de estado que no son nuevas llamadas.

Las cifras 5 a 8 del registrador Rg1 corresponden a la clave del supergrupo SG requerida para explorar y el circui-
420 to descifrador Dc3 suministra entonces la señal de selección



378051

17.

SG1 a SG15 de uno de los supergrupos. En el circuito del presente invento, estas cuatro cifras son suministradas por los contadores CpSG de la fig. 5.

425 El registrador Rg2 contiene la clave de máscara que permite no considerar los cambios de estado detectados en determinados grupos. En la descripción se supondrá que cada supergrupo comprende 15 grupos de modo que la cifra decimosexta del registrador Rg2 está disponible y se utiliza a fin de indicar si el circuito de la fig. 5 puede ser avisado que se acaba de detectar un cambio. La clave de máscara es suministrada también por el circuito de la fig. 5 antes de la exploración de un supergrupo. Las diferentes claves de máscara se almacenan en la memoria MRE y se actualizan por la máquina de proceso de datos.

435 Las cifras 1 a 8 del registrador Rg5 dan la clave de tiempo del resultado de exploración, esto es, la clave del tiempo de reloj durante el cual ha sido detectado el cambio de estado. Esta clave es suministrada por el registrador Rg7 de la fig. 8.

440 Las cifras 9 a 12 del registrador Rg5 dan la clave de espacio del resultado de la exploración, esto es, la clave del grupo a que pertenece el canal cuyo cambio de estado acaba de ser detectado. Esta clave es suministrada por el registrador Rg9 de la fig. 8.

445 Las cifras 13 a 16 del registrador Rg5 definen el estado del circuito secuencial PC que se describirá con relación a la fig. 9. Una operación de exploración puede sólo comenzar si el circuito secuencial PC recibe la clave 1000 trans-

378051



378051

18.

mitida por el circuito de la fig. 5.

450 Como las "coordenadas" de una nueva llamada o de un cambio de estado están retenidas en el registrador Rg5, sólo se leerá este registrador enviando una orden de lectura acompañada de la clave de selección del registrador Rg5 a través del grupo de conductores E'al.

455 La fig. 7 ilustra los circuitos asociados a las memorias de señalización que han sido descritas en el caso (b). Cada línea de la memoria de señalización de la memoria MST de la fig. 7 comprende dos palabras de siete cifras que tienen la referencia S1 a S7 para los enlaces impares y S'1 a S'7 para los
460 pares. Las cifras S1 y S2 (o S'1 y S'2) se reservan a la indicación del estado de señalización esperado, por ejemplo, la clave 01 significa que el estado esperado es el "libre"; las cifras S3 y S4 (o S'3 y S'4) se reservan a la indicación del cambio de estado en la señalización recibida, por ejemplo, la clave 11
465 significa que la señal recibida es diferente de la señal que se espera. El significado de las otras tres cifras S5 a S7 (o S'5 a S'7) no se dará ya que no intervienen en el circuito del presente invento.

En la fig. 7 se han mostrado solamente los biestables
470 S1 a S4 y S'1 a S'4 del registrador RS7 en el que se retienen en cada ranura de tiempo síncrona los contenidos de una línea de las memorias de señalización MST/I para los enlaces impares y MST/P para los enlaces pares. Las nuevas llamadas serán detectadas por la condición $\overline{S1.S2.S3.S4}$ (o $\overline{S'1.S'2.S'3.S'4}$) y los
475 cambios de estado de la señalización que no corresponden a una llamada serán detectados por la condición $(S1+\overline{S2}) S3.S4$, o



378051

19.

480 (S'1 + S'2)S'3.S'4 para los enlaces pares. Estas señales lógicas aparecen al comienzo de cada ranura de tiempo síncrona tS en todos los circuitos de grupo de la central pero sólo se toman en consideración en el caso de la presencia simultánea del programa P24 (cambio de estado o P20 nuevas llamadas) de la señal tS en el caso de un enlace impar y de la señal tA en el caso de un enlace par, de la señal de selección SGu del supergrupo y de la señal de la primera fase Pcl del programa.

485 La información suministrada por el circuito de la fig. 7 que procede del supergrupo explorado SGu se retiene en el registrador RG del circuito de la fig. 8, teniendo dicho circuito la función de determinar la clave del canal que acaba de cambiar su estado y la clave del grupo a que pertenece. El circuito de la fig. 8 se ha reducido a los elementos estrictamente necesarios para entender la exploración. Las diferentes fases de una exploración son elaboradas por el circuito secuencial PC de la fig. 9 dándose en la tabla 2 el significado de dichas fases y la clave correspondiente. El funcionamiento de este
490
495
circuito secuencial se describirá al mismo tiempo que el funcionamiento del circuito de la fig. 8.

TABLA 2

Claves	Fases	Significado
00	Pc0	Sin significado
10	Pc1	Exploración
11	Pc2	Selección de la clave de espacio
01	Pc3	Programa completado

500

505 El contenido del registrador RG se transfiere (fig. 8) en la ranura de tiempo fina Pcl.b en el registrador Rg6 a través

200972



378051

20.

de circuitos AND SE4. Las cifras del registrador Rg6 se comparan con las cifras M1 a M15 de la máscara a través de circuitos AND SE5. Si en cualquier ranura de tiempo t'x un canal cambia su estado en un grupo permitido por la máscara, uno de los circuitos AND SE5 se abre y suministra una señal VA que, a través del circuito OR1, el circuito inversor 2 y el circuito AND múltiple 10 prohíbe, en la ranura de tiempo ultrafina Pc1.d1 la retención de la clave de reloj Ct'x+1 en el registrador Rg7; la clave t'x retenida identifica el canal en un grupo. A fin de determinar el grupo o para seleccionar uno de los grupos posibles si hay varios canales de un supergrupo que cambian su estado en la misma ranura de tiempo t'x, se provee un circuito de selección que comprende el registrador Rg9 el descifrador Dc8 y las 4 cifras de menor valor A5 a A8 de las claves de reloj Ct', los circuitos AND SE6, a los que se conectan, de una parte, las salidas de los circuitos AND SE5 y, de otra parte, las salidas K1 a K15 del descifrador Dc8.

A través del circuito AND 11 (fig. 9) controlado por la señal Pc1, la señal de salida VA del circuito OR 1 (fig. 8) elabora la señal de conmutación a la fase Pc2 (fig. 9) de la fase durante la cual se selecciona uno de los grupos que llaman. Cuando uno de los circuitos SE6 está abierto, su posición y así el grupo a que corresponde se determinan por la salida K del descifrador Dc8 que se excita en este instante. La clave de grupo es así la clave de las cifras A5 a A8 de la clave de reloj en este instante; dichas cifras se transfieren al registrador Rg9 en la ranura de tiempo ultrafina Pc2.d1 a través del circuito AND múltiple 6 controlado por la señal de salida



378051

21.

535 VG del circuito OR 5. La señal VG controla también la conmutación a la fase Pc3 (condición VG.Pc2.d2, fig. 9). El resultado de una exploración, esto es, la identidad del canal (registrador Rg7) y del grupo (registrador Rg9) se transfiere respectivamente a los biestables 1 a 8 y 9 a 12 del registrador Rg5 (condición Pc3.Fi, fig. 8).

540 En el caso en que ningún canal cambie su estado en un grupo permitido se prevé que la duración de la exploración sea por lo menos igual a un ciclo completo. A este fin, se provee para poder elaborar una señal De cuando se detecta una clave de reloj Ct'c determinada, fijada de antemano, durante la fase Pcl (condición (P20+P24).Ct'c.Pcl.d2, fig. 9) para la posterior elaboración de una señal Fi cuando aparece por segunda vez la clave Ct'c durante la fase Pcl (condición (P20+P24).Ct'c.Pcl.d2, fig. 9) y para conmutar la fase final Pc3 si ningún cambio de estado de canal ha sido detectado, (condición Pcl.Fi.VA.d2, fig.9).

550 Para exploración de nuevas llamadas (programa P20) o cambios de estado que no sean nuevas llamadas (programa P24), se suministra la información necesaria, como ya se ha mencionado, por el circuito de la fig. 5. Así, la selección de uno de los registradores Rg1, Rg2 o Rg5 se efectúa por el circuito 555 SLRg. Las condiciones lógicas que suministran las señales de selección de los registradores se dan en la tabla 3.

560 El circuito de la fig. 5 suministra también las señales de escribir Y5 a Y7 de los grupos de 4 cifras a través del circuito SLY de los cuales se dan las ecuaciones lógicas en la tabla 3. La clave de máscara leída en la memoria MRE, la clave

378051



378051

22.

del subgrupo contenida en el contador CpSG y la clave de arranque 1000 del circuito secuencial de la fig. 9 se suministran por medio del circuito SLM cuyas ecuaciones lógicas también se dan en la tabla 3.

565

El circuito de la fig. 5 está controlado por la máquina de proceso de datos y recibe de ésta las órdenes bajo forma de claves de programa y en la tabla 10 se da la lista así como su significado. Estas claves se transmiten sobre los conductores H8 a H12 del grupo de conductores Eal.

570

Cuando por el circuito de la fig. 8 se detecta una nueva llamada o un cambio de estado, la clave de tiempo y la clave de espacio se retienen en el registrador Rg5 en donde se leen a fin de escribirlas en una línea de la Memoria MRE al mismo tiempo que la clave del supergrupo en curso de exploración; estas

575

tres claves constituyen las coordenadas de una nueva llamada o de un nuevo cambio de estado que puede ocurrir entre dos operaciones de lectura de la memoria MRE por la máquina de proceso de datos que controla la central conmutadora.



378051

23.

580

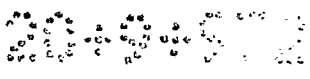
TABLA 3 - Circuitos SLRg, SLY y SLM

Circuitos	Señales o cifras	Ecuaciones lógicas	Conductores	Grupo de Conductores
SLRg	H1	Sq5	1	E'al
	H2	Sq4.Ma	2	
	H3		3	
	H4		4	
	H5	Sq6.T+Sg8	5	
585 SLY	Y4	Sq.4.Ma	1	E'e
	Y5	Sq5+Sg4.Ma	2	
	Y6	Sq4.Ma	3	
	Y7	Sq5+Sg4.Ma+Sg6.T	4	
590 SLM	1 a 4	Sq4.Mi.Ma	1 a 4	E'a2
	5 a 8	Sq4.Mi.Ma+Sg5.DgSG (2)	5 a 8	
	9 a 12	Sq.4.Mi.Ma	9 a 12	
	13	Sq4.M13.Ma+Sg6 (1)	13	
	14,15	Sq4.Mi.Ma+Sg5	14, 15	
	16	Sq5.BP+Sg4.Ma	16	
(1) i varía de 1 a 15 (2) g varía de 1 a 4				
Ma = M1+M2++M15				

595 En el ejemplo particular descrito, la memoria MRE comprende 80 líneas de las cuales las 16 primeras (grupo MMA) se reservan para almacenar las claves de máscaras y las otras 64 se asignan a los resultados de exploración. Estas últimas 64 líneas están en realidad divididas en 4 grupos; MNA, MCH, MNA', MCH'.

600 Los grupos MNA y MNA' se proveen para almacenar nuevas llamadas y los grupos MCH y MCH' se proveen para almacenar los otros cambios de estado. En el curso de una exploración, primero, se detectan las nuevas llamadas y sus coordenadas se almacenan en la parte MNA. Cuando esta parte está llena o cuando se han explorado todos los supergrupos, la exploración de los otros cambios de estado es efectuada y sus coordenadas se almacenan en la parte

605 MCH. Del mismo modo, cuando está llena esta parte MCH o cuando



378051

han sido explorados todos los supergrupos, la exploración de nuevas llamadas se efectúa de nuevo y sus coordenadas se almacenan en la parte MNA'. Esta permutación circular se efectúa en forma continua.

610

La exploración se detiene a solicitud de la máquina de proceso de datos ya sea para coleccionar los resultados o para buscar o identificar una ruta o por cualquier otra razón. Cuando la máquina de proceso de datos solicita resultados referentes a nuevas llamadas u otros cambios de estado, el circuito de la fig. 5 envía los resultados almacenados en la parte de la memoria que no está en curso de escribir.

615

La selección, de escritura o lectura de una de las memorias MNA, MNA', MCH y MCH' se efectúa por el circuito LCM que comprende un circuito lógico LCM1 cuyas señales de salida controlan el estado de los cuatro biestables BP, BNA, BCH y BL, controlando las señales de estado de dichos biestables las señales de selección SL de la memoria MRE. La tabla 4 da el significado de los diferentes biestables del circuito LCM así como las condiciones lógicas elaboradas por el circuito LCM1 a fin de controlar los estados de dichos biestables. La tabla 7 da las ecuaciones de las funciones lógicas efectuadas por el circuito SL a fin de elaborar las señales de las cifras MR1 a MR7 de las claves de dirección de la memoria MRE; la cifra MR1 es la de mayor valor. En esta tabla, las referencias c1 a c4 designan señales de cifras que se suministran continuamente.

620

625

630

Las diferentes fases de funcionamiento del circuito de la fig. 5 son elaboradas por el circuito secuencial SQE que comprende un circuito lógico LSQE cuyas señales de salida con-



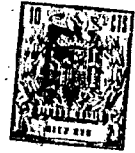
378051

25.

635 trolan el estado de los biestables SQE1 a SQE4 descifrándose dichos estados por el circuito descifrador Dc11. La tabla 5 da el significado de las diferentes fases, las claves correspondientes y las condiciones lógicas de conmutación de una fase a la siguiente. Esta tabla 5 permite establecer las condiciones lógicas que suministran las señales de control de los biestables SQE1 a
640 SQE4, siendo dadas dichas condiciones lógicas por la tabla 6.

La selección de escritura y lectura de las líneas de una de las memorias MNA, MNA', MCH o MCH' es efectuada por el contador Cpl cuyas señales de avance son suministradas por el
645 circuito ACpL y la señal de la posición 1 por el circuito PCpL. Las ecuaciones lógicas de los circuitos ACpL y PCpL se dan en la tabla 8.

La selección de lectura de las líneas de la memoria de máscara MMA se efectúa por el contador del supergrupo CpSG
650 que suministra las cifras MR4 a MR7 de la clave de selección. La selección de la memoria MMA se obtiene por una clave de tres cifras previamente alambrada (señales c1 a c3 de la tabla 7) la cual se utiliza también para la selección de escribir de la memoria MMA y se combina entonces con la clave de 4 cifras contenida en el registrador RLM y suministrada por la máquina de
655 proceso de datos. La clave previamente alambrada es condicionada por la señal de fase Sq1 para la escritura de una máscara y la señal de fase Sq.4 para la lectura de una máscara (tabla 7).



378051

TABLA 4 - Circuito LCM1

660

665

670

675

680

Bies-table	Estado	Significado	Ecuaciones lógicas
BP	<u>1</u>	Exploración referente a nuevas llamadas (programa P20) o resultados solicitados se refieren a nuevas llamadas (programa P32)	$(Sq2+Sq3.L16.BCH).d2$ + $(SG15.Sq9.BP+Sq11).d2$
	<u>0</u>	Exploración referente a cambios de estado que no son nuevas llamadas (programa P24) o resultados solicitados a cambios de estado que no son nuevas llamadas (programa P33)	$(Sq3.L16.BNA+Sq14).d2$ + $SG15.Sq9.BP.d2$
BNA	<u>1</u>	Coordenadas de nuevas llamadas almacenadas en MNA (programa 31) o resultados solicitados leídos en MNA' (programa P32)	$(Sq2+Sq3.L16.BNA).d2$ + $Sq9.BNA.BP.SG15.d2$
	<u>0</u>	Coordenadas de nuevas llamadas almacenadas en MNA' (programa P31) o resultados solicitados leídos en MNA (programa P32)	$Sq3.L16.BNA.d2$ + $Sq9.BNA.BP.SG15.d2$
BCH	<u>1</u>	Coordenadas de cambio de estado que no son nuevas llamadas almacenadas en MCH (programa P31) o resultados solicitados leídos en MCH' (programa P33)	$(Sq2+Sq3.L16.BCH).d2$ + $Sq9.BCH.BP.SG15.d2$
	<u>0</u>	Coordenadas de cambios de estado que no son nuevas llamadas almacenadas en MCH' (programa P31) o resultados solicitados leídos en MCH (programa P33)	$Sq3.L16.BCH.d2$ + $Sq9.BCH.BP.SG15.d2$
BL	<u>1</u>	Coordenadas de nuevas llamadas y otros cambios almacenados en MNA y MCH por primera vez y resultados solicitados deben leerse en MNA y MCH.	$Sq3.d2$
	<u>0</u>	Memorias MNA y MCH han sido almacenadas una primera vez y resultados solicitados deben leerse en memorias identificadas por estados de los bies tables BP, BNA y BCH	$Sq9.BP.SG15.d2$



378051

27.

TABLA 5

685

690

695

700

Fases	SQ1 SQ3 SQ2 SQ4	Significado	Condiciones
Sq0	0000	Libertad	$Sq1+Sq3.P34).d2$
Sq1	0001	Escritura de una máscara	$P35.d2$
Sq2	0011	Liberación de biestables y con- tadores	$(Sq0+Sq13)P31.d2$
Sq3	0010	Liberación de la memoria de re- sultados	$Sq2.d2$
Sq4	0110	Transmisión de una máscara y cifra AR	$(Sq3.\overline{BP}.\overline{BCH}.L16+Sq9)\overline{P}.d2$
Sq5	0100	Transmisión de claves de pro- grama y superprograma	$+Sq10.P31.d2$ $Sq4.Ma.P.d2$
Sq6	1100	Transmisión de clave de arran- que	$(Sq5+Sq8.\overline{t' dx}.L16)\overline{P}.d2$
Sq7	1101	Espera de resultado	$Sq6.T.\overline{P}.d2$
Sq8	0101	Recepción de resultado	$Sq7.AR'.\overline{P}.d2$
Sq9	0111	Fin de exploración de un super	$(Sq4.\overline{Ma}+Sq7.td+2.BTPc1)\overline{P}.d2$
Sq10	1110	Pausa	$d2+Sq8(\overline{t' dx}+L16)P.d2$ $P34.Sq0+Sq3+Sq13.d2$
Sq11	1010	Primera ocurrencia del progra- ma P32	$P32(Sq13+BP).d2$
Sq12	1001	Transmisión del resultado al calculador	$Sq13(P32.BP+P33.\overline{BP}).d2$
Sq13	1011	Espera solicitud de resultado	$(Sq11+Sq12+Sq14).ds$
Sq14	1111	Primera ocurrencia del progra- ma P33	$P33 (\overline{Sq13}+BP).d2$
$P = P32 + P33 + P34 + P35$			



378051

28.

TABLA 6 - Circuito LSQE

Cifras	Ecuaciones lógicas
705	$SQ4+P = P35+\bar{P} (Sq6.T+Sq4.\bar{M}a) + P31.Sq0+P33.\bar{S}q13 + Sq11 \quad d2$
	$\bar{S}q4 \quad \bar{P} (Sq8.L16.t'dx+Sq9)+P34.\bar{S}q0+Sq3+Sq13+P32(\bar{S}q13+BP) \quad d2$ $+ (Sq1+Sq2)d2$
	$SQ3 \quad P31.Sq0+P34.\bar{S}q0+Sq3+Sq13+BT \quad d2+ Sq13(P32+P34)+Sq12+\bar{P}.Sq8$ $(tdx+L16 \quad d2$
710	$\bar{S}q3 \quad P35+P34.Sq3+\bar{P}.Sq4.Ma+Sq13(P32.BP+P33.\bar{B}P) \quad d2$
	$SQ2 \quad Sq3.\bar{B}P.\bar{B}CH.L16.\bar{P}+P34.\bar{S}q0+Sq3+Sq13+P33(\bar{S}q13+BP) \quad d2$
	$\bar{S}q2 \quad P35+P32.\bar{S}q13+Sq14 \quad d2$
	$SQ1 \quad \bar{P} (Sq5+Sq8.L16.t'dx)+P34.\bar{S}q0+Sq3+Sq13+Sq13(P32+P33) \quad d2$
	$\bar{S}q1 \quad P35+P31(Sq10+Sq13)+\bar{P} (Sq7.AR'+BT) \quad d2$

715

TABLA 7 - Circuito SL

Cifras	Ecuaciones lógicas
	$MR1 \quad (Sq1+Sq4)c1+(Sq3+Sq8+Sq12)c4$
	$MR2 \quad (Sq1+Sq4)c2+(Sq3+Sq8+Sq12)BP$
720	$MR3 \quad (Sq1+Sq4c3+(BNA.BP+BCH.\bar{B}P) (Sq8+Sq3)+BL.Sq12$ $+ BNA.BP+BCH.BP.BL.Sq12$
	$MR4 \quad Sq1.RLM1+Sq4.D1SG+(Sq3+Sq8+Sq12)CpL1$
	$MR5 \quad Sq1.RLM2+Sq4D2SG+(Sq3+Sq8+Sq12)CpL2$
	$MR6 \quad Sq1.RLM3+Sq4D3SG+(Sq3+Sq8+Sq12)CpL3$
725	$MR7 \quad Sq1.RLM4+Sq4D4SG+(Sq3+Sq8+Sq12)CpL4$

TABLA 8 - Contador CpL

Circuitos	Ecuaciones lógicas
ACpL	$Sq3+(Sq8+Sq12)\bar{L}16 \quad d2$
730	$PCpL \quad Sq2+Sq11+Sq14+Sq9.SG15)a$



378051

29.

TABLA 9 - Circuito WRE

Cifras	Esta- do	Ecuaciones lógicas	i	j	q	r	z
735 1 a 8	<u>1</u>	$(Sq1.Yj.Mi+Sq8.Drt'x)d2$	1 a 8	4,5		1 a 8	
	<u>0</u>	$(Sq1.Yj.Mi+Sq8.Drt'x+Sq3)d2$	1 a 8	4,5		1 a 8	
9 a 12	<u>1</u>	$(Sq1.Yj.Mi+Sq8.DzG)d2$	9 a 12	6			1 a 4
	<u>0</u>	$(Sq1.Yj.Mi+Sq8.DzG+Sq3)d2$	9 a 12	6			1 a 4
740 13 a 15	<u>1</u>	$(Sq1.Yj.Mi+Sq8.DqSG)d2$	13 a 15	7	1 a 3		
	<u>0</u>	$(Sq1.Yj.Mi+Sq8.DqSG+Sq3)d2$	13 a 15	7	1 a 3		
16	<u>1</u>	$Sq8.Dq.SG.d2$			4		
	<u>0</u>	$(Sq8.DqSG+Sq3)d2$			4		

TABLA 10 - Programas

745

Progra- ma	Claves					Significado
	H8	H9	H10	H11	H12	
P31	0	0	0	0	1	Comienzo de orden de una exploración
P32	0	0	0	1	0	Solicitud resultados referentes nuevas llamadas
P33	0	0	0	1	1	Solicitud resultados referentes a oros cambios
P34	0	0	1	0	0	Pausa
P35	1	x	x	x	x	Escritura de una máscara

750

La escritura en la memoria MRE se efectúa por medio de un circuito WRE que recibe claves de máscara procedentes de la máquina de proceso de datos o las "coordenadas" de los cambios procedentes del registrador Rg5 de la fig. 6 y del contador de supergrupo CpSG (fig. 5). La tabla 9 resume las condiciones lógicas de la escritura.

755



378051

30.

Se ha mencionado anteriormente que la máquina de pro-
ceso de datos podía interrumpir una exploración; se provee en-
tonces el circuito de la fig. 5 para comenzar de nuevo la explo-
ración en el lugar en que fue interrumpida si la interrupción
es debida al programa P34 (Pausa, tabla 10). Después de una trans-
misión de resultados (programas P32 y P33) la exploración pue-
de comenzar de nuevo en el estado inicial, esto es, en el primer
supergrupo SGI y en la primera línea L1 de la memoria MNA con
tal que se reciba la señal del programa de exploración P31.

El comienzo de una exploración y su estado precedente
se obtiene por el circuito REA que también se prevé para limi-
tar la exploración de un supergrupo a un ciclo completo de
 $g = 192$ claves de reloj diferentes así como para coleccionar las
"coordenadas" de una nueva llamada o de un cambio de estado si
ocurre durante la última ranura de tiempo del ciclo. El cir-
cuito REA comprende principalmente un registrador Rg11 en el
que se retiene la clave de tiempo Ct'x del resultado contenido
en las posiciones 1 a 8 del registrador Rg5 de la fig. 6, un
comparador C^p que recibe, de una parte, las claves de reloj
Ct'y, de otra parte, la clave Ct'x del registrador Rg11, un
descifrador Dc12 que suministra una señal t'd cuando la clave
Ct' es igual a la clave Ct'd, un descifrador Dc13 que suminis-
tra una señal t'dx cuando la clave Ct'x es igual a la clave
Ct'd, un descifrador Ct'd+2, un biestable BTD cuyo estado 1 sig-
nifica que la exploración debe empezar de nuevo en la ranura de
tiempo de reloj t'd y el estado 0 significa que la exploración
debe empezar de nuevo en la ranura de tiempo t'x, un biestable
BT que se dispone cuando la clave de reloj Ct' es igual a Ct'd



378051

31.

durante la presencia de una señal Sq7. El funcionamiento de este circuito se describirá durante el programa de exploración P34.

790 El funcionamiento del circuito de la fig. 5 durante los diferentes programas P31 a P34 será descrito ahora. La tabla 10 da el significado de los diferentes programas y la lista de las claves utilizadas, que se descifran por el circuito de descifrador Dc10. La primera cifra de la clave de programa es un 1 cuando se escribe una máscara y 0 cuando se realiza otro programa.

795

Escritura de una máscara - Programa P-35

800 Esto se efectúa en dos pasos. En el primer paso (ranura de tiempo síncrona tS), el calentador transmite, sobre el grupo de conductores Eal, una cifra 1 sobre uno de los conductores H1 a H5, una cifra 1 sobre el conductor H8 a fin de indicar que se trata de una máscara (programa P-35), la clave del supergrupo a que corresponde la máscara, sobre los conductores H9 a H12. Los conductores H1 a H5 constituyen las entradas del circuito OR13 cuya señal de salida Ha controla el biestable

805 BH, la clave del supergrupo se retiene en el registrador RLM a través del circuito AND múltiple 12 controlado por la señal presente sobre el conductor H8; la señal P35 conmuta el circuito secuencial en la fase Sq1 (tabla 5). En un segundo paso, (asíncrono, a continuación de la ranura de tiempo tA), la máquina de proceso de datos transmite la clave de la máscara almacenada en la memoria MRE a través del circuito de escritura WRE que consigue las condiciones lógicas Sq1.Yj.Mi.d2 y Sq1.Yj.Mi.d2 de la tabla 9, variando j de 4 a 7 y variando i de 1 a 15.

810

Si han de almacenarse varias claves de máscara, las

POOR
QUALITY



378051

32.

815 operaciones descritas se repiten tantas veces como sea necesario. Después de escribir cada máscara el secuencial vuelve a la fase Sq0 (condición Sq1.d2, fig. 5).

Programa 31

Este programa está destinado a explorar las nuevas lla
820 madas y los otros cambios de estado. Para esta exploración el circuito de la fig. 5 recibe, sobre el grupo de conductores Eal, una clave de "1 entre 5" sobre los conductores H1 a H5, la cifra 0 sobre el conductor H8 a fin de indicar que se está realizando un programa y la clave de programa sobre los conductores H9 a
825 H12. Estas cifras H9 a H12 son descifradas por el descifrador Dcl0 que suministra una señal P31, que controla la conmutación del circuito secuencial desde la fase Sq0 o Sq13 a la fase Sq2 (condición (Sq0+Sq13) P31.d2, tabla 5). Esta fase Sq2 es una fase de reposición al estado inicial, por ejemplo al estado
830 1, de los biestables BP, BNA, BCH del circuito LCM (condición Sq2.d2, tabla 4), del biestable BTD del circuito REA (condición Sq2.d2, fig. 5); además, el contador de línea CpL y el contador de supergrupo CpSg se sitúan de tal modo que sus claves corresponden respectivamente a la primera línea y al primer
835 supergrupo (condición Sq2.a de la tabla 8 y fig. 5).

Como ya se ha mencionado, puede interrumpirse una exploración por una señal P34 en cualquier ranura de tiempo t'x de un ciclo y puede volver a comenzar en la ranura de tiempo t'x de otro ciclo. Además, antes de conmutar a la exploración
840 del subgrupo siguiente ha de asegurarse que los g = 192 canales de cada grupo de subgrupo han sido explorados y para esto se ha provisto el poder comenzar una exploración de un subgrupo en



378051

33.

una ranura de tiempo $t'd$ (clave de reloj $Ct'd$) y conmutar a la exploración del subgrupo siguiente sólo cuando se ha detectado de nuevo una nueva clave $Ct'd$. Como las operaciones de comienzo de exploración y reanudación de la exploración son similares, es conveniente almacenar el hecho de que es necesario comenzar en la ranura de tiempo $t'd$ o en la ranura de tiempo $t'x$, siendo esto la función del biestable BTD del circuito REA de la fig. 5. El estado 1 de este biestable BTD significa, así, que la exploración comenzará en la ranura de tiempo $t'd$.

La fase siguiente es la fase $Sq3$ (condición $Sq2.d2$, tabla 5) que es una fase de liberación de las memorias de resultado MNA , MCH , MNA' , MCH' . Las líneas de estas memorias se seleccionan sucesivamente a través del contador de línea CpL (condición $Sq3.d2$, tabla 8) y se escriben ceros en cada línea (condición $Sq3.d2$, tabla 9). Por otra parte, hay una conmutación desde una memoria a la siguiente para las condiciones lógicas, que comprenden la señal $Sq3$, aplicadas a los biestables BP , BNA , BCH (tabla 4). Así, hay una conmutación desde la liberación de la memoria MNA a la liberación de la memoria MNA' reponiendo el biestable BNA (condición $Sq3.L16.BNA.d2$); las señales de estado de los biestables BP y BNA definen entonces las dos cifras $MR2$ y $MR3$ de las claves de dirección de la memoria MRE ; condiciones $BP.Sq3$ y $(BNA.BP+BCH.\overline{BP}) Sq3$, tabla 7. Durante la fase $Sq3$ el biestable BL se sitúa, (condición $Sq3.d2$, tabla 4).

Cuando se ha pasado la última línea $L16$ de la memoria MCH' , (condición $Sq3.\overline{BP}.\overline{BCH}.L16.\overline{P}.d2$, tabla 5) hay una conmutación a la fase $Sq4$ durante la cual se transmiten una clave de máscara y la cifra de interrupción AR . La conmutación a la



378051

34.

fase Sq4 está también condicionada por la señal $\overline{P=P32+P33+P34+P35}$ que significa que ninguna de las señales P32, P33, P34 o P35 está presente y que está teniendo lugar una exploración. Como el contador de supergrupo CpSG está en la posición SG1 (condición Sq2.a, fig. 5), se selecciona la línea 1 de la memoria MMA y se transmite la clave de máscara hacia el registrador Rg2 de la fig. 6 a través del circuito SLM (fig. 5) cuya tabla 3 da las ecuaciones lógicas (condiciones Sq4.Mi.Ma de las quince cifras de máscara). Al mismo tiempo se transmiten la señal de selección del registrador Rg2 (fig. 6) (condición Sq4.Ma, tabla 3) así como las señales de escribir Yj de las cuatro partes de la palabra (condiciones Sq4.Ma, tabla 3). Se observará que la clave de máscara y las órdenes de escribir sólo se envían si una de las cifras de la clave de máscara es un 1 (condición Ma) pues no es necesario efectuar una exploración si todos los grupos están prohibidos. En el caso en que la señal Ma no aparezca, el secuencial conmuta a la fase Sq9 (condición Sq4.Ma.P, tabla 5) cuya señal avanza en una posición al contador CpSG (condición Sq9.d2, fig. 5); después se vuelve a la fase Sq4 (condición Sq9.P.d2, tabla 5) para transmitir la clave de máscara del supergrupo SG2. La cifra decimosexta AR que ha de transmitirse es elaborada por la condición Sq4.Ma y permite avisar al circuito de la fig. 5 de la presencia de un resultado (señal AR' = AR.Pc3, fig. 6).

895 Si una de las cifras de la clave de máscara es un 1, hay una conmutación a la fase siguiente Sq5 (condición Sq4.Ma.P) durante la cual se transmiten las claves del supergrupo CSG y la del programa P20 o del P24. Estas dos claves se retienen en



378051

35.

900 el registrador Rg1 (fig. 6) seleccionado por la señal Sq5 (ta-
bla 3) aplicada al primer conductor del grupo de conductores E'al;
la clave CSG corresponde a las cifras 5 a 8 del registrador
Rg1 y es elaborada por las condiciones Sq5.DqSG de la tabla 3,
designando Dq las cifras de la clave CSG. La clave de programa
905 corresponde a las cifras 13 a 16 del registrador Rg1; como las
claves de P20 a P24 son respectivamente 0110 y 0111, las cifras
14 y 15 serán elaboradas por la señal Sq5 y la cifra 16 de P24
por la condición Sq5. \overline{BP}

910 Después, se conmuta a la fase Sq6 (condición Sq5. \overline{P} .d2,
tabla 5) durante la cual se transmite la clave de arranque CPc1
(clave 1000) al circuito secuencial de la fig. 9. Esta clave,
cuya cifra 1 es elaborada por la señal Sq6 (tabla 3) se retiene
en la posición 13 a 16 del registrador Rg5 (fig. 6) por la se-
ñal de selección Sq6.T (circuito SLRg, tabla 3) de dicho regis-
trador y de la señal Y7 = Sq6.T de las cifras 13 a 16 (circui-
915 to SLY, tabla 3). La señal T suministrada por el circuito REA
indica que la clave de reloj Ct' es Ct'd en el caso del comien-
zo de una exploración o Ct'x en el caso de una exploración in-
terrumpida.

920 Tan pronto como aparece la señal T se conmuta a la fa-
se Sq7 (condición Sq6.T. \overline{P} .d2, tabla 5) que es una fase de espe-
ra del resultado de la exploración en curso. Tan pronto como se
detecta una nueva llamada o un cambio de estado, (señal AR'), se
conmuta a la fase Sq8 (condición Sq7.AR'. \overline{P} .d2, tabla 5) durante
la cual se almacenan la clave de tiempo Ct'x (condiciones
925 Sq8.Drt'x.d2 y Sq8. $\overline{Drt'x}$.d2, tabla 9, variando r de 1 a 8), la
clave del grupo CG (condiciones Sq8.DzG.d2 y Sq8.DzG.d2, tabla 9,



378051

36.

variando z de 1 a 4), y la clave del subgrupo CSG (condiciones $Sq8.DqSG.d2$ y $Sq8.\overline{DqSG}.d2$, tabla 9, variando q de 1 a 4).

Si la clave $Ct'x$ no es igual a la clave $Ct'd$ (señal $\overline{t'dx}$) y si la línea escrita no es la línea 16 la exploración continua conmutando a la fase $Sq6$ durante la cual se transmite la clave $CPcl$ (condición $Sq8.\overline{t'dx}.\overline{L16}.\overline{P}.d2$, tabla 5). Por el contrario, si esto no es el caso se conmuta a la fase $Sq9$ (condición $Sq8.(t'dx+L16)\overline{P}.d2$, tabla 5) lo que significa que será explorado por completo un supergrupo o que la memoria en que se está escribiendo está llena. Se conmuta también a la fase $Sq9$ si, estando en la fase $Sq7$ de espera de un resultado, se detecta la clave de tiempo $Ct'd+2$ después de un ciclo completo de exploración de los canales, mientras que el circuito secuencial de la fig. 9 está en la fase Pcl . Esta condición $Sq7.t'd+2.BT.Pcl.\overline{P}.d2$, (tabla 5) significa que el supergrupo ha sido explorado por completo pues la señal $t'd2$ se descifra después de haber detectado la segunda ocurrencia de la clave de tiempo $t'd$ y sin resultado (fase Pcl del secuencial de la fig. 9). La clave $Ct'd+2$ se descifra y no la señal $Ct'd$ a fin de considerar el hecho de que si se detecta un cambio en la ranura de tiempo $t'd$ (señal VA , fig. 8), la señal $AR' = AR.Pc3$ primera que aparece en la ranura de tiempo $t'd+2$ de modo que, en la ranura de tiempo $t'd+2$, no está en curso la fase Pcl , no interesa esperar un resultado y puede considerarse la exploración como terminada.

Se observará que el ciclo de exploración de todos los canales de un supergrupo está definido por dos detecciones sucesivas de la clave de tiempo $Ct'd$: la primera detección se obtiene por la condición $Sq6.T.\overline{P}$, cuya señal repone el biestable



378051

37.

955 BP y la segunda detección se obtiene por la condición $Sq7.t'd$ cuya señal dispone el biestable BT.

La señal de fase $Sq9$ se utiliza para conmutar el biestable BTD a fin de comenzar la nueva exploración en la ranura de tiempo $t'd$ para avanzar el contador del supergrupo CpSG a fin de dirigirse al supergrupo siguiente y volver a la fase $Sq.4$ (condición $Sq9.\overline{P}.d2$, tabla 5). Si el supergrupo que acaba de ser explorado es el último, SG15, se conmuta a otro programa de exploración, esto es, el programa P20 si el programa precedente fuese P24 (condición $SG15.Sq9.\overline{BP}.d2$, biestable BP, tabla 4) o el programa P24 si el programa precedente fuese el P20 (condición $SG15.Sq9.BP.d2$, biestable BP, tabla 4). La señal SG15 cambia también el estado de uno de los biestables BNA y MCH a fin de que los resultados de la exploración siguiente puedan almacenarse en la memoria provista para este fin (condición con $Sq9.SG15$ de la tabla 4). Además, si el programa de exploración que se acaba de completar fuese un programa P24 (señal \overline{BP}), el biestable BL se repone lo cual significa que el resultado habrá sido leído en la memoria indicada por los biestables BP, BNA y BCH.

975 Las explicaciones precedentes han mostrado que la exploración podría efectuarse sin interrupción conmutando alternativamente del programa P20 al programa P24, desde la memoria MNA a la memoria MCH después a la memoria MNA', por último a la memoria MCH' y de nuevo a la memoria MNA.

980 Programa P34

La señal de programa P34 se destina a interrumpir una exploración (condición $P34.Sq0+Sq3+Sq13.d2$, tabla 5) y se conmu-



378051

38.

985 ta entonces a la fase Sq10; se reanuda la exploración desde la fase Sq.34 si la máquina de proceso de datos transmite el programa P31.

Programa P32

990 Este programa permite a la máquina de proceso de datos coleccionar los resultados referentes a nuevas llamadas, que se almacenan en las memorias MNA y MNA'. Estos resultados se transfieren a través de un grupo de 16 conductores Eb (figs. 5 y 6) que también se utiliza para transferir otros resultados tal como los definidos en la patente del caso (c). El circuito secuencial conmuta a la fase Sq11 lo que significa que el programa P32 es solicitado por primera vez. La señal Sq11 sitúa en posición L el contador de línea CpL (condición Sq11.a, tabla 8) a fin de leer el resultado almacenado en la primera línea de una de las memorias MNA o MNA' según el estado de los biestables BNA y BCH; también sitúa el biestable BP a fin de dirigir a las memorias MNA y MNA'.

1000 El circuito secuencial conmuta entonces a la fase Sq13 lo que significa que el circuito está dispuesto a transmitir un resultado si la máquina de proceso de datos transmite una instrucción. En esta instrucción de solicitud de resultado, una de las cifras H1 a H5 es un 1 y las cifras H8 a H12 dan la clave del programa P32. Esta instrucción se repite para leer cada línea de una de las memorias MNA o MNA'. Al recibir esta instrucción, el secuencial conmuta en Sq12 (condición Sq13.P32.BP.d2, 1005 tabla 5) permitiendo así la transmisión del contenido de la línea seleccionada hacia la máquina de proceso de datos (fig. 5). El contador de línea avanza una posición por la señal Sq12 si la línea seleccionada no es la línea 16 (condición Sq12.L16.d2, ta-



378051

39.

1010 bla 8); si la línea seleccionada es la 16 el contador de línea CpL no avanza de modo que a la línea 16 se dirige continuamente, siendo entonces dicha línea leída cada vez que aparece la señal P32. La señal Sq12 permite también la conmutación a la fase Sq13 (condición Sq12.d2, tabla 5).

1015 Programa P33

Este programa permite que la máquina de proceso de datos colecte el resultado referente a los cambios que no sean nuevas llamadas, almacenándose dichos resultados en las memorias MCH y MCH'. El funcionamiento del circuito de la fig. 5 en el caso de este programa P33 es similar al descrito con relación al programa P32 con la diferencia de que la fase Sq11 se sustituye por la fase Sq14.

1020 Se observará que se conmuta a la fase Sq11 para la condición P32. $\overline{\text{BP}}$.d2 y a la fase Sq14 para la condición P33. $\overline{\text{BP}}$.d2, siendo estas condiciones necesarias para considerar el hecho de que se puede recibir, por ejemplo, la señal P32 durante la fase Sq13, mientras que el biestable BP está en el estado 0 y se dirige a las memorias MCH y MCH', no siendo estas las memorias que han de leerse.

1030 En la fig. 5 las señales de los programas P32 y P33 están condicionadas por la señal Ha.BH, significando la señal Ha que una de las cifras H1 a H5 es un 1, cambiando de estado el biestable BH cada vez que ocurre la señal Ha. A través de este circuito aparece la señal Ha.BH dos veces menos frecuentemente que las señales H1 a H5, lo que entonces consigue una

1035 división por dos de las señales de los programas P32 y P33. Esta división por dos se requiere por la forma de transmisión de las



378051

40.

1040 instrucciones; en realidad una instrucción comprende siempre
dos partes, correspondiendo la primera a una operación de es-
critura y la segunda a una de lectura, comprendiendo cada una de
estas dos partes una ranura de tiempo síncrona durante la cual
la información de dirección se transmite, en particular las ci-
fras H1 a H5, y una ranura de tiempo asíncrona durante la que
las operaciones de lectura o escritura se han realizado. En el
1045 caso de los programas P32 y P33, sería equivalente a transmitir
dos veces la clave del programa y así avanzar el contador de
línea en dos pasos en vez de uno, por lo tanto, las señales
P32 y P33 se activan cada dos veces acondicionándolas por la
señal Ha.BH.

1050 Además, por razones de sincronización entre la máqui-
na de proceso de datos y los circuitos que controla, es siempre
la segunda parte de la instrucción, esto es, la instrucción de
lectura la que se envía primero, y es necesario entonces que el
biestable DH esté en el estado 1 al comienzo de los programas
1055 P32 y P33; este estado 1 se obtiene por la señal Sq0.b; se re-
pite después de una pausa (fase Sq10) y el estado 1 se obtiene
por la señal Sq10.b.

1060 En los circuitos descritos, los circuitos de explora-
ción, (figs. 6, 7, 8 y 9) que son comunes a los circuitos de
búsqueda de ruta, caso (c), están controlados por los circuitos
descritos en relación con la fig. 5, recibiendo dichos circui-
tos de control directamente las instrucciones procedentes de la
máquina de proceso de datos a través de los grupos de conducto-
res Ea1 y Ea2 (fig. 5) conectados al descifrador Dc10, al re-
1065 gistrador RLM y al circuito WRE. Es posible proveer otras formas



378051

41.

de acceso de la máquina de proceso de datos, en particular, el descifrador Dcl0 y el registrador RLM pueden ser sustituidos por el descifrador Dcl y el registrador Rgl de la fig. 6. Además, es posible proveer un acceso directo desde la máquina de proceso de datos a la memoria MRE (fig. 5), permitiendo esta posibilidad efectuar operaciones de comprobación durante el reposo del equipo o durante el funcionamiento normal. La fig. 10 representa el registrador Rgl de la fig. 6 al que están asociados un número determinado de circuitos a fin de utilizarlos como circuitos de entrada del circuito de la fig. 5. Así, las palabras que han de escribirse son siempre suministradas por el grupo de conductores E^a2, pero en el caso de un acceso directo a la memoria MRE (programa P35 ya sea para una operación de lectura o para una de escritura, las cifras 1 a 8 constituyen la clave de dirección que se envía a un circuito de selección SL (fig. 5). La selección entre las operaciones de escritura y las de lectura se obtiene a través de las señales Y4 a Y7 (partes de palabras) presentes sobre el grupo de conductores Ee. Si una de las señales Y4 a Y7 corresponde a una operación de escritura en un registrador, una operación de escritura en la memoria MRE será incluida y si ninguna de las señales Y4 a Y7 corresponde a una operación de escritura en un registrador se incluirá una operación de lectura en la memoria MRE.

El circuito que permite determinar las coordenadas de un cambio de estado (fig. 8) puede hacerlo sólo de una única nueva llamada u otro cambio de estado entre las nuevas llamadas u otros cambios de estado que puedan ocurrir en los 15 canales de la misma categoría de un supergrupo, siendo esto debido al



378051

42.

1095 hecho de que sólo la señal VG que aparece (fig. 8) la primera
vez durante el descifrado de las cifras A5 a A8 de la clave de
reloj Ct' por el circuito descifrador Dc8 se toma en considera-
ción. Tal forma de funcionamiento es aceptable sólo si los su-
pergrupos se exploran frecuentemente y si la memoria MRE se lee
1100 en intervalos cortos, dependiendo estas dos condiciones de la
cantidad de tráfico de la central. La eficacia de la explora-
ción de los supergrupos puede mejorarse tomando medidas para la
detección de todas las nuevas llamadas u otros cambios de esta-
do que aparezcan en los canales de la misma categoría de un su-
pergrupo. Esto se obtiene asociando al descifrador Dc8 (fig. 8)
1105 un contador de cuatro cifras denominado contador de grupo; las
cifras de las claves de este contador sustituyen entonces a las
cifras A5 a A8 de la clave de reloj Ct'.

Por razones de seguridad en el funcionamiento de la
central se provee la utilización de dos circuitos según el pre-
1110 sente invento los cuales pueden entonces funcionar según varios
modos diferentes, tal como:

1º - Uno de los circuitos se utiliza para efectuar la
exploración mientras que el otro se utiliza para efectuar las
comprobaciones.

1115 2º - Cada uno de los circuitos explora por turno.

3º - Los dos circuitos funcionan en paralelo y se pro-
vee la comparación de los resultados obtenidos.

Si bien se han descrito los principios del invento
con relación a formas completas y modificaciones determinadas
1120 del mismo, ha de quedar claramente entendido que esta descrip-
ción se hace sólo a modo de ejemplo y no como limitación de su



378051

43.

alcance.

Este invento corresponde a una solicitud de patente formulada en Francia el 31 de Marzo de 1969, señalada con el N^om. 6.909.623 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

- 1130 1 - Una central conmutadora de datos de múltiplex de tiempo que funciona en modulación de impulsos codificada en la cual las operaciones están controladas por una máquina procesadora de datos comprendiendo dicha central conmutadora: un dispositivo conmutador; circuitos de grupo de p enlaces, siendo p el número de cifras de cada mensaje de canal conectado a las entradas del dispositivo conmutador; y destinada a realizar, en la recepción, una conversión serie-paralelo y, en la transmisión, una conversión paralelo-serie, de cifras de los mensajes de los canales de los p enlaces; circuitos de detección y de interpretación de las cifras de señalización asociadas a cada circuito de grupo de p enlaces, comprendiendo principalmente una memoria de señalización en la que se almacenan para cada canal de un grupo el estado de señalización esperado y la indicación del cambio o del no cambio del estado de la señalización de acuerdo con el estado esperado; memorias de datos de conector conectadas a las salidas del dispositivo conmutador, comprendiendo cada conector; además de una memoria de datos, una memoria de circuito de tiempo y memorias de circuito de es-



378051

44.

1150 paco destinadas a establecer una conexión entre dos canales,
estando dichas memorias actualizadas por la máquina de proceso
de datos en relación con las comunicaciones en curso; un cir-
cuito de reloj destinado a suministrar señales cíclicas; cir-
cuitos asociados a las memorias de señalización que permiten
1155 detectar en cada tiempo si los canales procesados en este tiem-
po están llamando o están cambiando su estado; un circuito se-
cuencial que permite determinar las coordenadas de tiempo y es-
pacio de un canal que llama o de un canal que cambia de estado,
caracterizada porque una exploración de nuevas llamadas y de
1160 otros cambios de estado, consiste; primero en determinar las
coordenadas de los canales que llaman y en almacenarlas en una
primera memoria, en determinar después las coordenadas de los
canales que cambian sus entradas y almacenarlas en una segunda
memoria, en explorar de nuevo las nuevas llamadas y en escribir
sus coordenadas en una tercera memoria, en explorar una vez
1165 más los otros cambios de estado y en escribir sus coordenadas
en una cuarta memoria, en comenzar de nuevo las operaciones des-
critas anteriormente, en el mismo orden.

2 - Una central conmutadora de datos según el punto 1
1170 caracterizada porque las coordenadas de las nuevas llamadas o
de los otros cambios de estado contenidas en la memoria que no
se utiliza para escribir, se transmiten hacia la máquina proce-
sadora de datos a solicitud de ésta.

3 - Una central conmutadora de datos según los puntos
1175 1 y 2 caracterizada porque después de la transmisión de las
coordenadas hacia la máquina procesadora de datos la exploración
conciérne otra vez a nuevas llamadas cuyas coordenadas se alma-



378051

45.

cenan en la primera memoria.

1180 4 - Una central conmutadora de datos de acuerdo con los puntos 1, 2 y 3 caracterizada porque la exploración puede interrumpirse en una ranura de tiempo $t'x$ por la máquina procesadora de datos y comenzar de nuevo en una ranura de tiempo $t'x$ de otro ciclo.

1185 5 - Una central conmutadora de datos según los puntos 1, 2, 3 y 4 caracterizada porque las claves de las máscaras que permiten no considerar nuevas llamadas y otros cambios de estado procedentes de determinados grupos de canales son suministradas por la máquina procesadora de datos y se escriben en una quinta memoria.

1190 6 - Una central conmutadora de datos según los puntos 1, 2, 3, 4 y 5 caracterizada; por un circuito descifrador de las señales del programa suministrado por la máquina procesadora de datos; por un dispositivo selector de escritura de la quinta memoria; por un dispositivo de selección cíclica de los diferentes supergrupos, permitiendo dicho dispositivo también la selección de lectura de la quinta memoria por medio de un dispositivo selector cíclico de lectura y escritura de las líneas de las cuatro primeras memorias; por un circuito secuencial que suministra las diferentes señales de fase; por un dispositivo que elabora las señales de control del circuito secuencial permitiendo determinar las coordenadas de tiempo y espacio de un canal que llama o de un canal que cambia de estado, y un circuito lógico que permite comenzar de nuevo en un tiempo $t'x$ de un ciclo, una exploración interrumpida por la máquina procesadora de datos en un tiempo $t'x$ de un ciclo precedente.

1195

1200



378051

378051 46.

1205

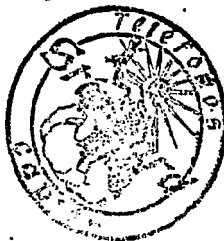
7 - Central conmutadora de datos.

Tal y como se describe en la Memoria que antecede, re-
presentado en los dibujos que se acompañan y a los fines especi-
ficados.

1210

Esta Memoria consta de cuarenta y seis hojas escritas
por una sola cara.

Madrid, 4 JUN. 1970



Eugenio Barroso
EUGENIO BARROSO
Secretario General

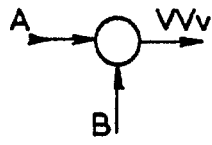


Fig. 1.a

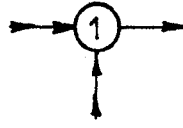


Fig. 1.b

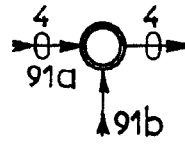


Fig. 1.c

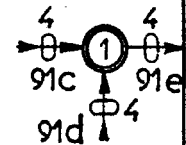


Fig. 1.d

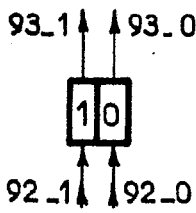


Fig. 1.e

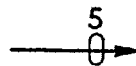


Fig. 1.f

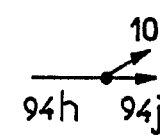


Fig. 1.g

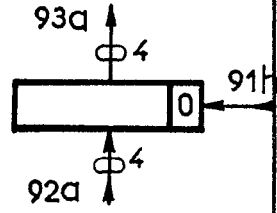


Fig. 1.h

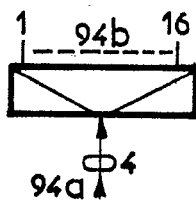


Fig. 1.i

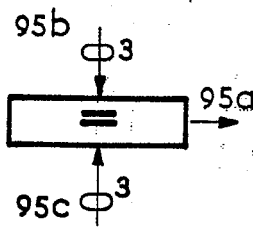


Fig. 1.j

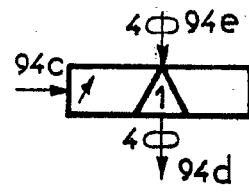


Fig. 1.k

[3 JUN. 1970

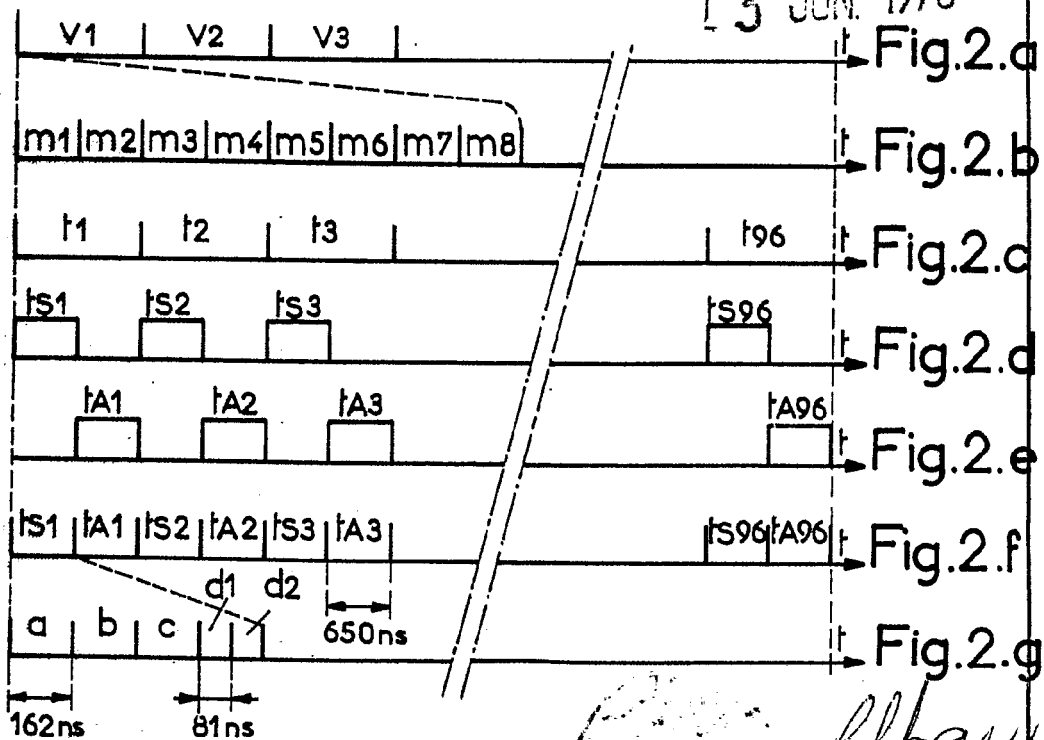


Fig. 2.a

Fig. 2.b

Fig. 2.c

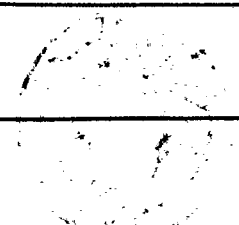
Fig. 2.d

Fig. 2.e

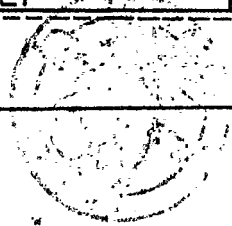
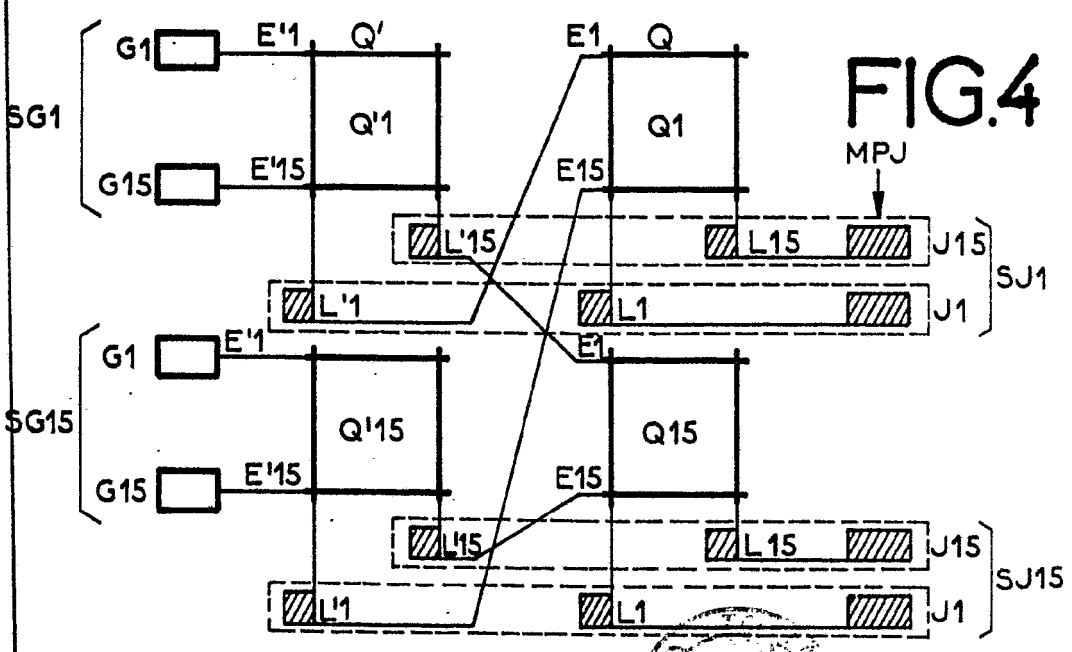
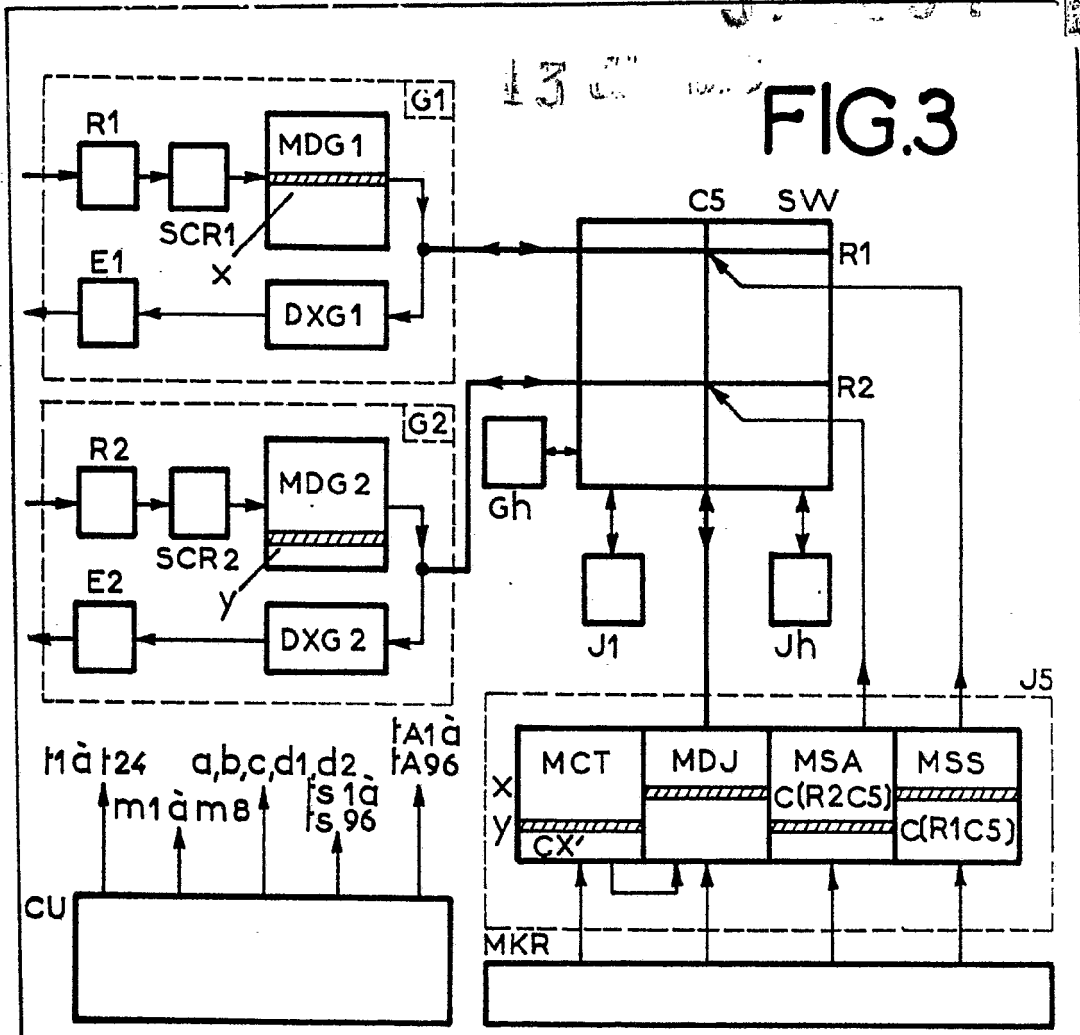
Fig. 2.f

Fig. 2.g

Albaum



Small text at the bottom right, possibly a date or reference.



Eugenio Barroca
EUGENIO BARROCA
 Secretario General



37-251

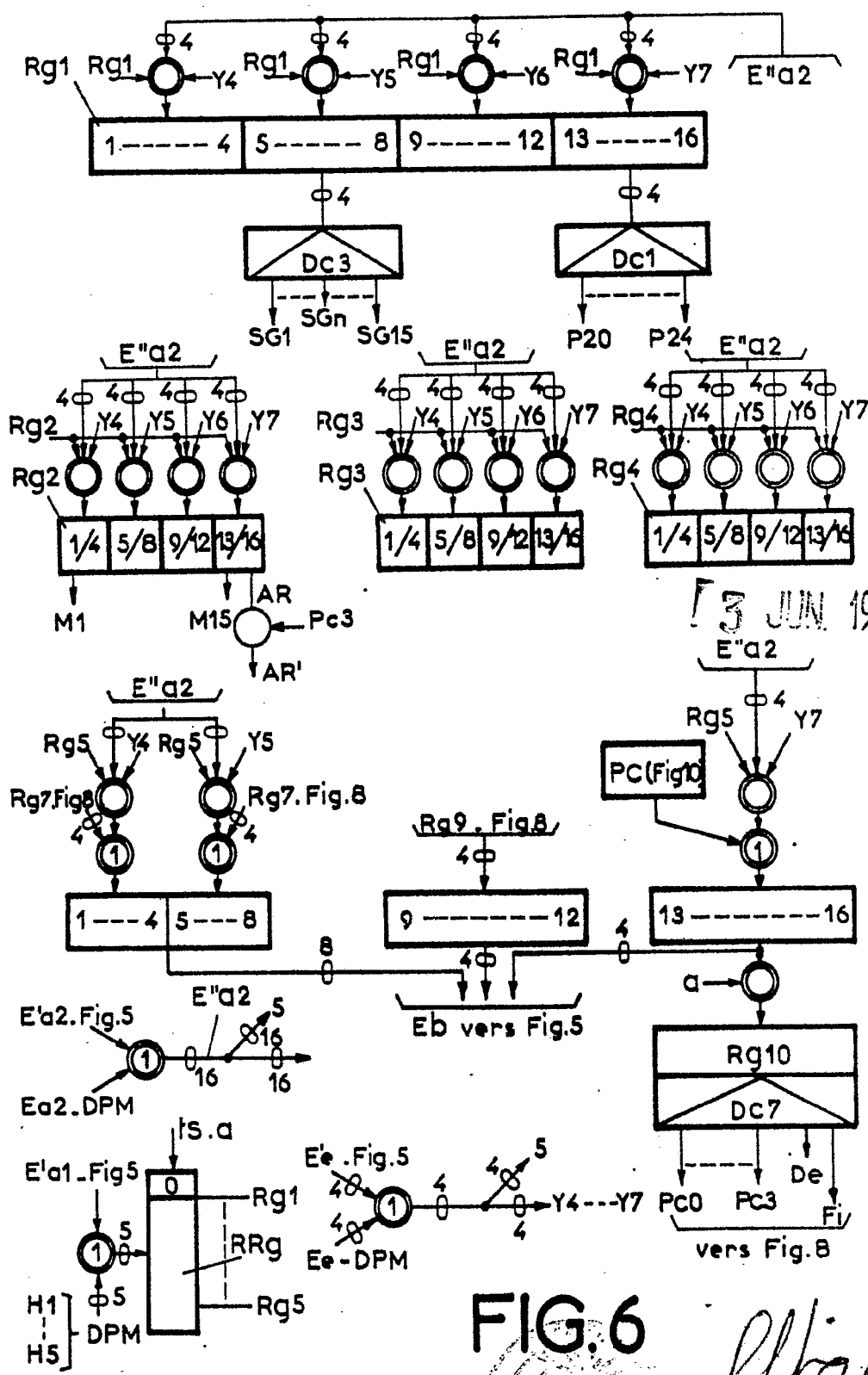


FIG. 6

Alvarez
 Secretario General

3:00:01

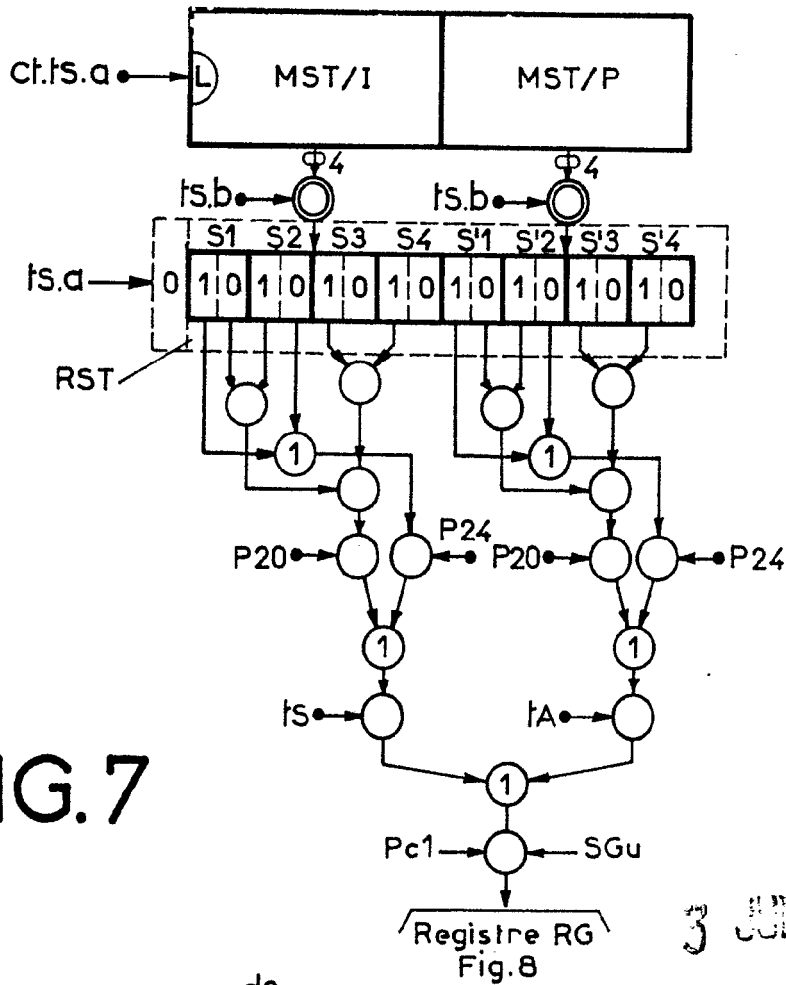
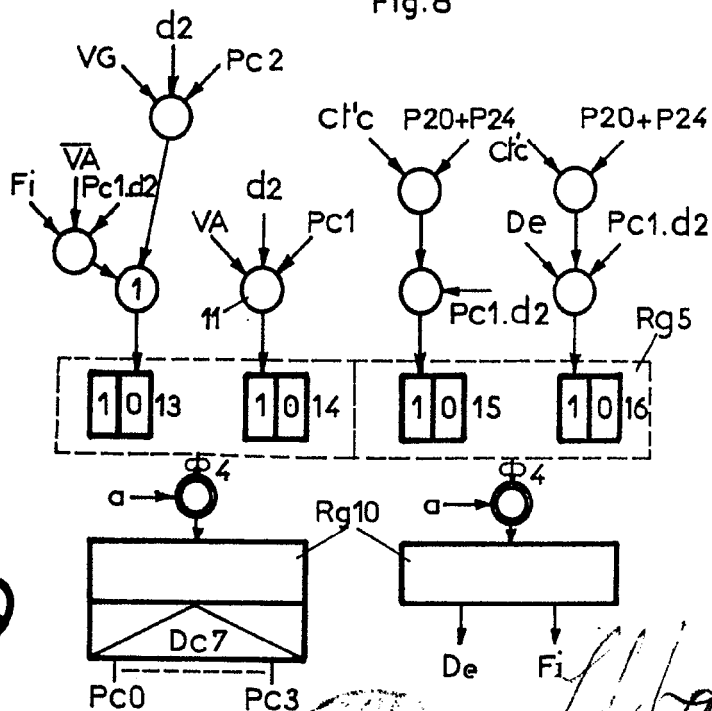


FIG. 7

3 JUN 1970

FIG. 9



Eugenio Garro
EUGENIO GARROTT
Director General

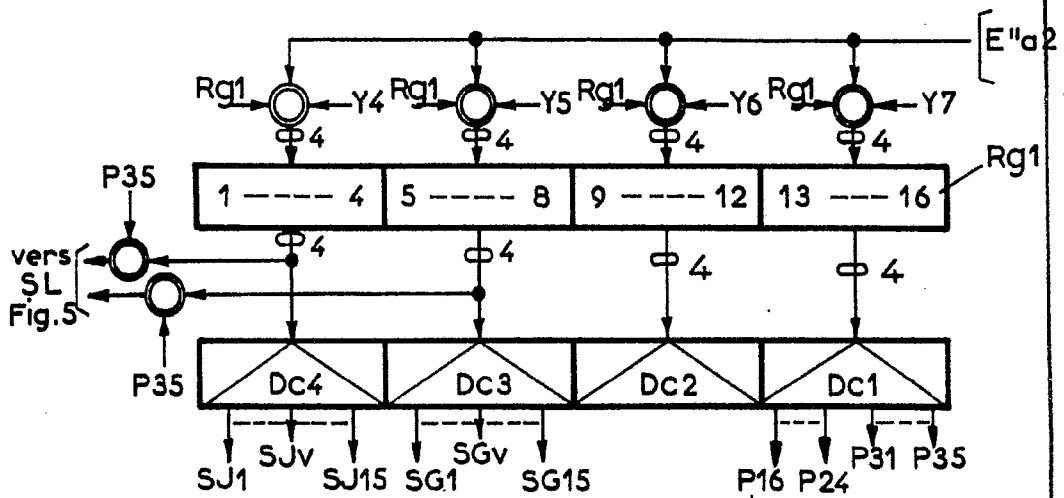
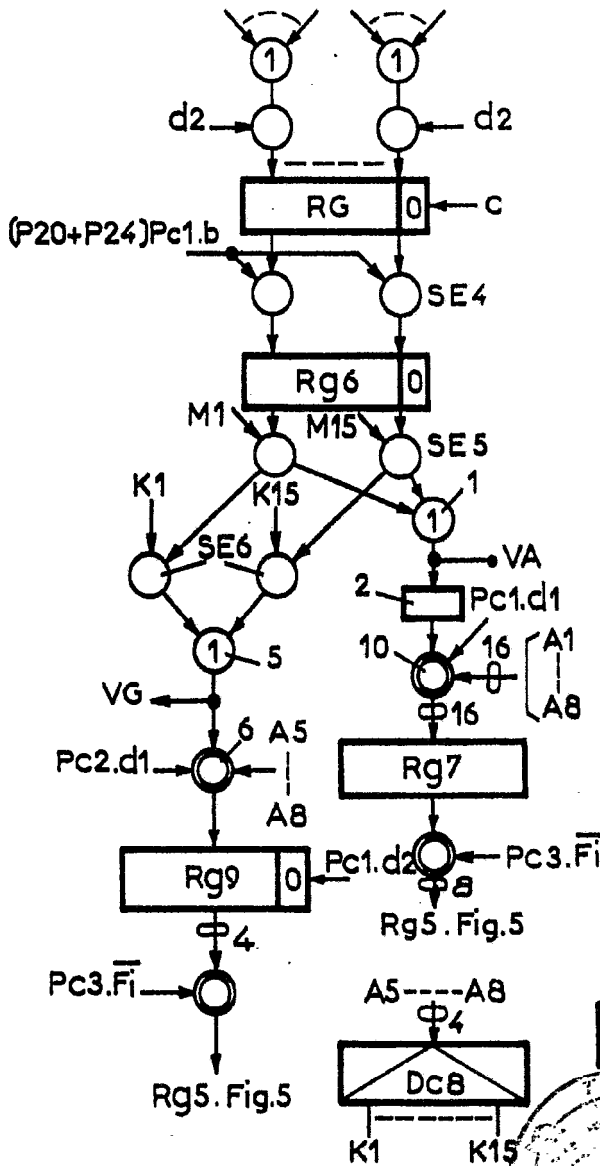


FIG.10



23 JUN 1970

FIG.8

Eugenio Barroso
EUGENIO BARROSO
Secretario General

