

377188



J. G. DUPIEUX - B.P.J. DURONESTE - F.E.J. ROBERT -
J.P. LE CORRE 6-2-1-14

REGISTRO DE PATENTES
CLASIFICACION
H-04
SUBCLASE M

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR: "CIRCUITO DE EXPLORACION Y BUSQUEDA DE CAMINO DE UN CENTRO DE
CONMUTACION DE DATOS" A NOMBRE DE STANDARD ELECTRICA S.A. CON DOMI-
CILIO EN MADRID, CALLE DE RAMIREZ DE PRADO - NUMERO 5 -

El presente invento se refiere a circuitos de exploración y búsqueda de camino de una central de conmutación de datos multiplex en el tiempo, y más particularmente en una central de este tipo que funciona en modulación de código de impulsos.

5

En el caso J.G. Dupieux et al 5-1-13-1, se ha descrito una central de conmutación de datos en la que las operaciones telefónicas tales como la detección de llamadas nuevas, la recepción de los dígitos marcados y su interpretación, la búsqueda de un camino libre en una red de conmutación entre un canal entrante y un canal saliente se realizaban mediante una máquina de proceso de datos.

10

Se sobrentiende por lo tanto que por razones de tiempo y de coste, puede ser interesante descargar a la máquina de proceso de datos de un cierto número de funciones.

El objeto de este invento es, por lo tanto, hacer provisión

377188



2.

15 de circuitos que realicen algunas de las operaciones de exploración y ciertas operaciones de búsqueda y de identificación de caminos.

En una central de conmutación de datos que funciona en multiplex en el tiempo en modulación de código de impulsos en la que las operaciones están controladas por una máquina de proceso de datos, dicha central de conmutación comprende una red de conmutación, circuitos de grupo de p enlaces, si p es el número de dígitos de cada mensaje de canal conectado a las entradas de la red de conmutación, y preparado para hacer en la recepción una conversión serie a paralelo y, en la transmisión, una conversión paralelo a serie de los dígitos de los mensajes de los canales de los p enlaces, circuitos de detección e interpretación de dígitos de señalización asociados a cada circuito del grupo de p enlaces que comprende principalmente una memoria de señalización en la que se almacenan, para cada canal del grupo, el estado de señalización esperado y la indicación de cambio o no cambio del estado de señalización con relación al estado de señalización esperado, memorias de datos de conectores conectados a las salidas de la red de conmutación comprendiendo cada conector además de una memoria de datos una memoria de camino de tiempo y memorias de camino de espacio previstas para establecer una conexión entre dos canales, actualizándose dichas memorias con la máquina de proceso de datos con relación a las comunicaciones en curso, un circuito de reloj previsto para suministrar señales cíclicas, los circuitos de exploración y búsqueda de camino objeto de este invento, que comprende medios para lectura cíclica de las memorias de señalización y de las memorias de camino de tiempo y espacio, medios asociados a cada memoria de señalización que permite detectar, por una parte, las nuevas llamadas, y por otra parte los cambios de esta-

20

25

30

35

40

377188



3.

45 do de la señalización distintos de las nuevas llamadas, medios aso-
ciados a cada circuito de grupo de p enlaces que permiten detectar
los enlaces que están fuera de servicio, medios para recibir y para
50 decodificar la información enviada por la máquina de proceso de
datos, medios asociados a las memorias de camino de espacio que
permiten comparar los códigos de espacio leídos en una forma cí-
clica en dicha memoria con el código de espacio enviado por la má-
quina de proceso de datos, medios para recibir selectivamente las
55 señales procedentes a) de los medios asociados a las memorias de
señalización que corresponden a un mismo conmutador, b) de los
circuitos de grupo de p enlaces conectados a un mismo conmutador y
c) de las memorias de camino de espacio y tiempo correspondientes a
un mismo conmutador, medios para procesar las señales recibidas
60 selectivamente de los circuitos asociados anteriores con relación
a la información suministrada por la máquina de proceso de datos,
suministrando dichos medios la información requerida por la máquina
de proceso de datos.

60 Los antes mencionados y otros objetos y características
de este invento quedarán claros con relación a la descripción si-
guiente dada con relación a las figuras que se acompañan en las
que:

65 Las figuras 1.a a 1.j indican los símbolos utilizados
en las figuras siguientes:

Las figuras 2.a a 2.g muestran los diagramas de las se-
ñales de reloj;

70 La figura 3 representa el diagrama de bloques de una
central de conmutación que funciona en multiplex en el tiempo y
en modulación en código de impulsos;



La figura 4 representa el diagrama de interconexión entre los dos pasos así como la organización de las memorias de camino de espacio;

75 La figura 5 representa los circuitos asociados a cada grupo de enlaces que permite conocer las llamadas nuevas, o los cambios del estado de señalización, o la alarma e incluso los canales libres;

La figura 6 representa los circuitos asociados a la memoria de camino de espacio de un conector, correspondiendo dichas memorias al primer paso de conmutación;

80 La figura 7 representa los circuitos asociados a las memorias de camino de espacio del conector, correspondiendo dichas memorias al segundo paso de conmutación;

85 La figura 8 representa los registradores y sus circuitos asociados que permiten controlar los circuitos de exploración y búsqueda de camino;

La figura 9 representa el circuito de lógica de selección;

La figura 10 representa el circuito secuencial de control de las diferentes fases del circuito lógico de la figura 9;

90 La figura 11 representa el conjunto de conductores procedentes del ordenador de control;

La figura 12 representa un circuito para emitir códigos de espacio cuando se prevé utilizar dos circuitos de exploración y búsqueda de camino;

95 La figura 13 representa otro circuito para emisión de código de espacio cuando se prevé utilizar dos circuitos de exploración y búsqueda de camino;

Las figuras 1.a a 1.j dan el significado de algunos símbolos utilizados particularmente en los dibujos de la presente patente;

377188



5.

100

La figura 1.a representa una puerta electrónica de coincidencia llamada circuito AND simple, que da una señal positiva en su salida cuando sus entradas representadas por flechas en contacto con el círculo reciben simultáneamente una señal positiva. Si llamamos A y B a las señales que están presentes en cada uno de los terminales de entrada, este circuito consigue la condición lógica señalada A, B.

105

La figura 1.b representa una puerta electrónica mezcladora, llamada circuito OR, que da una señal positiva en su salida cuando se aplica una señal positiva a por lo menos uno de sus terminales de entrada representados por la flechas que tocan el círculo. Si llamamos C y D a las señales que están presentes en cada uno de los dos terminales de entrada, este circuito consigue la condición lógica escrita $C + D$.

110

115

La figura 1.c representa un circuito AND múltiple, esto es que comprende, en el caso del ejemplo, cuatro circuitos AND uno de cuyos terminales de entrada está conectado a cada uno de los conductores 91a y el segundo terminal de entrada de los cuales está conectado a un conductor común 91b.

120

Se dirá que una entrada de un circuito AND está activada o excitada cuando se aplique una señal a dicha entrada, y que el circuito AND es conductor si todas sus entradas están activadas simultáneamente.

125

La figura 1.d representa un circuito OR múltiple que comprenden en el caso del ejemplo, cuatro circuitos OR que tienen dos entradas 91c y 91d y que da, en sus cuatro terminales de salida 91e, las mismas señales que están aplicadas en dichos terminales de entrada.



La figura 1.e representa un circuito biestable o flip-flop al que se aplica una señal de control en una de sus entradas 92-1 ó 92-0 para colocarlo respectivamente en el estado 1 ó en el estado 0. Esta presente un voltaje de la misma polaridad que el de las señales de control en la salida 93-1 cuando el flip-flop está en el estado 1, ó en la salida 93-0 cuando está en el estado 0. Si el flip-flop lleva la referencia B1, la condición lógica que caracteriza el hecho de que está en el estado 1 se escribirá B1, el que caracteriza el hecho de que está en el estado 0 se escribirá B1.

La figura 1.f. representa un grupo de varios conductores, cinco en el caso del ejemplo considerado.

La figura 1.g representa un multiplexaje de conductores de forma que, en el ejemplo representado, están conectados diez conductores de salida 94j en paralelo con el mismo conductor de entrada 94h.

La figura 1.h representa un registrador de flip-flop. En el caso de la figura, comprende cuatro flip-flops cuyas entradas 1 están conectadas a los conductores del grupo 92a y cuyas salidas 1 están conectadas al grupo de los conductores 93a. El dígito 0 colocado en un extremo del registrador indica que este último está repuesto o liberado cuando se aplica una señal de conductor 91h.

La figura 1.i representa un circuito decodificador que, en el ejemplo representado, convierte un grupo de código binario de cuatro dígitos aplicado al grupo de conductores 94a en un código de 1 entre 16 de forma que aparece una señal en uno solo de los dieciseis conductores 94b para cada uno de los grupos de código aplicados a la entrada.

La figura 1.j. ilustra un comparador de código que da una

377188



7.

155 señal por su terminal de salida 95a cuando son idénticos los grupos de código de tres dígitos aplicados a sus terminales 95b y 95c.

En el curso de la descripción, se utilizará frecuentemente la referencia de una señal precedida por la letra C para designar el código binario cuya decodificación da dicha señal. Así CV1 designa el código al que corresponde la señal V1.

160 Finalmente, debe señalarse que en las diferentes figuras que intervienen en la descripción, las puertas electrónicas (circuitos AND, circuito OR) no llevan referencias. De hecho cada una de estas puertas está identificada sin ambigüedad en la descripción por la ecuación lógica que describe la función que hace y por el número de la figura, y la referencia de cada señal elemental aplicada que está indicada cerca de la entrada correspondiente. Así, el circuito AND de la figura 1.a se definiría como el circuito lógico que suministra una señal Wv para la condición lógica A.B. (figura 1.a).

170 Las figuras 2.a a 2.g representan los diagramas de las señales de reloj de la central PCM y la tabla 1 da las definiciones.

En el curso de la descripción se mencionarán algunos casos; estos casos están relacionados debajo y se mencionarán en la descripción con la letra de referencia de dicha lista;

(a) Caso M.J. Herry et al 3-2

(b) Caso J.G. Dupieux et al. 5-1-13-1

(c) Caso B.P.J. Durteste et al. 1-2-2.

180 En el caso(b) se ha descrito la forma de conseguir una central de conmutación de datos multiplex en el tiempo, y más particularmente una central de este tipo que funciona en modulación en .

377188



8.

código de impulsos o PCM.

Esta central de conmutación mejorada comprende (figura 3):

185 - una red de conmutación SW representada en forma de matriz y que comprende, por ejemplo h fila R y h columnas C. Solamente las filas R1, R2 y la columna C5 se han mostrado en la figura y los puntos de cruce correspondientes llevan las referencias R1C5 y R2C5.

- h circuitos de grupo de enlaces G1 a Gh;

- h conectores J1 a Jh;

190 - un circuito marcador MKR que tiene acceso a todos los conectores. El circuito marcador es de hecho una máquina de proceso de datos preparada para establecer las conexiones entre dos canales que terminan en la central. Por el número de operaciones que tienen que hacerse para establecer comunicaciones simultáneamente, se ha
195 previsto usualmente asociar unidades periféricas a la máquina de proceso de datos, realizando dichas unidades periféricas algunas operaciones; lo mismo es de aplicación a los circuitos de exploración y búsqueda de camino que son el objeto del presente invento. En
200 continuación de esta descripción y en las reivindicaciones, las expresiones circuitos marcadores ó máquina de proceso de datos o incluso ordenador se utilizarán indiferentemente.

- una unidad de reloj CU que suministra las señales definidas en la tabla 1 y las figuras 2.a a 2.g.

Cada circuito de grupo de enlaces como G1 comprende:

205 - un circuito receptor R1 de los mensajes recibidos por p = 8 líneas entrantes;

- un circuito de sincronización SCR1;

- una memoria de grupo de datos MDG1 que comprende g = p x m = 192 líneas;

377188



9.

210

Esta memoria se selecciona en una forma cíclica bajo el control de las señales tS.

- un circuito de demultiplexaje DXGI de los mensajes procedentes del conmutador SW;

215

- un circuito de transmisión El de los mensajes a los que están conectadas $p = 8$ líneas salientes;

Cada conector como el J5 comprende principalmente una cantidad de memorias de $g/2 = 96$ líneas, que son:

220

- una memoria de conversación MDJ;

- una memoria de camino de tiempo MCT;

- una memoria de camino de espacio síncrono MSS;

- una memoria de camino de espacio síncrono MSA;

225

La red de conmutación de la fig. 3 está para establecer conexiones entre h grupos de enlaces G_1 a G_h cada uno de los cuales comprenden $g = 192$ canales, estableciéndose cada conexión a través de un conector entre h . Esta conexión está constituida por dos medias conexiones que conectan respectivamente al conector el canal entrante y el canal saliente; una de estas conexiones se establece en un espacio de tiempo síncrono TS y el otro en un espacio de tiempo asíncrono TA cuyos números de orden son generalmente diferentes.

230

Una conexión necesita un tiempo de conmutación en el conector y dos conmutaciones de espacio (una para cada media conexión) en la red de conmutación SW.

235

El conmutador de tiempo está constituido por la combinación en un conector de una memoria de conversación MDJ y de una memoria de camino de tiempo MCT. La dirección de la memoria de conversación se hace de una forma cíclica bajo el control de las señales tS y en una forma acíclica en el tiempo tA bajo el control

377188



10.

del código de dirección suministrados por la memoria de camino de tiempo MCT cuya selección es también ciclica.

240

T A B L A - I

Características del sistema PCM y de las señales del reloj (base de tiempo de la central HS)

| <u>Símbolo</u> | <u>Duración unitaria</u> | <u>Duración de ciclo</u> | <u>Figura</u> |
|-------------------------------|--------------------------|---|---------------|
| 245 TR | 125 μ s | | 2.a |
| | | Duración del período de repetición o <u>cuadro</u> (frecuencia de muestreo: 8Kc) | |
| | | Número de canales en un enlace (m = 24) | |
| V1, V2...V24 p | \approx 5,2 μ s | 125/ μ s | 2.a |
| | | Espacio de tiempo de canal | |
| | | Número de dígitos de un mensaje y número de enlaces de un grupo (p = 8) | |
| 250 m1, m2, ... m8 | 650ns | 5,2 μ s | 2.b |
| t1...t96 | 1.300ns | 125/ μ s | 2.c |
| t'1...t'192 | 650ns | 125/ μ s | |
| Ct | | Espacio de tiempo de base mitad | |
| | | Juego de 96 códigos de espacio de tiempo de base | |
| Ct'' | | Juego de g = 192 códigos de espacio de tiempo de base mitad | |
| 255 tS | 650ns | | 2.d |
| tA | 650 ns | | 2.e |
| tS1...tS96 | 650 ns | 125 μ s | 2.f |
| tA1...tA96 | 650 ns | 125/ μ s | |
| a, b, c, d | 162,5ns | 650ns | |
| | | Señales de espacio de tiempo fino | 2.f |
| a1, a2(d1, d2) \approx 81ns | | 162,5ns | 2.g |
| | | Señales de espacio de tiempo fino que dividen una señal (d) en 2 espacios de tiempo iguales | |
| 260 Ct.tS | | Selección cíclica en espacios de tiempo síncronos tS | |
| Ct.tA | | Selección Cíclica en espacios de tiempo asíncrono tA | |

265

377188



11.

270 El conmutador de espacio está constituido por el conmutador SW con puntos de cruce electrónicos controlados por las memorias de camino de espacio síncronas MSS cuando se precisa establecer una semiconexión síncrona. Este conmutador permite hacer la conexión entre grupos de enlaces diferentes como G1 y G2.

275 A continuación se describirá rápidamente la conmutación en tiempo y en espacio para una conexión entre un canal x del grupo G1 (semiconexión G1:tSx) y el canal y del grupo G2 (semiconexión (2:tAy), utilizándose en esta conexión el conector J5 (abreviación de la conexión G1:tSx/J5/G2:tAy).

280 El circuito marcador MKR asigna a esta conexión la línea x del conector J5 y escribe en la línea y de la memoria MCT, definiendo el código Cx la dirección x de la memoria MDJ. El circuito marcador escribe también en la línea x de la memoria de camino de espacio síncrono MSS el código C(R1C5) que permite la selección en el conmutador SW del punto de cruce R1C5. También escribe en la línea y de la memoria de camino de espacio asíncrono MSA el código C(R2C5) que permite la selección en el conmutador SW del punto de cruce R2C5.

285 En el espacio de tiempo tSx, la información contenida en las líneas x de las memorias MDJ, MDG1 y MSS permiten establecer la semiconexión G1:tSx. Esta última se hace por una transferencia, en ambas direcciones, de datos entre el conector J5 y el grupo G1, primero la transferencia de la información contenida en la línea x de la memoria MDJ hacia el circuito de demultiplexaje DXG1, después 290 la transferencia del contenido de la línea x de la memoria MDG1 a la línea x de la memoria MDJ. Se observará que están escritos dos mensajes en cada línea de la memoria MDG1, transfiriéndose uno de los

377188



12.

295 mensajes durante el espacio de tiempo síncrono t_{Sx} (semiconexión síncrona) y el otro se transfiere durante el espacio de tiempo asíncrono t_{Ax} (semiconexión asíncrona).

300 En el espacio de tiempo t_{Sy} , la línea y de la memoria MCT está seleccionada de nuevo y el código C_x que se lee controla de nuevo la selección en el mismo espacio de tiempo t_{Ay} de la línea x de la memoria MDJ; la línea y de la memoria MSA se selecciona también en el espacio de tiempo t_{Sy} y el código $C(R2C5)$ permite el cierre en el tiempo t_{Ay} del punto de cruce R2C5 utilizando para la semiconexión $G2:t_{Ay}$. Esta última consiste primero en una transferencia del contenido de la línea x de la memoria MDJ en el circuito de multiplexaje DXG2 luego en una transferencia de un mensaje de la línea y de la memoria MDG2 a la línea x de la memoria MDJ.

310 Se ve, por lo tanto, que la conmutación en tiempo permite adaptar la posición de tiempo de los canales entrante y saliente retardando la información recibida procedente de $G1$ del espacio de tiempo t_{Sx} al espacio de tiempo t_{Ay} y retardando el recibido procedente de $G2$ del espacio de tiempo t_{Ay} al espacio de tiempo t_{Sx} .

315 Como se ha mencionado, con relación a la figura 4, la memoria de grupo de datos MDG es leída en una forma cíclica a $g/2 = 96$ espacios de tiempo síncronos. Pero esta memoria recibe g mensajes por ciclo TR , de forma que cada lectura debe permitir leer dos mensajes. Esta memoria de grupo de datos está organizada de tal forma que en cada lectura se puede estatizar uno en los registradores de salida RGI y RGP (figura 5) correspondiendo uno de los dos mensajes a un canal de un enlace impar (registrador RGI), y el otro al canal homólogo de un enlace par (registrador RGP). El mensaje de un canal de un enlace impar se procesa durante un espacio de tiempo sín-

320

377188



13.

crono t_S mientras que el mensaje de un canal de un enlace par se procesa durante un espacio de tiempo asíncrono t_A .

El circuito de conmutación de la figura 3 comprende una red de conmutación SW de una sola etapa. La figura 4 representa un circuito de conmutación que comprende una red de conmutación con dos pasos Q y Q', teniendo cada paso, por ejemplo quince conmutadores con quince entradas y quince salidas. Las salidas o verticales L' del primer paso Q' están conectadas a las entradas u horizontales E del segundo paso Q de forma que cada conmutador de un paso puede tener acceso a todos los conmutadores del otro paso. Las entradas u horizontales E' del paso Q' están conectadas a los equipos del grupo G y el conjunto de los equipos de grupo que están conectados al mismo conmutador Q' se llamará supergrupo SG. Las salidas o verticales L del paso Q están conectadas a los conectores J y el conjunto de conectores que están conectados a un mismo conmutador Q recibirá el nombre de superconector SJ. En la continuación de esta descripción, una conexión como L'1E1 se llamará enlace.

Una memoria de camino de espacio síncrono y una memoria de camino de espacio asíncrono están asociados a cada vertical de un conmutador. Estas memorias, de la misma forma que las memorias MSS y MSA de la figura 3, comprenden, cada una de ellas, $g/2$ líneas que se seleccionan en su forma cíclica por las señales de espacio de tiempo síncronas T_S ; el código contenido en una línea x de una memoria de camino de espacio identifica el punto de cruce de la vertical a la que está asociada dicha memoria que tendrá que estar cerrada en el tiempo t_{Sx} ó en el tiempo t_{Ax} según que intervenga una memoria síncrona o una memoria asíncrona respectivamente. El hecho de que no se seleccione ningún punto de cruce en el espacio de tiempo bá-



14.

350 sico mitad tx se ha representado con un código particular, por ejemplo el código 0000, cuya decodificación no corresponde a ningún punto de cruce.

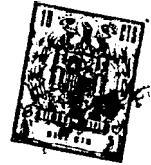
355 Con una red de conmutación de este tipo se comprende fácilmente que el establecimiento de una conexión requiere el acceso a dos memorias de camino de espacio, síncronas o asíncronas, una asociada a una vertical de un conmutador del paso Q' y la otra asociada a una vertical de un conmutador del paso Q . Para simplificar el acceso a estas memorias, se han agrupado, por ejemplo, como se ha representado en la figura 4. Este agrupamiento ha sido descrito en el caso (b). Así, las memorias de camino de espacio asociadas a las verticales $L'1$ y $L1$ de los conmutadores $Q'1$ y $Q1$ están agrupadas y asociadas a las memorias MET y MDJ del conector $SJ1 - J1$. Esta agrupación se llama agrupación horizontal. En un conector, las memorias de camino de espacio síncrono, asociadas al paso Q y al paso Q' se llamarán respectivamente MSS y MSS' y las memorias de camino de espacio asíncrono asociadas al paso Q y al paso Q' se llamarán respectivamente MSA y MSA' .

365 Para una llamada, la primera operación que tiene que hacerse en la central es la detección de esta llamada; la operación siguiente consiste en detectar los dígitos marcados que son transmitidos por los cambios de estado de la línea (abierta o cerrada) del abonado que llama; cuando se conoce el número del abonado llamado, la operación siguiente consiste en buscar un camino libre en la central entre el abonado que llama y el abonado llamado. Si hay un camino libre, se establece como se ha descrito con relación a la figura 3. Cuando se ha completado la conversación, las memorias tienen que actualizarse y para esto el camino utilizado desde

370

375

377188



15.

380 el canal entrante asignado al abonado llamado tiene que conocerse, llamándose a esta operación de búsqueda del camino utilizado identificación de camino.

385 Las operaciones de detección de una llamada, de búsqueda de camino y de identificación de camino así como otras, son hechas por el circuito objeto del presente invento bajo el control de señales de nueve programas referenciados P16 a P24, siendo suministradas dichas señales por la máquina de proceso de datos que supervisa todos los circuitos de la central. La tabla 2 da el significado de los diferentes programas. Indicaremos que los programas P20 a P24 se refieren a exploraciones, mientras que los programas P16 a P19 se refieren a búsquedas de camino o a identificaciones de camino.

390 Estos programas están codificados bajo la forma de un código de cuatro dígitos que es, por ejemplo, suministrado por la máquina de proceso de datos que controla la central.

395 Se observará también que la búsqueda de un enlace libre L' y la identificación de un enlace ocupado L' son dos operaciones idénticas realizadas bajo el control de una misma señal de programa, la señal P16 cuando cada circuito de grupo de enlace p está conectado a las dos entradas de la red de conmutación o la señal P17 cuando el circuito de cada grupo de p enlaces está conectado a una sola entrada de la red de conmutación. Este último modo de conexión es el

400 de las figuras 3 y 4 y, en este caso, como se ha mencionado previamente, el mensaje de un canal de un enlace impar es procesado durante un espacio de tiempo síncrono t_S mientras que el mensaje de un enlace par es procesado durante un espacio de tiempo asíncrono t_A . En el primer modo de conexión, que ha sido descrito en el caso (b), cada uno

405 de los dos mensajes leídos en una misma línea de una memoria de grupo

377188



16.

puede ser procesado selectivamente, en un espacio de tiempo síncrono o en un espacio de tiempo asíncrono.

Los códigos de los programas así como las otras piezas de información que son necesarias son suministradas por la máquina de proceso de datos en forma de cinco palabras de diez y seis dígitos que se registran en cinco registradores Rg1 a Rg5 del circuito de la figura 8. Los diez y seis dígitos de cada palabra son transmitidos por el grupo de conductores Ea2 (figura 11). La elección de uno de los cinco registradores se obtiene a través del código de uno entre cinco estatizado en el registrador RRG cuyas entradas están conectadas al grupo de cinco conductores Eal. Este código para elegir un registrador se envía en un espacio de tiempo síncrono, pero solo se utiliza en el espacio de tiempo asíncrono siguiente durante el que se envía la palabra de diez y seis dígitos. Durante el espacio de tiempo asíncrono, el ordenador envía también sobre el grupo de cuatro conductores E1, las órdenes escritas Y4 y Y7 de las partes de las palabras de cuatro dígitos cada una. Para no sobrecargar la figura 8, solo se han representado los circuitos entrantes del registrador Rg1, pero se sobrentiende que los otros registradores tienen los mismos circuitos de entrada.

377188



17.

T A B L A -II

| <u>Programa</u> | <u>Significado</u> |
|-----------------|--|
| 430 | P16 Búsqueda de un enlace libre L' o identificación de un enlace L' ocupado entre un conmutador del paso Q' y un conmutador del paso Q en un tiempo síncrono ó asíncrono t'x en el caso en que cada espacio de circuito de grupo de p enlaces está conectado a dos entradas de la red de conmutación. |
| 435 | P17 Búsqueda de un enlace libre L' o identificación de un enlace ocupado L' entre un conmutador del paso Q' y un conmutador del paso Q en un espacio de tiempo dado t'x en el caso de que un grupo de p enlaces esté conectado a una sola entrada de la red de conmutación. |
| | P18 Búsqueda de un camino libre entre un enlace libre en el espacio de tiempo t'x y uno de los canales salientes permitidos en uno de los espacios de tiempo t'y. |
| | P19 Identificación del conector y del espacio de tiempo t'y utilizado para conectar un enlace, utilizado en el tiempo t'x, a un canal saliente. |
| 440 | P20 Detección de nuevas llamadas. |
| | P21 Detección de los enlaces desincronizados. |
| | P22 Detección de los canales en los que no se ha cumplido la regla de inversión de trabajo alternativo de las señales de mensaje. |
| | P23 Detección de los canales en los que ya no se elaboran señales de fase media |
| 445 | P24 Detección del cambio de estado de las señales de señalización. |

La tabla 3 da el significado de los diferentes grupos de dígitos. El circuito decodificador Dc1 está asociado en los cuatro flip-flops 13 a 16 del registrador Rg1 y da una de las señales del programa P16 a P24. Las señales de estado de los cuatro flip-flops 9 a 12 del registrador Rg1 están aplicadas, por una parte, al circuito decodificador Dc2 que suministra una de las señales E'1 a E'15 correspondiente a una entrada de un conmutador, y por otra parte, a los circuitos comparadores C'p y Cp de las figuras 6 y 7. El cir

377188



18.

455 cuito decodificador Dc3, asociado a los cuatro flip-flops 5 a 8 del registrador Rg1 suministra las señales de selección S01 a S015 de uno de los supergrupos. El circuito decodificador Dc4 asociado a los cuatro flip-flops 1 a 4 del registrador Rg1 suministra las señales de selección SJ1 a SJ15 de uno de los superconectores.

460 Las señales de estado M1 a M15 de los flip-flops 1 a 15 del registrador Rg2 se utilizan como una cubierta para prohibir la elección de algunos grupos enlaces o conectores durante los diferentes programas. La señal del decimo sexto flip-flop del registrador Rg2 se utiliza para informar al circuito objeto del presente invento que la máquina de proceso de datos requiere o no que sea
465 llamado tan pronto como se hayan obtenido un resultado.

T A B L A III

| <u>Registadores</u> | <u>Dígitos</u> | <u>Significado</u> |
|---------------------|----------------|---|
| 470 Rg1 | 1 a 4 | Código de superconector CSJ |
| | 5 a 8 | Código del supergrupo CSG |
| | 9 a 12 | Código de espacio CE ó CE' |
| | 13 a 16 | Código de programa |
| Rg2 | 1 a 15 | Cubierta de los grupos, enlaces o conectores permitidos |
| | 16 | El circuito puede llamar o no al ordenador al final de un programa |
| 475 Rg3 y | 1 a 16 | Cubierta de los canales salientes permitidos |
| | 17 a 24 | |
| Rg4 | 25 a 27 | Canal permitido |
| | 28 | No utilizado |
| | 29 a 32 | Código de espacio CL' del enlace |
| Rg5 | 1 a 8 | Código de tiempo Ct' escrito por el ordenador o código de tiempo del resultado. |
| | 9 a 12 | Código de espacio del resultado |
| 480 | 13 a 16 | Estado del secuencial. |

377188



19.

Los registradores Rg3 y Rg4 están agrupados en un solo registrador de treinta y dos flip-flops, Los flip-flops 25 a 27 almacenan el código del enlace saliente permitido para hacer una conexión y los flip-flops 1 a 24 almacenan el enmascaramiento de los canales salientes permitidos de dicho enlace. Esta información se utiliza durante el programa P18 con la intención de que (tabla 2) se busque un camino libre entre un enlace libre en el espacio de tiempo $t'x$ y uno de los canales salientes permitidos, correspondientes cada uno de los de los canales salientes a un cierto tiempo del reloj $t'y$. Se sobrentiende así que es necesario, en cada espacio de tiempo $t'y$ permitido, determinar si existe un camino libre ente un enlace libre del espacio de tiempo $t'x$ y el canal saliente permitido. Los diferentes espacios de tiempo $t'y$ permitidos se obtienen por comparación del código de reloj Ct' formado por los ocho dígitos A1 a A8 con los diferentes códigos de los canales salientes permitidos. Para ésto se ha previsto un primer comparador Cpl (figura 8) que recibe, por una parte, las señales de los dígitos 25 a 27 de los registradores Rg3- Rg4 y, por otra parte, las señales de los dígitos A6, A7 y A8 del código de reloj Ct'; también se ha previsto un decodificador Dc5 de los dígitos A1 a A5 del código Ct', apareciendo un código entre 24 en las 24 salidas del decodificador Dc5 que se compara con el código constituido por los dígitos 1 a 24 de los registradores Rg3- Rg4. Esta comparación se realiza a través de una multiplicidad de veinticuatro circuitos AND, un circuito AND por canal, cuyas dos entradas están conectadas a las salidas correspondientes del mismo canal de los registradores Rg3-Rg4 y del decodificador Dc5. Las salidas de estos circuitos AND están conectadas a un mismo circuito OR cuya señal indica que hay identidad. Así, si el código del enmascaramiento es 11

377188



20.

510 seguido por veintidos ceros (canales 1 y 2 permitidos), habrá identidad para los dos códigos de reloj Ct' que dan después de decodificación el código constituido por el dígito 1 seguido por ceros y el código O1 seguido por ceros. Lase señales de identidad suministradas por el circuito comparador Cp1 y Cp2 se aplican a un
515 circuito AND, cuya señal de salida indica que el código de reloj A1 a A8 corresponde a uno de los canales permitidos de un enlace determinado. Para respetar algunas duraciones, esta señal de identidad ID' se retarda en un espacio de tiempo de dígito a través de un flip-flop colocado en el estado 1 en el espacio de tiempo ultra-
520 fino d2 y se coloca en el estado 0 en el espacio de tiempo fino c; la señal retardada llevará la referencia ID'r.

Los flip-flops 29 a 32 de los registradores Rg3-Rg4 estatiza el código CL' del enlace que debe utilizarse para conectar un conector a un canal saliente (programa P18). El circuito decodificador Dc6 asociado a estos flip - flops suministra las señales de selección L'1 a L'15.
525

Los flip-flops 1 a 8 del registrador Rg5 estatizan el código del canal entrante para el que se ha buscado un camino libre. El código se compara, en un circuito Cp3 con el código de reloj Ct';
530 cuando hay identidad, el comparador suministra una señal ID que se estatiza en el espacio de tiempo ultra-fino d2 en un flip-flop, reponiéndose dicho flip-flop en el espacio de tiempo ultra-fino c; de esta forma, la señal ID, de la misma forma que la señal ID', está retardada para que se utilice en el espacio de tiempo siguiente;
535 entonces se referencia IDr. Cuando cada uno de los circuitos del grupo G está conectado a solamente una entrada E' de un conmutador (figura 4), los ocho dígitos de cada código deben ser comparados.

377188



21.

540

Sin embargo, en el caso (b) se ha descrito una organización diferente que consiste en conectar cada grupo de circuitos a dos entradas E' de un mismo conmutador. Esta organización permite que cada uno de los dos mensajes leídos en una misma línea de la memoria de grupo de datos sea transferido, selectivamente, en un espacio de tiempo síncrono o en un espacio de tiempo asíncrono. Para tener en cuenta esta organización, la comparación para el programa P16, está limitada a los siete dígitos más significativos, de forma que las señales ID e IDR duren dos espacios de tiempo de dígito.

545

Los flip-flops 1 a 8 del registrador Rg5 se utilizan también para recibir el código de tiempo que resulta de la búsqueda hecha por el registrador Rg7 del circuito de la figura 9.

550

Los flip-flops 9 a 12 del registrador Rg5 se utilizan para estatizar el código de espacio resultante de la búsqueda hecha por el registrador Rg9 del circuito de la figura 9.

555

Los flaps-flops 13 a 16 del registrador Rg5 se utilizan para estatizar los códigos de las diferentes fases del circuito secuencial; al principio del programa, la máquina de proceso de datos estatiza allí el código 1000, siendo estatizados los otros códigos por medio de señales suministradas por el circuito secuencial PC de la figura 10.

560

En el caso de los programas de exploración P20 a P24 y del programa P18, las señales resultantes de la decodificación del código de programa están aplicadas a circuitos asociados a diferentes grupos de enlaces. La figura 5 ilustra estos varios circuitos asociados al grupo de p enlaces que son: el circuito de detección de nuevas llamadas, el circuito de detección de cambios de estado de la señalización distintos de las nuevas llamadas, el

565

377188



22.

570 circuito de detección de los enlaces que están fuera de servicio, el circuito de detección de los canales libres correspondientes a los enlaces que no están fuera de servicio, utilizándose este último circuito durante el programa P18. Las señales de los programas P20 a P24 así como la de P18 están aplicadas simultáneamente a todos los circuitos del grupo de la central; sin embargo, durante un programa, solamente las señales procedentes de un supergrupo SG que se identifica por un código de cuatro dígitos suministrado por la máquina de proceso de datos (registrador Rgl- figura 8) son
575 utilizadas. Los supergrupos serán llamados por las referencias SG1 a SG15 e incluso por la referencia total SGU.

En el caso (c) se han descrito los circuitos que permiten detectar los cambios de estado de las señales de señalización de un grupo de p enlaces cada uno de los cuales tiene m canales.
580 Estos circuitos comprenden principalmente una memoria de $p \times m / 2$ líneas en la que la información contenida en una línea de la memoria permite procesar la señalización de dos canales del grupo considerado, un canal de un enlace impar y un canal de un enlace par. En el caso particular descrito, cada línea de la memoria de señalización MST (figura 5) comprende dos palabras de siete dígitos referenciados S1 a S7 para los enlaces impares y S'1 a S'7 para los enlaces pares. Los dígitos S1 y S2 (ó S'1 y S'2) están reservados a la indicación del estado de señalización esperado, por ejemplo, el código 01 indica que el estado esperado es el estado "libre"; los
585 dígitos S3 y S4 (ó S'3 y S'4) están reservados para la indicación del cambio de estado de la señalización recibida, por ejemplo el código 11 indica que la señal recibida es diferente de la señal
590 separada. El significado de los otros tres dígitos S5 a S7 (ó S'5

377188



23.

595 y S'7) no se dará puesto que no juega ningun papel en el circuito
objeto del presente invento.

600 En la figura 5 se han representado solamente los flip-
flops S1 a S4 y S'1 a S'4 del registrador RST en los que están
estatzados en cada espacio de tiempo síncrono el contenido de
una línea de las memorias de señalización MST/I para los enlaces
impares y MST/P para los enlaces pares. Las llamadas nuevas serán
detectadas por la condición (S1 + S2) S3.S4 ó (S'1 + S'2) S'3.S'4.
Estas señales lógicas aparecen al principio de cada espacio de
tiempo síncrono tS en todos los circuitos del grupo de la central,
pero solamente se toman en cuenta en el caso de presencia simul-
605 tánea de la señal del programa P24 (cambio de estado) ó P20
(llamadas nuevas), de la señal tS en el caso de un enlace impar y
de la señal tA en el caso de un enlace par, de la señal de selección
SGu del supergrupo, y de la señal de la primera fase Pcl del progra-
ma.

610 En el caso (a), los circuitos de sincronización de las
señales recibidas por un grupo de p enlaces han sido descritas.
Se ha visto que cuando no se detectaba tres veces sucesivas el
código de sincronización por un enlace, se consideraba que dicho
enlace estaba desincronizado y aparecía una señal Sy en cada es-
615 pacio de tiempo de dígito mn reservado al proceso de un canal de
este enlace. En la figura 5, la señal Sy significa que uno de
los enlaces del grupo está desincronizado, estando identificado
dicho enlace por el espacio de tiempo de dígito mn durante el cual
aparece la señal Sy. En el circuito objeto del presente invento,
620 esta señal Sy constituye una de las tres señales de alarma, signi-
ficando las otras dos señales de alarma, una de ellas referenciada

377188



24.

RB (figura 5) que la inversión alternativa de trabajo de las señales del mensaje ha sido infringida en uno de los enlaces identificado por el espacio de tiempo de dígito en curso y la otra referenciada
625 PM (figura 5) que la señal de la fase media de las señales recibidas no está elaborada en uno de los enlaces identificados por el espacio de tiempo de dígito en curso. La regla de Inversión Alternativa de Trabajo se refiere a una cierta forma de transmisión de las señales de mensajes en la que los dígitos 1 sucesivos de un mensaje se transmiten en forma de dos impulsos de polaridades diferentes.
630

La infracción de esta regla es detectada en el repetidor de entrada del circuito de enlace entrante. La señal de la fase media que es elaborada en cada repetidor de una línea de transmisión PCM se utiliza para reconstruir las señales del mensaje; su
635 ausencia tiene como consecuencia la imposibilidad de reconstituir los mensajes y se ha previsto para que informe de ello a la máquina de proceso de datos.

Durante el programa P18 es necesario conocer si los canales permitidos están libres y corresponden a enlaces que no están
640 fuera de servicio. Como se verá durante la explicación del proceso del programa P18, la información de alarma debe estar disponible durante dos espacios de tiempo de dígito sucesivos, debiendo ser el primer espacio de tiempo de dígito un espacio de tiempo síncrono y el segundo espacio de tiempo de dígito un espacio de tiempo asíncrono.
645 Pero cada enlace de un grupo se procesa en el espacio de tiempo de dígito mn asociado a este enlace, y por lo tanto las señales de alarma procedentes de los enlaces impares solamente pueden aparecer en los espacios de tiempo de dígito impares mn, esto es en los tiempos síncronos tS según se ha representado en las fig. 2.b

377188



25.

650 y 2.d y las señales de alarma procedentes de los enlaces pares pueden aparecer únicamente en los espacios de tiempo asíncrono tA (figuras 2.B y 2-e.). Se comprende que para almacenar la señal de alarma durante un espacio de tiempo síncrono y durante el espacio de tiempo asíncrono siguiente, es necesario disponer de dos flip-flops. En el caso de cuatro enlaces impares de un grupo, bast con un solo flip-flop. Por el contrario en el caso de los cuatro enlaces pares, la señal de alarma aparece solamente durante la parte asíncrona de un espacio de tiempo de base, y así es necesario disponer de un flipflop por canal par.

660 En la figura 5, la señal de alarma DrI de un enlaces impar aparece para la condición lógica $(S_y + R_B + P_M) t_{S.b}$ y la señal de alarma DrP de un enlace par como el N2 aparece para la condición $(S_y + R_B + P_M) N_{2.tA.b}$, viniendo la señal N2 de la decodificación de los dígitos A6 y A7 del código de reloj Ct' por el circuito decodificador Dc9. El flip-flop correspondiente a los enlaces impares se repone al principio de cada espacio de tiempo síncrono fino tS.a mientras que un flip-flop correspondiente a un enlace par, como el N2 solo se repone cuando desaparece una señal de alarma, esto es para la condición $S_y + R_B + P_M$ (circuito inversor 15 de la figura 5).

670 El hecho de que un canal está libre y disponible (falta de alarma) será detectado por la condición $\overline{S_1} \overline{S_2}$ para un canal de un enlace impar y por la condición $\overline{S'_1} \overline{S'_2}$ en el caso de un enlace par.

675 Se ha visto, con relación a la figura 3, que el código 0000 leído en la línea x de las memorias de camino de espacio síncronas y asíncronas quiere decir que no está cerrado ningún punto

377188



26.

680 de cruce de la vertical correspondiente en el tiempo de espacio
tSx en el caso de una memoria síncrona ó en el espacio de tiempo
tAx en caso de una memoria asíncrona. Se comprende que para saber
si una vertical de un conmutador está libre es suficiente con
comparar los códigos de espacio g contenidos en las dos memorias
síncronas y asíncronas con el código 0000, significando la iden-
685 tidad que está libre una vertical en el momento determinado por
el orden de la línea leída, estando determinada la elección del
tiempo síncrono o asíncrono por la memoria en la que se ha leído
el código 0000.

Inversamente, para conocer si está ocupado un punto
de cruce de una vertical, basta con comparar los códigos de es-
690 pacio de este punto de cruce con los códigos de espacio g conte-
nidos en las dos memorias de camino de espacio síncrono y asíñ-
crono asociadas a esta vertical; la identidad quiere decir que
este punto de cruce está siendo utilizado en el tiempo determina-
do, por una parte por el orden de la línea leída y, por otra par-
695 te, por la memoria que contiene dicho código.

La figura 6 representa las memorias MSS' y MSA' y su
circuito comparador de código asociado C'p. Esta figura muestra
que las memorias son leídas en una forma cíclica en los espacios
de tiempo síncronos tS y que los dos códigos leídos en cada es-
700 pacio de tiempo tS están transferidos a los registradores RSS'
y RSA'. Los códigos de los registradores RSS' y RSA' son compa-
rados, respectivamente en los espacios de tiempo tS y tA con el
código CE' enviado por el ordenador a través de los flip-flops
9 a 12 del registrador Rgl (figura 8). El resultado de la com-
705 paración (señal id') se toma solamente en cuenta en presencia de

377188



27.

la señal se selección SGu del supergrupo y de la señal de la primera fase Pcl del circuito secuencial.

710 La forma de búsqueda de un camino de espacio en el segundo paso Q es idéntico al del primer paso y el circuito correspondiente es similar. Comprende, como se ha representado en la figura 7, un comparador de código Cp que recibe por una parte el código CE y por otra parte los códigos de espacio suministrados por los registradores RSS y RSA y procedentes de las memorias MSS y MSA, Se han previsto condiciones adicionales para la señal de identidad id. En efecto, en las figuras 3 y 4, se ha supuesto, por una parte, que todas las entradas E' están conectadas a unos circuitos de grupo y, por otra parte, que toda la central está controlada por una máquina de proceso de datos que puede realizar todas las operaciones necesarias para el establecimiento de una comunicación telefónica tales como la recepción de la marcación, la actualización de las memorias de los conectores, la detección de las llamadas nuevas, la búsqueda de la identificación de un camino..... El circuito objeto del presente invento se ha preparado, como se ha mencionado previamente, para descargar al ordenador de las operaciones de exploración de nuevas llamadas, la exploración de los cambios distintos de las llamadas nuevas, la exploración de las alarmas, la búsqueda e identificación de camino. Para descargar al ordenador de las operaciones de recepción de la marcación y de la actualización de las memorias y de los conectores, se han previsto circuitos conectados en la misma forma que los circuitos de grupo para las 730 entradas E' de la red de conmutación que tiene así acceso a las memorias de los conectores a través de la red de conmutación. Estos



377188

28.

735 circuitos han sido mencionados en el caso (b). Con relación al
circuito objeto del presente invento, estos circuitos llamados "mul-
tiseñalizadores" están considerados como circuitos de grupo de forma
que las llamadas procedentes de estas unidades pueden ser detecta-
das e incluso puede buscarse un camino libre entre un multiseñali-
zador y un abonado, almacenándose dicho camino en las memorias de
los conectores. Además, para algunas operaciones realizadas por
740 estas unidades de los espacios de tiempo presentes, tw , en parti-
cular las operaciones de actualización de las memorias de los conec-
tores, el camino no está almacenado en las memorias y los códigos
de espacio de los puntos de cruce son suministrados directamente por
dicho multiseñalizador en los espacios de tiempo tw . Estos códigos
745 de espacio están también aplicados a los circuitos comparadores
 C_p y C_c (figuras 6 y 7) en vez de los códigos leídos en los espa-
cios de tiempo tw en las memorias. Se comprende que las semiconexio-
nes que existen en la central no son todas las semiconexiones a tra-
vés de las que pasa una conversación entre dos abonados. Entonces,
750 para conocer el tipo de semiconexión se prevé almacenarla. Para este
fin, la memoria de conector comprende dos columnas adicionales S y
A (figura 7) que indican si la semiconexión es una conversación
(señal CV) durante un espacio de tiempo síncrono (columna S) o du-
rante un espacio de tiempo asíncrono (columna A). La señal CV actúa
755 en la señal de salida id del comparador C_p . Para el programa P18,
las señales de identidad id . y de conversación CV no pueden existir
simultáneamente porque en cuanto haya una conversación, el código de
espacio es diferente de cero; entonces se tiene siempre la señal $M1$,
indicando la señal que aparece un conector libre para la condición
760 id . CV.

377188



29.

765 En el programa P19, dispuesto para identificación, en una primera etapa, del conector utilizado en el espacio de tiempo $t'x$ en un enlace de conversación, y en una segunda etapa, el espacio de tiempo $t'y$ del canal saliente utilizado, apareciendo la señal M1 si, por una parte, hay identidad y conversación (Condición id. CV, figura 7) y si, por otra parte, la señal id. aparece en el espacio de tiempo $t'x$ (condición P19. D'e . ID. Sjv. Pcl, figura 7). Esta señal M1 se almacena en una columna adicional de la memoria de datos de los conectores MDJ de la línea seleccionada en ese instante, siendo dicha línea seleccionada la línea x si el espacio de tiempo $t'x$ es sincrónico o una línea z cuya código Cz haya sido leído en el espacio de tiempo sincrónico tSx en la memoria de tiempo MCT si el espacio de tiempo $t'x$ es asíncrono. Si el espacio de tiempo $t'x$ es sincrónico, la línea x de la memoria MDJ se seleccionará de nuevo en un espacio de tiempo asíncrono tSy que es el espacio de tiempo de búsqueda. Si el espacio de tiempo $t'x$ es asíncrono, la línea z de la memoria MDJ se seleccionará de nuevo en el espacio de tiempo asíncrono tSz que es el espacio de tiempo de búsqueda.

775
780 Debe señalarse que si el espacio de tiempo $t'x$ es asíncrono, el espacio de tiempo sincrónico tSz es dado directamente por el código Cz leído en el espacio de tiempo sincrónico $t'x$ en la memoria MCT.

785 El circuito de la figura 5 está asociado a un grupo de p enlaces y los circuitos de las figuras 6 y 7 están asociados a un conector; las señales de información que suministran están estatuadas en el registrador RG (figura 9) en lo que se refiere a la información procedente del circuito de la figura 5 y en los registradores RM y RJ (figura 9) en lo que se refiere a la información pro-

377188



30.

790 cedente respectivamente de las figuras 6 y 7. Cada registrador com-
prende quince flip-flops que permiten estatizar las quince informa-
ciones procedentes de un supergrupo o de un superconector. Estos tres
registraros se liberan en el espacio de tiempo fino de cada espa-
cio de dígitos y se escriben en cada tiempo ultra-fino d2 de la pri-
mera fase Pcl de un programa. Las señales de estado de estos regis-
795 tradores están aplicadas a circuitos AND controlados por las señales
de programa, las señales de identidad ID_r e ID'_r, las señales de se-
lección E₁ a E'₁₅ de uno de los grupos, las señales de selección
L₁ a L'₁₅ de uno de los enlaces. El circuito de la figura 9 per-
mite procesar la información contenida en los registradores RG, RM
800 y RJ para obtener un código de reloj y un código de espacio. Así,
en el caso de un programa de exploración de llamadas nuevas, esta
llamada nueva es identificada por el espacio de tiempo t'_x durante
el que es detectada y por el código de espacio del grupo del que pro-
cede.

805 Cada programa comprende tres fases que son elaboradas a
través de un circuito secuencial PC representado en la figura 10.
Comprende los flip-flops 13 a 16 del registrador Rg5 de la figura 8
en la que el ordenador escribe el código 1000 al principio de cada
programa. En el espacio de tiempo fino a, los dígitos 13 y 14 son
810 transferidos al registrador Rg10 asociado a un circuito decodificador
Dc7 que suministra las señales de fase Pc0 a Pc3; la tabla 4 da la
correspondencia con los códigos. El paso de una fase a la siguiente
es controlado por las señales VA y VG resultantes del estado del cir-
cuito lógico de la figura 9. La modificación de los dígitos 15 y 16
815 se obtiene de las señales que resultan de las condiciones de tiempo

377188



31.

previstas para limitar el tiempo de cada programa; así, la señal De aparece cuando se han detectado algunos códigos de reloj y la señal Fi aparece cuando se ha detectado el mismo código de reloj supuesto que la primera señal De haya aparecido ya. Estos códigos se definirán en el curso de la descripción de la forma de operación de los programas.

T A B L A 4

| <u>Códigos</u> | <u>Fases</u> | <u>Significación</u> |
|----------------|--------------|--------------------------------|
| 00 | Pc0 | ninguna |
| 825 10 | Pc1 | exploración |
| 11 | Pc2 | elección del código de espacio |
| 01 | Pc3 | programa completado |

La forma de funcionamiento de los distintos programas cuyo significado se resume en la tabla 2 se describe a continuación.

Programa P20

La finalidad de este programa es la detección de nuevas llamadas. Para este fin la máquina de proceso de datos suministra la siguiente información:

- el código del programa P20,
- el código del supergrupo AGu en el que estamos interesados,
- el código del enmascaramiento que prohíbe algunos grupos,
- el código correspondiente a la fase Pc1.

En cada espacio de tiempo síncrono, las quince informaciones correspondientes a los enlaces impares (figura 5) del supergrupo SGu están estatizadas en el registrador RG (figura 9), las quince informaciones referentes a los enlaces pares están estati-

377188



32.

845 zadas en cada espacio de tiempo asíncrono. Esta información se
transfiere al registrador Rg6 previamente liberado por la señal
Pc3.b del programa precedente, a través de la serie de circuitos
AND SE1 controlados por la señal P20, estando controlada la serie
de circuitos OR S01 y la serie de circuitos AND SE4 por la señal
Pc1.b. Las salidas de los registradores Rg6 están conectadas a la
850 serie de circuitos AND SE 5 cuyas otras dos entradas reciben, por
una parte, las señales de enmascaramiento M1 a M15 y, por otra
parte las señales de salida del registrador Rg8 todos cuyos flip-
flops están en el estado 1 por la señal P18. Pc1. b. Si en un es-
pacio de tiempo cualquiera t'x está llamando un canal de un grupo
855 permitido por el enmascaramiento, uno de los circuitos AND SE5 se
abre y suministra una señal VA que, a través del circuito OR 1,
el circuito inversor 2 y el circuito múltiple AND 10, previene
en el espacio de tiempo ultra-fino Pc1. d1 la escritura del código
de reloj Ct,x + 1 en el registrador Rg7; el código de reloj Ct'x
860 que está estatizado identifica el canal que llama de un grupo.
Para determinar el grupo o para seleccionar uno de los grupos po-
sibles si hay varios canales de un supergrupo que están llamando
en el mismo espacio de tiempo t'x, se ha previsto un circuito de
selección que comprende el registrador Rg9, el decodificador Dc8
865 de los cuatro dígitos A5 a A8 de los códigos de reloj, los circuitos
AND SE6 cuyas dos entradas están conectadas, por una parte a las
salidas de los circuitos AND SE5 y por otra parte a las salidas H1
a H15 del decodificador Dc8.

A través del circuito AND 11 (figura 10) controlado por
870 la señal Pc1, la señal de salida VA del circuito OR 1 (figura 9)
elabora la señal de paso a la fase Pc2 (figura 10) durante la cual

377188



33.

875 se eligen las de los grupos que llaman. Cuando uno de los circuitos
AND SE6 se abre, su posición, y así el grupo al que corresponde,
está determinado por la salida H del decodificador Dc8 que está ex-
citada en ese instante; el código de grupo es así el código formado
por los dígitos A5 a A8 del código de reloj Ct' en ese momento;
Dichos dígitos están transferidos en el registrador Rg9 en el es-
pacio de tiempo ultra fino Pc2.d1 a través del circuito AND múlti-
ple 6 controlado por la señal de salida VG del circuito OR 5. La
880 señal de salida VG del circuito OR 5 controla también el cambio a
la fase Pc3 (condición VG.Pc2.d2, figura 10). El resultado de
esta búsqueda de nuevas llamadas, la identidad del canal (regis-
trador Rg7) y el grupo (registrador Rg9) se transfieren respecti-
vamente a los flip-flops 1 a 8 y 9 a 12 del registrador Rg5 (con-
885 dición Pc3. Fi, figura 9).

En el caso en que no esté llamando ningún canal en un
grupo permitido, se prevé limitar la duración de la búsqueda a me-
nos de dos ciclos completos. Para este fin, se ha previsto elabo-
rar una señal De cuando se detecte un cierto código de reloj Ct'c,
890 elegido previamente, durante la fase Pcl (condición P20 + P24).
Ct'c. Pcl, figura 10), para elaborar a continuación una señal Fi
cuando aparezca el código Ct'c una segunda vez durante la fase Pcl
(condición (P20 + P24) Ct'c.Pcl.De, figura 10), y para cambiar a
la fase final Pc3 si no se ha detectado ningún canal llamando
895 (condición Pcl. Fi. VA, figura 10).

Programa P24

La finalidad de este programa es detectar los cambios
de estado de la señalización que no correspondan a llamadas nuevas
y es idéntico el programa P20 antes descrito.

377188



34.

900

Programas P21, P22, P23

La finalidad de estos programas es detectar si un enlace de cualquiera de los supergrupos SGu está fuera de servicio y no puede utilizarse, por lo tanto.

905

Para este fin, la máquina de proceso de datos suministra la información siguiente :

- el código de uno de los programas P21, P22, ó P23,
- el código del supergrupo SGu en el que estamos interesados,
- el código del enmascaramiento de prohibición de algunos grupos,
- el código correspondiente a la fase Pcl,
- el código del enlace en el que estamos interesados,
- el código del enmascaramiento de los canales constituidos por los dígitos 1 solamente.

910

915

En cada espacio de tiempo síncrono y asíncrono, las informaciones de alarma correspondientes a uno de los tres programas se escriben en el registrador RG; se transfieren al registrador Rg6 solamente cuando la presencia de la señal de identidad ID'r está aplicada a los circuitos AND SE2. De esta forma, solamente la señal de alarma correspondiente al enlace especificado en el programa se toma en cuenta.

920

925

El proceso de la información es entonces idéntico al descrito con relación al programa P20. Entonces, la señal VA aparece si el enlace está en alarma, en cualquiera de los grupos y el código de este enlace se da con los dígitos A6, A7 y A8 del código de reloj estatizado en el registrador Rg7 siendo el código del grupo el contenido en el registrador Rg9.



377188

35.

930 Al principio de un programa el código de reloj es uno
cualquiera y en particular los tres dígitos menos significativos A6,
A7 y A8 que dan el código del enlace no corresponden en general al
enlace en el que estamos interesados. Entonces, es necesario propor-
cionar un tiempo de búsqueda que permita explorar por lo menos una
vez todos los enlaces. La señal De aparece entonces cuando un cier-
to código Ctj formado por los dígitos A6 a A8 del código de reloj se
935 detecta una primera vez y aparece la señal Fi la segunda vez que se
presenta este código Ctj.

Programa P16

La finalidad de este programa es la búsqueda de un enlace
libre o la identificación de un enlace ocupado entre un conmutador
940 Q'u y un conmutador del segundo paso Q en un espacio de tiempo dado
t'x síncrono o asíncrono en el caso en que cada circuito del grupo
esté conectado a dos entradas de un conmutador, La Máquina de pro-
ceso de datos suministra entonces la información siguiente:

- el código del programa P16,
- 945 - el código del conmutador Q'u, esto es de hecho el código
del supergrupo SGU; debido al agrupamiento de las memorias (fig. 4)
las memorias MSS' y MSA' están en el superconector SJu,
- el código de tiempo Ct'x limitado por la señal P16 (fi-
gura 9), a los siete dígitos más significativos puesto que la entra-
950 da E' del conmutador Q'u puede utilizarse selectivamente en espacios
de tiempo síncronos o asíncronos si se supone que cada grupo está
conectado a dos entradas de un conmutador,
- el código de enmascaramiento de los enlaces,
- el código de la fase Pcl del circuito secuencial,



377188

36.

955 - el código 0000 para una búsqueda (o el código CE' de la entrada E' para una identificación) en los flip-flops 5 a 8 del registrador Rgl.

960 En cada espacio de tiempo síncrono, el código 0000 (o CE') es comparado con el código de espacio leído en ese espacio de tiempo en la memoria MSS' y, en cada espacio de tiempo asíncrono, se compara dicho código con el código de espacio leído en la memoria MSA' (figura 6). El resultado de estas comparaciones correspondientes a las memorias MSS' y MSA' asociadas al conmutador Q'u se transfieren al registrador RM (figura 9); solamente se toman
965 en cuenta durante la presencia de la señal IDR (circuitos AND SE7), teniendo dichas señales una duración de un espacio de tiempo de base puesto que solamente se comparan los siete dígitos más significativos del código Ct'x y del código de reloj Ct'.

970 En la salida de los circuitos AND SE7, la información sigue el mismo proceso que durante el programa P20; así, si uno de los enlaces permitidos por el enmascaramiento está libre (o identificado), aparece la señal VA y el código representado por el registrador Rg7 (figura 9) da el código del canal en el grupo, esto es, el espacio de tiempo síncrono y asíncrono; el código del enlace libre
975 L' (o identificado) está dado por el registrador Rg9.

El tiempo de proceso de la información en el caso de que no haya resultado, está limitado a la duración de la señal IDR en este caso particular, esto es, un espacio de tiempo de base. La señal De aparece para la condición (P16 + P17). IDR. Pcl, (figura
980 10) y la señal Fi para la condición (P16 + P17). De. tA. Pcl, (figura 10).

Programa P17



377188

37.

Este programa es idéntico al programa P16, pero está aplicado en el caso de que cada circuito de grupo esté conectado a una sola entrada del conmutador. El código de tiempo Ct'x comprende entonces ocho dígitos, de forma que la señal IDr dura solamente un espacio de tiempo de dígito.

Programa P18

La finalidad de este program es buscar un camino libre entre una entrada libre E en un espacio de tiempo t'x de un conmutador Qv y uno de los canales salientes que están asignados y libres de un enlace conectado a una entrada E'w de un conmutador Q'u. Todos los conectores, conectados al conmutador Qv que están libres en el espacio de tiempo t'x, se determinan primero, luego se determina si uno de los canales salientes permitidos de un enlace conectado a la entrada E'w, si el enlace L'uv que conecta los conmutadores Qv y Q'u y si los conectores del superconector SJv están libres simultáneamente en uno de los espacios de tiempo permitidos que se llamará t'y, finalmente está determinado si el conector libre en el espacio de tiempo t'y está también libre en el espacio de tiempo t'x.

Este programa P18 es la continuación del programa P16 (ó P17) que ha permitido determinar el enlace libre L' en el espacio de tiempo t'x; con este código de enlace libre, el ordenador, que se supone que conoce la interconexión entre los dos pasos, determina el conmutador Qv al que está conectado este enlace libre. Para el programa P18 la máquina de proceso de datos suministra la información siguiente:

- El código del conmutador Qv al que está conectado el enlace libre determinado por el programa P16 (ó P17), esto es el código del superconector SJv,



377188

38.

- el código del programa P18,
 - el código de la entrada E'w al que están conectados los canales salientes permitidos,
 - el código del conmutador Q'u al que está conectada la entrada E'w,
 - el código del enlace L'uv del conmutador Q'u que está conectado al conmutador Qv; este código está determinado por la máquina de proceso de datos a partir del diagrama de interconexión entre los dos pasos. En el caso de que haya varios enlaces L'uv que conectan los conmutadores Q'u y Qv, está claro que la máquina de proceso de datos suministrará los códigos de dichos enlaces L'uv utilizándose cada uno de dichos códigos por turno si la búsqueda no tiene éxito.
 - el código de enmascaramiento de los conectores permitidos,
 - el código de enmascaramiento de los canales salientes permitidos,
 - el código del enlace al que pertenecen los canales salientes permitidos,
 - el código de tiempo Ctⁱx durante el que el enlace, determinado por el programa P16 (ó P17) está libre,
 - el código 0000 de los flip-flops 5 a 8 del registrador Rgl,
 - el código de la fase Pcl del secuencial.
- En cada espacio de tiempo síncrono, se compara el código 0000 con el código de espacio leído en ese tiempo en la memoria MSB y en cada espacio de tiempo asíncrono se compara dicho código con el código de espacio leído en el espacio de tiempo síncrono prece-



377188

39.

1040 dente en la memoria MSA. El resultado de estas comparaciones que
corresponde a las memorias MSS y MSA asociadas al conmutador Qv,
se transieren al registrador RJ (figura 9). Solamente se toman
en cuenta en el espacio de tiempo t'x, esto es durante la presen-
cia de la señal IDR aplicada a los circuitos AND SE11. La infor-
mación de los conectores libres en el espacio de tiempo t'x se al-
macena en el registrador Rg8, Si uno de los conectores está libre,
1045 en cuyo caso el circuito OR 7 suministra una señal de apertura de
los circuitos AND SE10, se cambia a la etapa siguiente de búsqueda
que consiste en buscar si, en cada espacio de tiempo permitido,
uno de los canales salientes permitidos, el enlace L'uv y los co-
nectores del superconector SJv están libres simultáneamente. Du-
rante esta etapa, el registrador RM recibe los resultados de las
comparaciones entre el código 0000 y los códigos de espacio de
las memorias MSS' y MSA' asociados al conmutador Q'u; esta infor-
mación de los enlaces libres se compara, en los circuitos AND SE8,
1050 al código 1 entre 15 que identifica el enlace L'uv que conecta
el conmutador Q'u, al que están conectados los canales salientes
permitidos, al conmutador Qv, al que está conectado al enlace deter-
minado por P16 (ó P17); si hay identidad, el circuito OR 9 suminis-
tra una señal de apertura de los circuitos AND SE10.

1060 El registrador RG recibe, durante el programa P18, la
información de los canales libres, estando considerado un canal
como libre si el estado de señalización esperado corresponde al es-
tado libre (condición S1. S2 para los enlaces impares, figura 5)
y si el enlace no está en alarma (condición DrI para los enlaces
1065 impares, figura 5).



377188

40.

Cuando el enlace es impar, es suficiente tener en cuenta solamente la información procedente de los enlaces impares; de la misma forma, cuando el enlace permitido es par, es suficiente considerar solamente la información procedente de los enlaces pares.

1070 Esta elección se hace por medio del dígito menos significativo del código del enlace permitido, estatizándose dicho dígito en el flip-flop 27 de los registradores Rg3- Rg4 (figura 8). La señal de estado PAR de este flip-flop es igual a 0 si el enlace permitido es impar e igual a 1 si el enlace permitido es par.

1075 Como resultado del empleo de flip-flops para almacenar las señales de alarma (figura 5), la señal de canal libre aparece durante un espacio de tiempo de base puesto que es posible establecer el semienlace durante un espacio de tiempo síncrono o durante un espacio de tiempo asíncrono (caso de cada grupo conectado a dos enttadas de un conmutador); la elección entre estas dos soluciones síncrona o asíncrona para el espacio de tiempo $t'y$ es dirigida por el espacio de tiempo $t'x$; así, si $t'x$ es síncrono, $t'y$ será asíncrono e inversamente. Esta elección se obtiene aplicando al comparador Cpl (figura 8) el complemento al dígito menos

1080 significativo $A'8$ del código $Ct'x$ en vez de la señal PAR. La información de los canales libres se compara a través de los circuitos AND SE3, con el código 1 entre 15 (señal $E'w$), que identifica la entrada $E'w$ a la que están conectados los canales salientes permitidos. Si hay identidad, el circuito OR 8 suministra la señal de

1085 apertura de los circuitos AND SE10. Si en un espacio de tiempo permitido $t'y$ (señal $ID'r$), el enlace $L'uv$ está libre y si existe un

1090 canal saliente libre, el contenido del registrador RJ se transfiere



377188

41.

al registrador Rg6.

1095 Si hay uno o varios conectores libres, la tercera etapa
consiste entonces en buscar un conector que este libre al mismo
tiempo en $t'x$ y en $t'y$. Para este propósito, el contenido de los
registradores Rg6 y Rg8 así como los enmascaramientos M1 a M15 de
los conectores permitidos se compara a través de los circuitos AND
SE5. La elección de uno de los conectores se hace en la misma for-
1100 ma que durante los otros programas. Si hay un camino libre, el có-
digo de tiempo es dado por el registrador Rg7.

1105 Para limitar el tiempo de búsqueda, la señal De (figura
10) se elabora cuando aparece el código $Ct'x$ durante el primer tiem-
po (condición $P18 + P19$). $ID_r \cdot Pc_1$, figura 10) y se elabora la se-
ñal Fi cuando aparece el código $Ct'x$ en el segundo tiempo (condi-
ción $(P18 + P19) \cdot IDR \cdot Pcl.De$), que significa que se han explorado
todos los casos posibles incluido el caso en que el tiempo $t'y$ que
está explorado corresponda al mismo espacio de tiempo de base que
el espacio de tiempo $t'x$ dado.

1110

Programa P19

La finalidad del programa P19 es identificar el conector
del espacio de tiempo $t'y$ utilizado para conectar en el espacio de
tiempo $t'x$ un enlace con un canal saliente; este programa sigue nor-
malmente al programa P16 (ó P17). Las informaciones que son sumi-
1115 nistradas por la máquina de proceso de datos son las siguientes:

- el código del conmutador Qv al que está conectado el
enlace identificado por el programa P16 (ó P17).

- el código del programa P19,

- el código del enmascaramiento de los conectores permiti-

1120

dos,



377188

42.

- el código de tiempo Ct'x durante el que el enlace, determinado por el programa P16 (ó P17) está ocupado,

1125 - el código CE de la entrada E del conmutador Qv al que está conectado el enlace indentificado por el program P16 (ó P17); este código está estatizado en los flip-flops 5 a 8 del registrador Rgl.

- el código de la fase Pcl del secuencial.

1130 En cada espacio de tiempo síncrono y asíncrono, el código CE de la entrada E del conmutador Qv se compara respectivamente con los códigos de espacio de las memorias MSS y MSA del superconector SJv; sin embargo, la señal resultante de una comparación solamente se toma en cuenta en el espacio de tiempo t'x (condición P19. De. ID. figura 7). Si en un espacio de tiempo t'x (condición P19. De- ID. figura 7) hay identidad entre los dos códigos y si está en curso una conversación (señal CV, figura 7), por una parte, se estatiza un dígito 0 en el registrador RJ y, por otra parte, se almacena un dígito 1 en el emplazamiento M1 de la memoria de conversación del conector y en la línea seleccionada en este espacio de tiempo en dicha memoria. Por elcontrario, si hay identidad pero no conversación, por una parte, se estatiza un dígito 1 en el registrador RJ y un dígito 0 se almacena en el emplazamiento M1 de la memoria MDJ. El dígito 1 que aparece en el espacio de tiempo t'x en el registrador RJ significa que el semienlace no es un semienlace de conversación y que el programa P19 ha terminado. Como

1135

1140

1145 se ha explicado con relación a la figura 7, si interviene un semienlace de conversación y si el espacio de tiempo t'x es síncrono, el dígito M'1 será leído en el espacio de tiempo asíncrono tAy que es el espacio de tiempo explorado; inversamente, si el espacio de tiem-



377168

43.

1150

po t'x es asíncrono, el dígito $M'_1 = 1$ será leído en el espacio de tiempo síncrono tSy. En cuanto el dígito M'_1 está escrito en el registrador RJ, aparece la señal VA y el código de tiempo t'y buscando se representa en el registrador Rg7. El registrador Rg9 da después la identidad del conector en el superconector SJv que ha suministrador el dígito $M'_1 = 1$, esto es el conector utilizado para la conexión.

1155

El tiempo de exploración del dígito M1 de los conectores está limitado al intervalo de tiempo entre dos espacios de tiempo de reloj t'x; este intervalo de tiempo es detectado por las condiciones $De = (P18 + P19)$. $IDr. Pcl$ y $Fi = (P18 + P19)$. $IDr.Pcl.De$. Para que la señal M1 pueda aparecer solamente una vez en el curso del programa, solamente aparece para la condición $P19.De. ID$.

1160

Por razones de seguridad de funcionamiento de la central, se ha previsto utilizar dos circuitos de exploración y búsqueda que se llamarán A y B, comprendiendo cada circuito A ó B los circuitos de las figuras 8, 9, 10 y 11, los circuitos asociados a todas las memorias de señalización, un ejemplo de lo cual se ha representado en la figura 5, los circuitos lógicos asociados a la salida de todos los comparadores Cp y C'p, los circuitos de emisión de códigos de espacio de todos los comparadores, ejemplos de la forma de conseguir un superconector, de los que se han representado en las figuras 12 y 13.

1165

1170

Si el circuito de emisión de códigos de espacio es el de la figura 12, permitiendo dicho circuito enviar el código de espacio a todos los comparadores C'p y Cp de un superconector definido por la señal SGu ó SJv suministradas por los decodificadores Dc3 y Dc4 de la figura 8, las formas posibles de operación de los circuitos A y B, son las siguientes:

1175

377188



44.

19.- Los circuitos A y B pueden funcionar por turno;

1180 20.- Los circuitos A y B pueden poner en funcionamiento simultáneamente los mismos programas que se refieren al proceso de información procedentes de los supergrupos, estos es los programas P20 a P24, y ésto en un mismo supergrupo o en supergrupos diferentes. También pueden poner en funcionamiento simultáneamente los programas P16 (ó P17) y P18 referentes a una búsqueda de camino puesto que los códigos de espacio que se envían están constituidos siempre por ce-
1185 ros. Por el contrario, no pueden poner en funcionamiento simultáneamente los programas P16 (ó P17) y P19 referentes a una identificación de camino solamente en superconectores fierentes, puesto que los códigos de espacio que se envían son diferentes en general.

1190 Si el circuito de emisión de códigos de espacio es el de la figura 13, permitiendo dicho circuito enviar los códigos de espacio CE' a los comparadores C'p y los códigos de espacio CE a los comparadores Cp, los circuitos A y B pueden poner en funcionamiento simultáneamente los programas P16 (ó P17) y P19 referentes a una identificación de camino en un mismo superconector.

1195 Si, en vez de tener circuitos A y B con comparadores comunes, cada circuito A y B comprenden los comparadores C'p y Cp, dichos circuitos A y B son entonces independiente y puede ponerse en funcionamiento un programa P16 (ó P17) y un programa P19 simultáneamente en los dos circuitos A y B.

1200 Aunque los principios de este invento se han descrito en relación con realizaciones específicas y sus modificaciones particulares, se sobrentiende que esta descripción se ha hecho a título de ejemplo y no como una limitación del alcance del invento.



377188

45.

Este invento corresponde a una solicitud formulada en Francia, el día 6 de Marzo de 1969, señalada con el n.º. 6906194, y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 1210 1.- Un circuito de exploración y búsqueda de camino de un centro de conmutación de datos de multiplex por división en el tiempo que funciona en modulación de código de impulsos en el que las operaciones están controladas por una máquina de proceso de datos, comprendiendo dicha central de conmutación una red de conmutación circuitos para un grupo de p enlaces, en donde p es el número de dígitos de cada mensaje de canal, conectado a la entrada de la red de conmutación y previsto para hacer en la recepción una conversión serie a paralelo y, en la transmisión una conversión paralelo a serie de los dígitos de los mensajes de canales de p enlaces, circuitos de detección
- 1220 y de interpretación de los dígitos de señalización asociados a cada circuito de un grupo de p enlaces que comprenden principalmente una memoria de señalización en la que están almacenados para cada canal del grupo, el estado de la señalización esperada y la indicación del cambio, si hay alguno del estado de señalización con relación al estado
- 1225 do esperado, memorias de datos de enlaces conectados a la salida de la red de conmutación, comprendiendo cada enlace, además de una memoria de datos una memoria de camino de tiempo y memorias de camino de espacio para establecer una conexión entre dos canales, estando actualizadas dichas memorias por la máquina de proceso de datos con relación
- 1230 ción a las comunicaciones en curso; un circuito de reloj para suminis-

POOR QUALITY

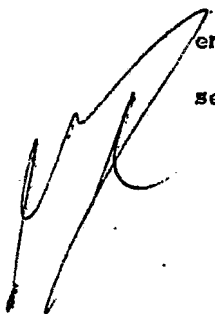


377188

46

tratar señales cíclicas, estando controlado dicho circuito de exploración y búsqueda de camino por la máquina de proceso de datos para procesar las señales suministradas por circuitos asociados a los circuitos del grupo de enlaces, con las memorias de señalización y
1235 con las memorias de camino de espacio, detectando dicho dispositivo de exploración y de búsqueda de camino las señales de alarma de los enlaces, las llamadas nuevas y otros cambios de estado de señalización así como la búsqueda de un camino libre y la identificación de las conexiones ocupadas.

1240 2.- Un circuito de exploración y búsqueda para un centro de conmutación de datos de acuerdo con el punto 1 en el que dicho dispositivo de exploración y búsqueda de camino está caracterizado por el hecho de que en cada circuito de un grupo, aparecen las señales de alarma de los enlaces en cada espacio de tiempo de dígito
1245 durante el que se está procesando un canal perteneciente a dicho enlace, por el hecho de que las memorias de señalización se leen en una forma cíclica y las señales leídas se aplican a circuitos lógicos que detectan para cada canal de un grupo las llamadas nuevas y los otros cambios de estado de la señalización, por el hecho de
1250 que las memorias de camino de espacio se leen en una forma cíclica y los códigos de espacio leídos se aplican a un comparador que recibe por otra parte el código de espacio suministrado por la máquina de proceso de datos, identificando dicho código de espacio un punto de cruce de la red de conmutación en el caso de una identificación
1255 de una conexión ocupada o que no corresponde a ningún punto de cruce en el caso de una búsqueda de un camino libre, por el hecho de que se han previsto circuitos para almacenar y decodificar la informa-





377188

47.

1260 ción necesaria para el funcionamiento del dispositivo de exploración
y búsqueda de camino, siendo suministrada dicha información por la
máquina de proceso de datos, por el hecho de que las señales sumi-
nistradas por circuitos del grupo están conectadas a un mismo se-
lector, por el hecho de que los circuitos lógicos asociados a las
memorias de señalización que corresponden a los circuitos de un
grupo conectados a un mismo selector, y por el hecho de que los com-
1265 paradores asociados a las memorias de camino de espacio de los
enlaces conectados a un mismo conmutador están aplicados a un cir-
cuito secuencial lógico que determina las coordenadas de tiempo y
de espacio del enlace que están con alarma, o del canal que llama
o del canal que cambia su estado sin haber sido llamado o de los
1270 caminos libres o de las conexiones ocupadas que tienen que identifi-
carse.

3.- Un circuito de exploración y búsqueda para un centro
de conmutación de datos de acuerdo con el punto 1 en el que los có-
digos de los enmascaramientos son suministrados por la máquina de
1275 proceso de datos, permitiendo dichos códigos, en el circuito ló-
gico secuencial, tomar en cuenta únicamente las señales de alarma
procedentes de ciertos circuitos del grupo de enlaces de un super-
grupo o de las señales de cambios de estado procedentes de los
circuitos lógicos asociados a ciertas memorias de señalización
1280 de un supergrupo, o las señales de identidad procedentes de com-
paradores asociados a ciertas memorias de camino de espacio de un
superenlace o las señales relativas a ciertos canales.

4.- Un circuito de exploración y búsqueda para un centro
de conmutación de datos de acuerdo con el punto 1 en el que el



377188

48.

1285 circuito lógico secuencial está caracterizado por el hecho de que la duración de una exploración referente a las alarmas, o las llamadas nuevas, o los cambios de estado distintos de las llamadas nuevas así como la duración de una búsqueda para un camino libre o la identificación de un enlace ocupado está limitado.

1290 5.- Un circuito de exploración y búsqueda para un centro de conmutación de datos de acuerdo con el punto 1, en el que la red de conmutación comprende dos pasos caracterizados por el hecho de que la búsqueda de un camino libre entre dos canales que llaman en el espacio de tiempo $t'x$ y uno de los canales de salida permitidos en los espacios de tiempo $t'y$ y definidos por un código de enmascaramiento se hace en dos partes, consistiendo la primera parte en la búsqueda de un enlace libre entre los dos pasos de la red de conmutación en un espacio de tiempo $t'x$, y consistiendo la segunda parte en la búsqueda de un conector libre en el espacio de tiempo $t'x$ y en uno de los espacios de tiempo $t'y$ así como un enlace libre y un canal saliente libre en un espacio de tiempo $t'y$ durante el cual el conector que está libre en el espacio de tiempo $t'x$ está también libre.

1300 6.- Un circuito de exploración y búsqueda para un centro de conmutación de datos de acuerdo con el punto 1, en el que la red de conmutación comprende dos etapas caracterizado por el hecho de que la identificación del camino utilizado para una conexión con un canal entrante en el espacio de tiempo $t'x$ se hace en dos partes, consistiendo la primera parte en la identificación del enlace usado en el espacio de tiempo $t'x$ y consistiendo la segunda parte en la identificación del conector usado así como el espa-

1310



377188 49.

cio de tiempo t' y del canal saliente.

7.- Un circuito de exploración y búsqueda de camino de un centro de conmutación de datos.

1315

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de cuarenta y nueve hojas escritas por una sola cara,

Madrid, 4 JUN. 1970



Eugenio Barroso
EUGENIO BARROSO
Secretario General.

377188

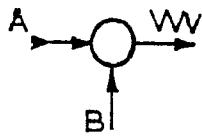


Fig.1.a

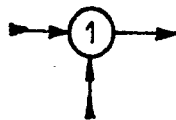


Fig.1.b

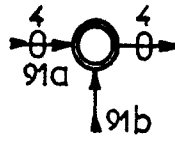


Fig.1.c

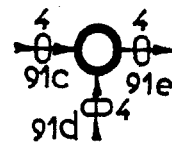


Fig.1.d

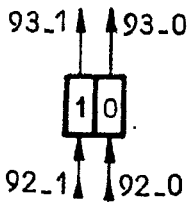


Fig.1.e

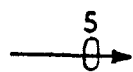


Fig.1.f

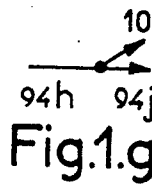


Fig.1.g

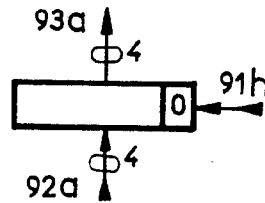


Fig.1.h

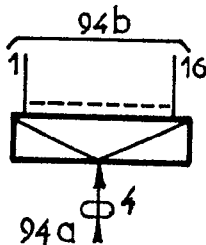


Fig.1.i

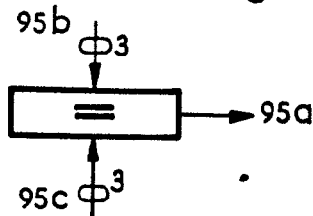
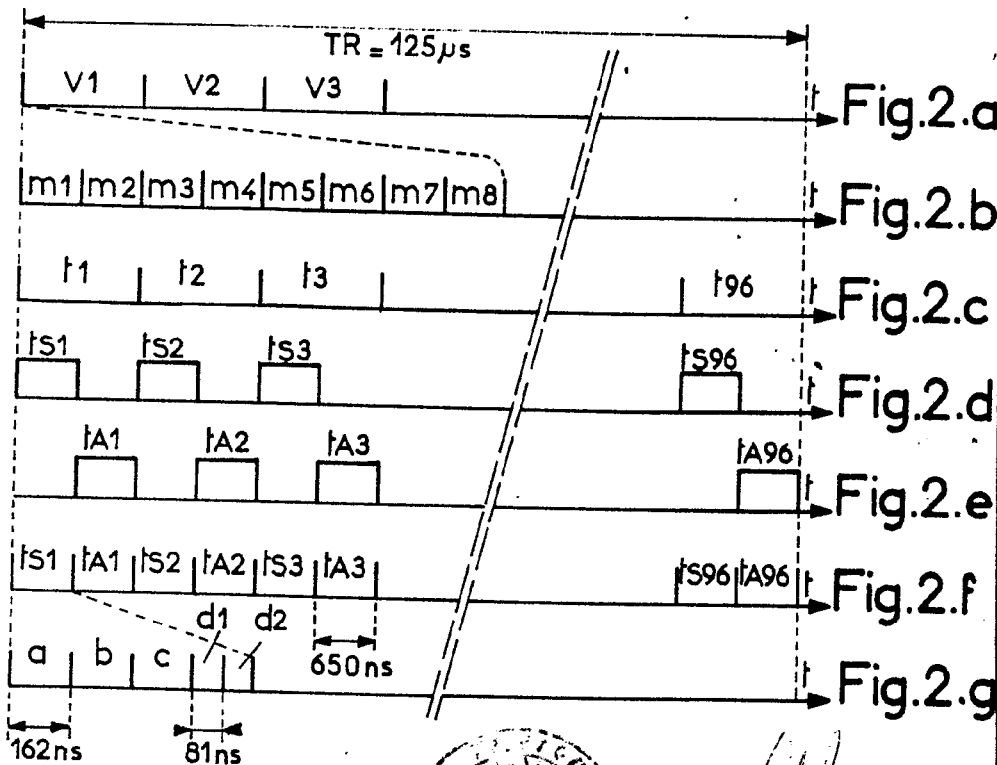


Fig.1.j

JUN 1970

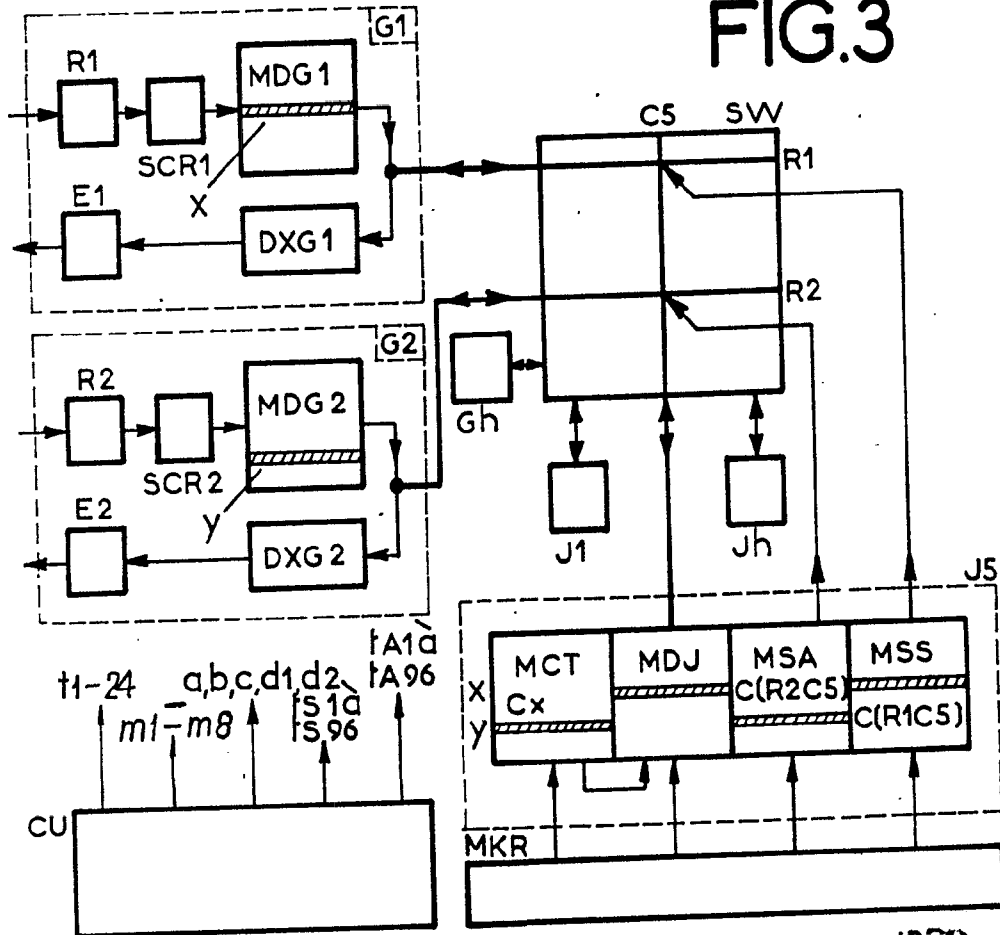


EUGENIO ARROSO
Secretario General



377188

FIG.3



JUN 1970

FIG.4

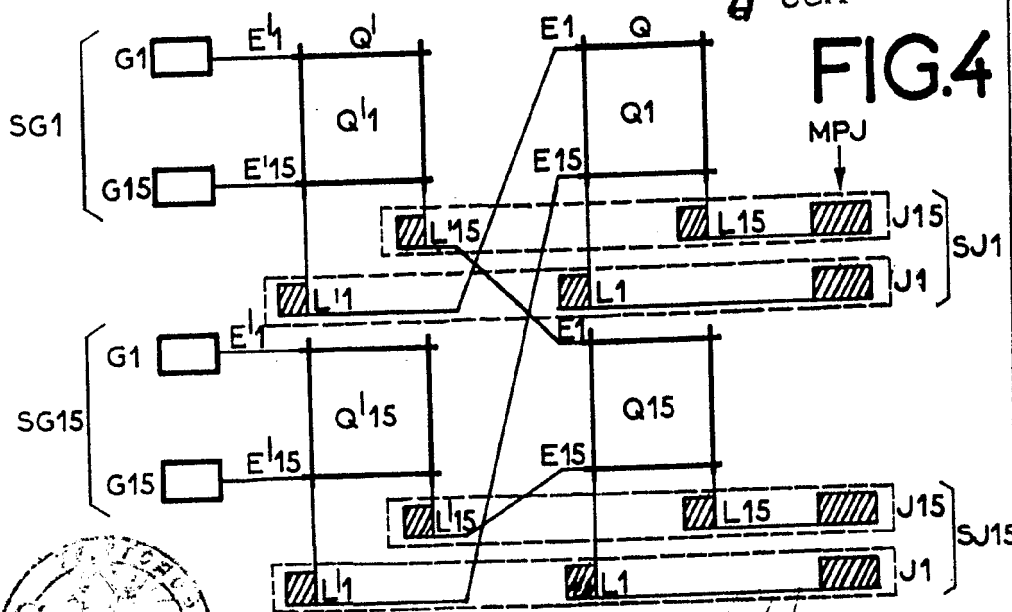
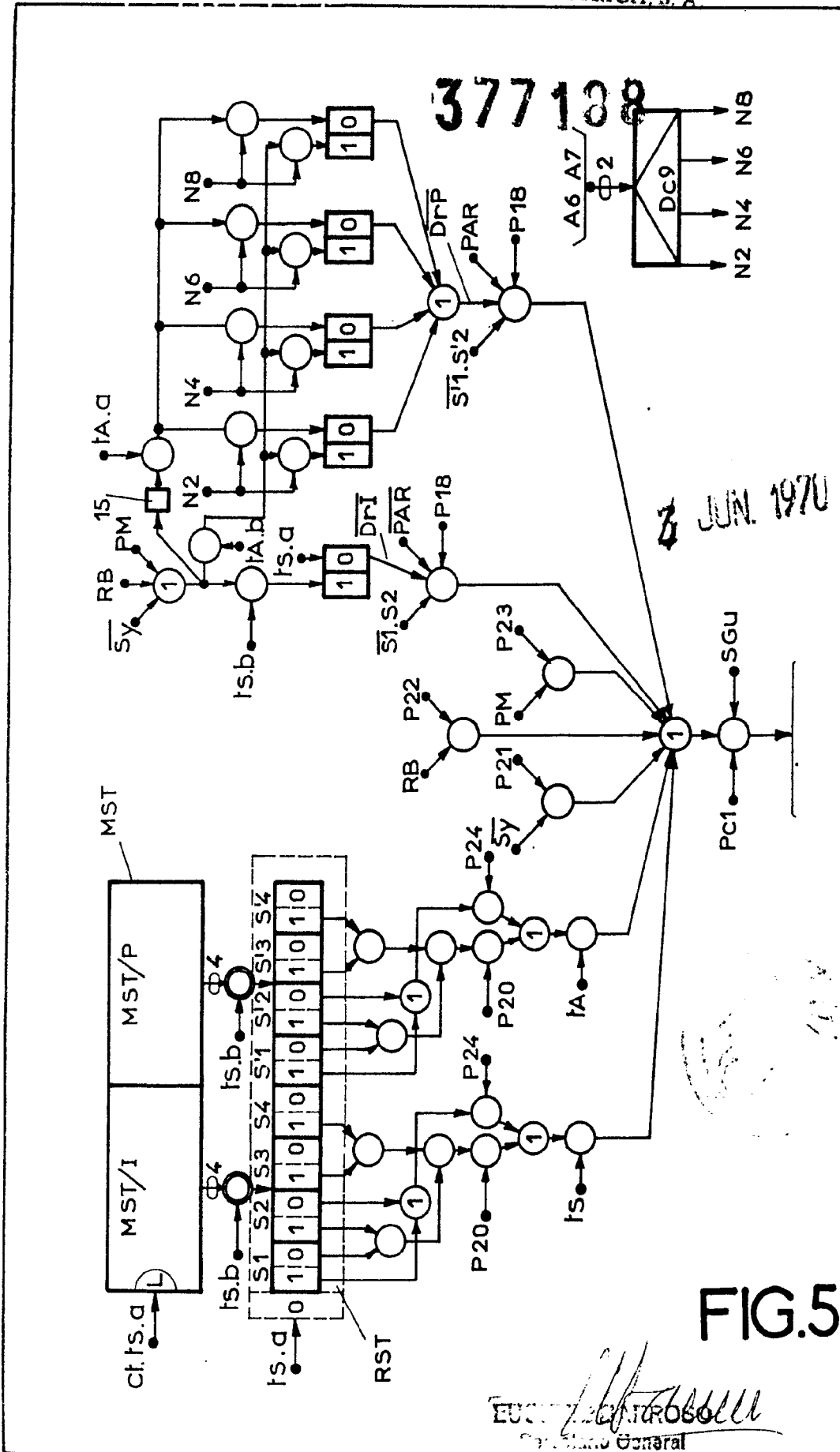


FIG. NO. 235000
Secretario General





377188

FIG.7

JUN 1970

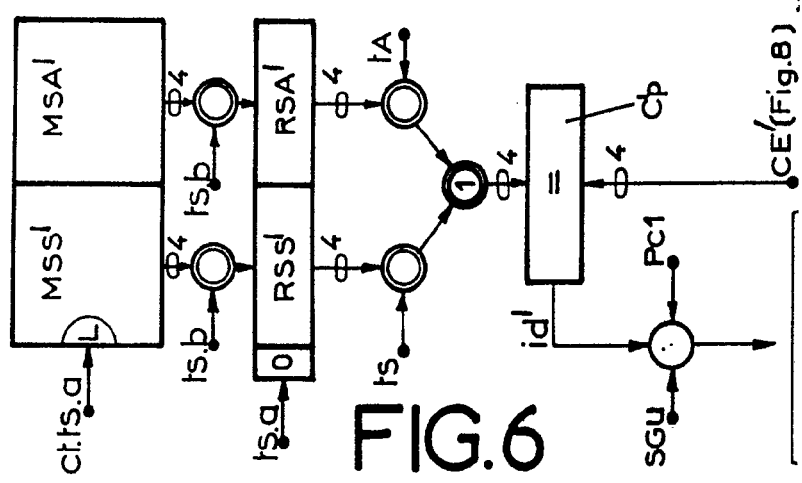
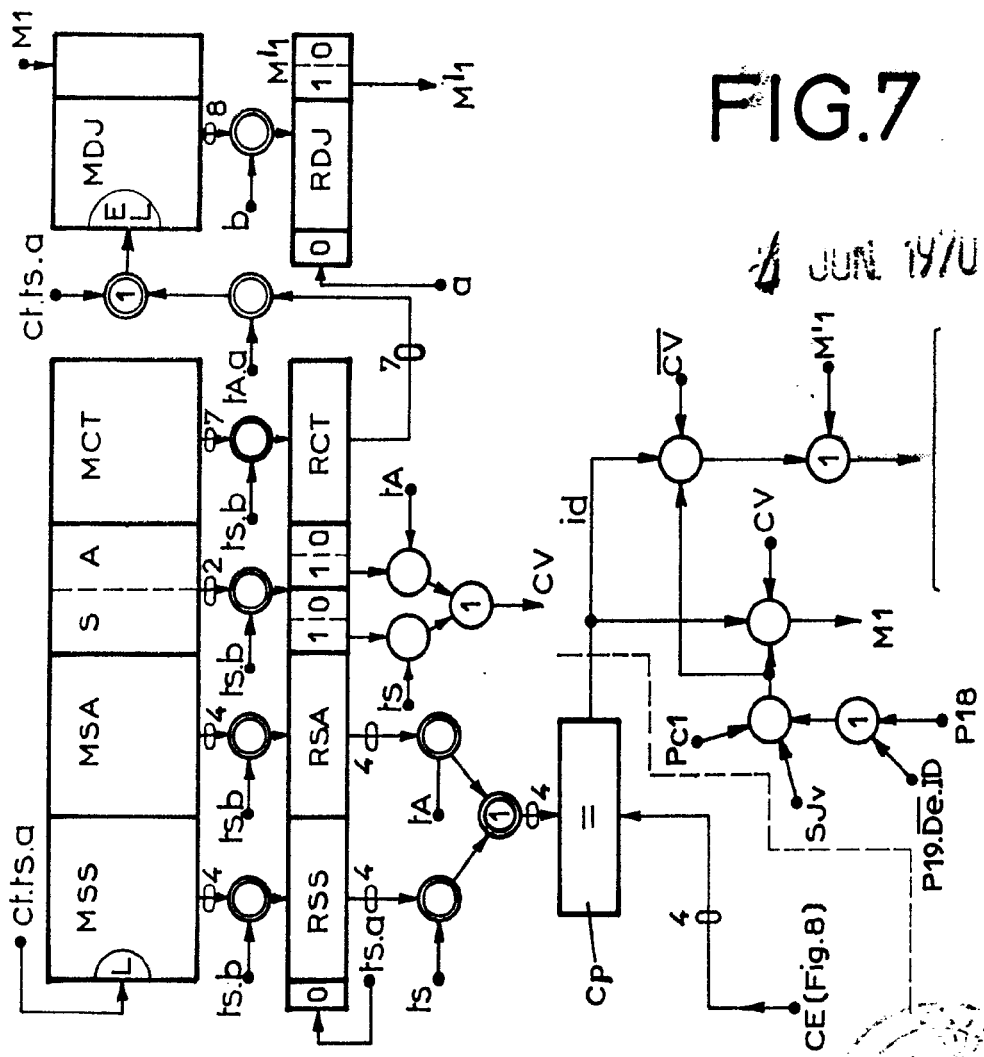


FIG.6



[Signature]
EUCARDO BARROSO
Gerente General

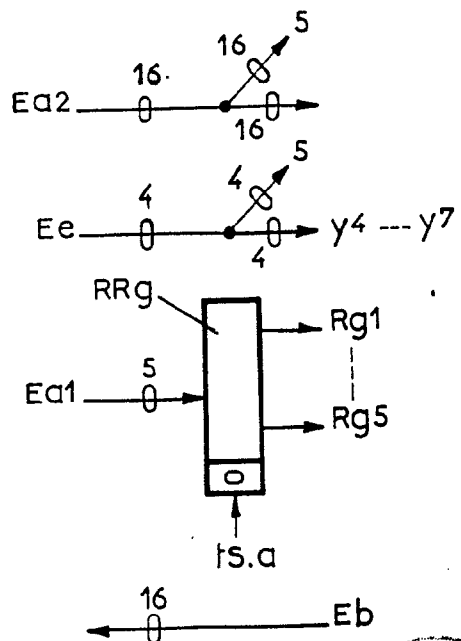
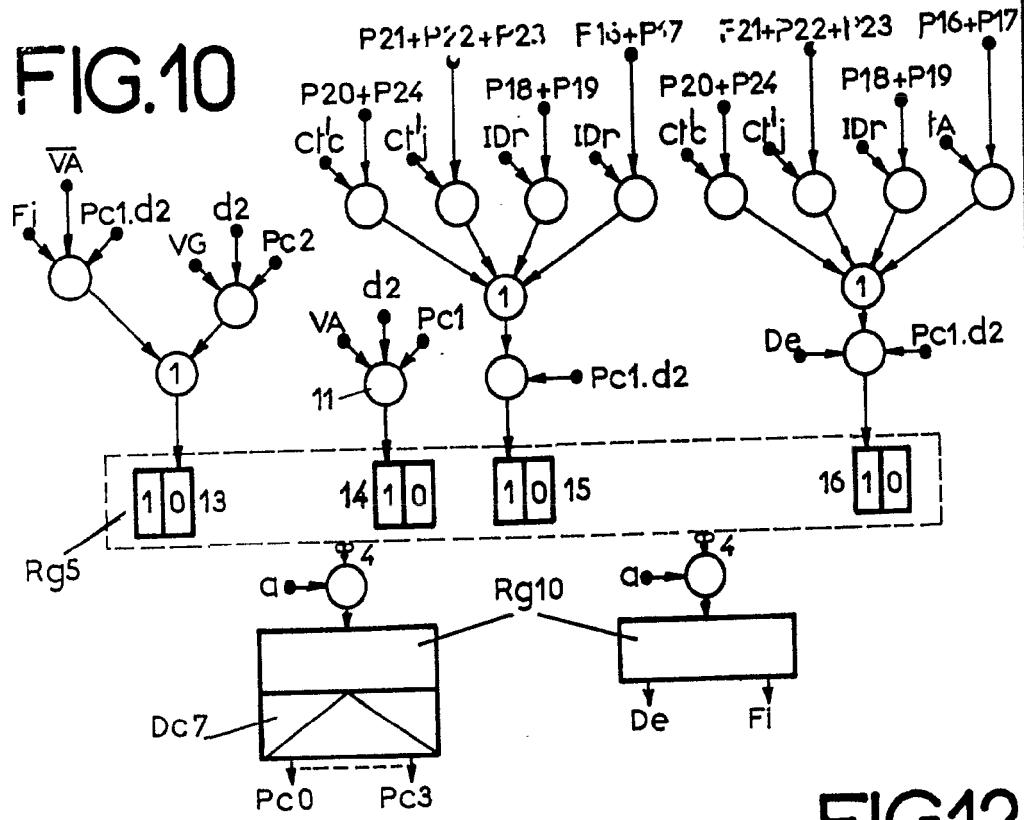


FIG.11



FIG.12

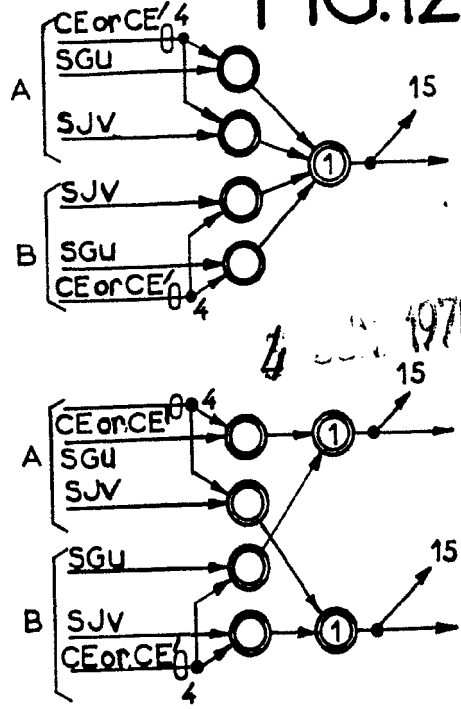


FIG.13

Eugenio Barroso
 EUGENIO BARROSO
 Secretario General