

377 163

- 1 AGO



P.- 43.831

RCA 60.986

377 163

Memoria descriptiva

SECCION TECNICA
CLASIFICACION
CLASE <u>G11</u>
SUBCLASE <u>C</u>

para solicitar **PATENTE DE INVENCION** por **20 años**

a nombre de **RCA CORPORATION**

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en **30 Rockefeller Plaza, Nueva York, N.Y.,
Estados Unidos de America**

por: **"UNA DISPOSICION DE MEMORIA DE SEMICONDUCTORES QUE
UTILIZA TRANSISTORES CUYA TENSION DE UMBRAL PUEDE
VARIARSE ELECTRONICAMENTE"**

(Clase Internacional G11c)

5 MAR 1970



Esta invención está encaminada a una formación de memoria organizada con palabras que emplea en cada emplazamiento de almacenamiento sólo un dispositivo semiconductor aislador de metal sencillo.

5 Los elementos de almacenamiento biestables activos tales como ciertos tipos de transistores, se han investigado activamente durante un número de años para los dispositivos de memoria de las computadoras. Los atributos, que los hacen atractivos a la industria, son que se trata de dispositivos pequeños, rápidos, potencialmente económicos y capaces de integración. Sin embargo, se ha encontrado difícil organizar los elementos en una formación de matriz sin requerir componentes adicionales para proporcionar desbloqueo durante los ciclos de escritura y de lectura. Los problemas que se encuentran incluyen aquel de que cuando la información se escribe en un elemento específico, los datos almacenados en los elementos restantes no se alterar. Existe la misma consideración cuando se ve la información contenida en un elemento de manera que la información contenida en los elementos restantes no se alteren ni se desordenen.

15 Una publicación reciente. "Una Memoria Semiconductora No Volátil Electricamente Alterable" por R. E. Oleksiak, A. J. Lincoln y H. A. R. Wegener, en los EXPEDIENTES GOMAC DE 1968, sugiere una solución al problema que sin embargo no es completamente satisfactoria. La memoria que se describe es una formación de memoria organizada con palabras usando elementos biestables de un semiconductor de nitruro-metal (SNM), cuyo voltaje de umbral se controla aplicando un potencial entre la compuerta y el sustrato de

15 MAR



los elementos. Modulando el potencial del sustrato, tal y como se ha ilustrado en la figura 1, se requiere que cada hilera (equivalente a cada línea de cifra de una memoria) tenga su propio sustrato local que se aisle electricamente de los sustratos locales de las otras hileras. Aun cuando tal y como lo indica el artículo es posible integrar la formación se involucra el procedimiento de fabricación y por lo tanto es costoso debido a la difusión extra considerablemente difícil requerida para proporcionar los "pozos" que aíslan a los sustratos locales uno del otro. Es asimismo costoso debido a que las etapas adicionales reducen el rendimiento.

Durante el funcionamiento de la memoria del artículo anteriormente citado, mientras que el electrodo de fuente de cada elemento se conecta con su sustrato asociado, el electrodo de consumo no se energiza durante el ciclo de escritura. Esto sugiere que cada elemento se trate como un capacitor de placa en paralelo durante el ciclo de fijación del voltaje de umbral. Es decir, el sustrato es una placa, el electrodo de compuerta es la otra placa y la capa de nitruro entre la compuerta y el sustrato es el aislador que almacena la carga. Este modo de funcionamiento impide la fabricación de estas disposiciones mediante la deposición o difusión de transistores sobre un material de sustrato aislador tal como vidrio o zafiro.

Como consecuencia directa de aplicar el potencial de funcionamiento entre el sustrato y la compuerta, en vez de los electrodos de compuerta, de fuente y de consumo, Oleksiak y otros requieren que la amplitud de voltaje necesaria para ajustar un elemento a un voltaje de umbral ya



5 sea elevado o bajo, se divida en dos mitades y que una mitad del voltaje (la mitad de selección) se aplique a la compuerta y la otra mitad al sustrato de los elementos seleccionados. Oleksiak y otros, por ejemplo, no pueden conectar a tierra el sustrato de un elemento y aplicar el voltaje selectivo completo a la compuerta de ese mismo elemento (o viceversa), sin alterar el estado de los otros elementos. Esto se ilustra mejor haciendo referencia a la figura 1 que ilustra la formación de memoria de referencia citada usando dispositivos bistables del tipo P. Un voltaje delantero de 50 voltios, aplicado a la compuerta con respecto al sustrato se requiere para ajustar un dispositivo hacia su valor de umbral elevado (V_{UE}), y un voltaje de inversión de 50 voltios aplicado a la compuerta con respecto al sustrato se requiere para ajustar un dispositivo a su valor de umbral bajo (V_{UB}).

Suponiendo que el elemento 1-1 vaya a ajustarse a V_{UE} , + 50 voltios se aplicarían al terminal marcado B1 que aplica + 50 voltios a cada fuente y sustrato conectados en el terminal B1 y el terminal WD1 se conectaría con tierra. Esta condición, sin embargo, altera los elementos no seleccionados a lo largo de la hilera o columna común al elemento seleccionado tal y como lo demuestra un examen de los elementos adyacentes, Por lo tanto, la conexión a tierra de WD1 aplica también una conexión a tierra con los electrodos de compuerta de los elementos 2-1, 3-1, y 4-1. Ahora, para que no se altere el nivel de umbral del elemento 2-1, el potencial aplicado a su sustrato, que se conecta con y que es común a cada elemento a lo largo de la hilera 2, debe también conectarse con tierra. Esto a su vez requie-



re que el elemento 2-2, si debe permanecer no alterado, tenga su compuerta, que se conecta en común con el terminal WD2, haciéndose regresar a tierra. La conexión a tierra WD2, sin embargo, aplica también una conexión a tierra con la compuerta del elemento 1-2, Pero obsérvese que la fuente y el sustrato del elemento 1-2, que se conecta con B1, se conecta con +50 voltios. Por lo tanto, es imposible ajustar sólo un elemento con V_{UE} aplicando un potencial de tierra al electrodo de sustrato/fuente y la amplitud de selección completa al electrodo de compuerta.

Es asimismo imposible ajustar sólo un elemento con V_{UB} conectando a tierra el sustrato y aplicando el voltaje de selección completo a la compuerta de un elemento elegido. Supongamos de nuevo que el elemento 1-1 va a ajustarse a V_{UB} . Esto requiere la aplicación de + 50 voltios a WD1 y el potencial de tierra al terminal B1. A fin de mantener inalterado el elemento 2-1 se han aplicado + 50 voltios a su sustrato y su fuente, que es común al terminal B2. Aplicando + 50 voltios al terminal B2 requiere que se apliquen asimismo + 50 voltios al electrodo de compuerta del elemento 2-2 para impedir que cambie su estado. Esto requiere que el terminal WD2 se haga regresar a + 50 voltios. Pero puesto que B1 se conecta con tierra, la compuerta hacia el sustrato del elemento 1-2 se polariza a la inversa, mediante 50 voltios, lo cual ocasiona que el elemento 1-2, cambie de estado.

De esta manera se ha demostrado que aplicando el voltaje de selección completo a una de las compuertas y el sustrato mientras que se conecta a tierra la otra compuerta y el sustrato, se afecta cada elemento a lo largo de la



columna que comparte esta línea de compuerta o a lo largo de la hilera que comparte el sustrato local, haciendo imposible el ajustar de manera única un elemento a la vez.

5 Oleksiak y otros, por lo tanto, tienen que dividir los 50 voltios en dos mitades (el voltaje de lamitad de selección) alrededor de un potencial de referencia. Esto necesita una fuente bidireccional de potencial que incluye, por ejemplo, el potencial de tierra, + 25 voltios y - 25 voltios. + 25 voltios de aplica a una de las compuertas y el sustrato de los elementos seleccionados y 10 -25 voltios al otro sustrato y compuerta de los elementos seleccionados y la compuerta o fuente de los elementos no seleccionados se conecta a tierra a fin de que los elementos no seleccionados que comparten una hilera o una columna con un elemento seleccionado sólo tengan la mitad de 15 voltaje de selección (25 voltios) aplicado a los mismos.

La referencia citada por lo tanto necesita, durante el ciclo de escritura, una fuente de potencial bidireccional que puede proporcionar un voltaje de referencia y un potencial positivo y negativo alrededor del voltaje de referencia. Debe también apreciarse que cada elemento que comparte la columna o hilera de un elemento seleccionado se somete a un esfuerzo de la mitad del voltaje de selección entre su compuerta y sustrato. 20

Esta invención puede llevarse a la práctica en una memoria que tiene la combinación de una pluralidad de elementos biestables colocados sobre un sustrato común, en donde cada elemento consiste de un dispositivo semiconductor biestable de efecto de campo sencillo que tiene primero y segundo electrodos principales que definen una trayec- 25 30

5 MAR 1970



5 toria de conducción y un electrodo de control. Cada uno de dichos dispositivos funciona para adoptar un nivel del primero y segundo niveles de umbral. La memoria asimismo incluye un circuito de escritura para colocar uno o más dispositivos seleccionados en un nivel de los primero y segundo niveles de umbral, y un circuito de lectura para percibir el nivel de umbral de uno o más de los dispositivos seleccionados, sin alterar el nivel de umbral del dispositivo seleccionado.

10 De conformidad con una modalidad preferida de la invención, cada dispositivo en la memoria está en contacto directo con el substrato y el circuito de escritura funciona para aplicar al dispositivo seleccionado un primer voltaje de potencial y polaridad seleccionados entre el
15 electrodo de control y tanto el primero como el segundo electrodos, a fin de colocar el dispositivo seleccionado a un nivel seleccionado del primero y segundo niveles de umbral; y además, el circuito de lectura percibe el nivel de umbral del dispositivo seleccionado aplicando un segundo
20 voltaje entre el electrodo de control y solamente un electrodo del primero y segundo electrodos principales del mismo.

25 En la descripción detallada de la invención que se da a continuación, se hace referencia a los dibujos que se acompañan y que forman parte de la presente especificación, y en los cuales:

La figura 1 es un dibujo esquemático de una formación de matriz de conformidad con el arte anterior;

30 La figura 2 es un trazo del voltaje de umbral como una función del voltaje aplicado de compuerta a fuen-



te que ilustra la característica biestable desde los dispositivos que se usan para llevar a la práctica la presente invención;

5 Las figuras 3(a) y 3 (b) son respectivamente dibujos esquemáticos de una formación de matriz que abarca la invención, y los voltajes necesarios para los ciclos de escritura y de lectura de la formación;

10 Las figuras 4(a), 4(b), 4(c) y 4(d) son dibujos esquemáticos de un elemento típico de la formación bajo varias condiciones de polarización; y

La figura 5 es una vista en sección transversal de una parte de la formación que abarca la invención.

15 Los dispositivos semiconductores propuestos para usarse al llevar a la práctica la invención tienen un voltaje de umbral variable que puede ajustarse hacia uno de dos valores para aplicar un potencial de una amplitud mayor que la amplitud determinada entre los electrodos de fuente y de consumo del dispositivo y que mantienen el voltaje de umbral al cual se ajustan durante un periodo de tiempo considerable. Se incluyen en esta clase de dispositivos los 20 transistores de efecto de campo biestables que tienen una estructura semiconductor de aislador de metal (SAM) en donde puede almacenarse la carga.

25 Un ejemplo específico pero no limitador del tipo de transistor anteriormente citado es aquel cuya capa de aislamiento es nitruro de silicio y al cual se hace comúnmente referencia como un dispositivo SNM (de silicio-nitruro-metal). Este transistor puede fabricarse usando técnicas semiconductor de óxido de metal normales (SOM), excepto que antes de la metalización el óxido del canal se hace muy delgado y se deposita una capa de nitruro entre el canal de 30



silicio y la compuerta del dispositivo. El transistor resultante puede ser del tipo P ó del tipo N y tiene primero y segundo electrodos que definen los extremos de una trayectoria de conducción y un electrodo de compuerta que se usa para controlar el nivel de la conducción en la trayectoria de conducción. El transistor tiene las mismas características generales que el dispositivo normal SOM, excepto en lo que se refiere a la adición de una capa de nitruro de aislamiento a través de la región de óxido delgada que permite que la carga se almacene dentro de la capa de aislamiento y da por resultado la característica que se muestra en la figura 2.

La figura 2 es una representación idealizada de la característica de histéresis del voltaje de umbral (V_U), como una función del voltaje de compuerta a fuente (V_{CF}) aplicado de un dispositivo típico tal y como se discute en lo que antecede. El voltaje de umbral (V_U) se define como el potencial de compuerta a fuente (V_{CF}) al cual puede comenzar a fluir al corriente en la trayectoria de conducción del transistor. El punto marcado V_{UB} se refiere al valor bajo de V_U y el punto marcado V_{UE} se refiere al valor elevado de V_U . El V_{UB} por ejemplo puede ser de dos voltios y el V_{UE} puede ser de diez voltios. El voltaje de referencia V_{REF} indica el potencial de ompuerta a fuente al cual cambia de estado el transistor. El valor de V_{REF} depende del dispositivo específico empleado. Sin embargo para los fines de la presente discusión se supondrá que el valor es entre + 5 y +15 voltios y típicamente puede ser de ± 12 voltios.

Cualquier valor de V_{CF} que sea más pequeño que



5 MAR

V_{REF} no afecta el ajuste de umbral del dispositivo semiconductor ilustrado en la figura 2. Sin embargo si V_U inicialmente es V_{UE} , y V_{CF} se hace mayor y más negativo que $-V_{REF}$, el voltaje de umbral sigue la curva de histéresis hacia abajo tal y como se muestra en la figura 2 y adopta el valor de V_{UE} . Cuando y siempre y que V_{CF} se reduzca prácticamente hasta cero voltios, V_U permanece ajustado a V_{UE} . Si el voltaje de umbral inicialmente es V_{UB} se hace mayor y más positivo que $+V_{REF}$, el voltaje de umbral sigue la curva de histéresis hacia arriba y V_{UE} . Cuando y siempre que V_{CF} se reduzca subsecuentemente hasta $V_0 = 0$ voltios, V_U permanece ajustado a V_{UE} .

Para los fines de esta solicitud, el electrodo de fuente en un transistor de canal de tipo N se define como el electrodo de los dos electrodos se definen los extremos de la trayectoria de conducción, teniendo el potencial más bajo (menos positivo) aplicado al mismo y el electrodo de fuente en un transistor de canal del tipo P esaquel electrodo de los dos electrodos que definen los extremos de la trayectoria de conducción que tiene el potencial más elevado (más positivo) aplicado al mismo.

Las formaciones que abarcan la invención pueden tener hileras M y columnas N en donde M y N son enteros mayores de uno y M y N pueden ser o no iguales. Para facilidad de ilustración en la formación de la figura 3(a), $M=N=5$. Cada intersección de una hilera y una columna define un emplazamiento de bit i-j en donde i es el número de la hilera y j el número de la columna. Cada emplazamiento de bit se muestra conteniendo un transistor biestable SKM de canal de tipo N que tiene una característica de histéresis



del tipo que se describe en la figura 2. Cada transistor tiene un extremo de su trayectoria de conducción, un primer electrodo 12, conectado con una columna C_k y el otro extremo de su trayectoria de conducción, el segundo electrodo 13 conectado con una hilera R_p . También hay un conductor de línea de control G_q de cada hilera al cual se conectan los electrodos de compuerta de los transistores de esa hilera, en donde k , p y q , son enteros.

Las cinco columnas C_1 , C_2 , C_3 , C_4 y C_5 pueden conectarse durante el ciclo de escritura, ya sea con un terminal 1 ó un terminal 2 y durante el ciclo receptor con los terminales de salida de datos 41, 42, 43, 44 ó 45, respectivamente. Los terminales de salida de datos 41 y 45 se conectan respectivamente a través de las impedancias de salida que se muestran como las resistencias 51, 52, 53, 54, 55 con el terminal 3. Las hileras R_1 , R_2 , R_3 , R_4 y R_5 puede cada una conectarse ya sea con el terminal 1 ó el terminal 2 y las líneas de control G_1 , G_2 , G_3 , G_4 y G_5 puede cada una conectarse ya sea con el terminal 1, el terminal 2 ó el terminal 3.

Los terminales indentificados mediante el mismo número se conectan juntos con el mismo punto de potencial. Este se ilustran en la figura 3(b) en donde los abastecimientos o suministros de energía en la caja 20 de guiones se muestran como dos baterías 100 y 102. Una particularidad importante de la disposición presente es que ambas baterías produzcan voltajes de la misma polaridad y que se necesite sólo una fuente de potencial unidireccional durante el ciclo de escritura. Todos los terminales 1 se conectan con tierra; todos los terminales 2 se conectan con un terminal

5 MAR 1964



positivo de la batería 102. La amplitud del voltaje $+V_1$ aplicado al terminal 2 es mayor que $/V_{REF}/$ y, por ejemplo, puede ser de ± 20 voltios. La amplitud del voltaje V_2 es mayor que V_{UB} pero menor que $/V_{REF}/$ y si $/V_{REF}/$ es mayor que $/V_{UE}/$, entonces V_2 se hace menor positivo que B_{UE} , $/V_{UE}/$ $V_2 /V_{REF}/$ ó $V_{UE}/$. Algunos ejemplos típicos de dichos voltajes son $V_{UB} = 2$ voltios, $V_2 = 5$ voltios. $V_{REF} = \pm 12$ viltios, $V_{UE} = 10$ voltios.

En la discusión del funcionamiento de la formación que se da a continuación, se debe también hacer referencia a la figura 4. Muestra los voltajes aplicados a un elemento típico de la formación bajo condiciones de funcionamiento diferentes.

En un modo de funcionamiento preferido de la matriz de la figura 3(a), el voltaje de umbral de todos los elementos de la formación primero se ajusta hasta V_{UE} . Esto se efectúa conectando todas las líneas de control con el terminal 2 (± 20 voltios) y todas las hileras y columnas con el terminal 1 (tierra)— un elemento típico, conectado de esta manera, se ha mostrado en la figura 4(a). Esto ocasiona que cada dispositivo es plarice hacia adelante de manera suficiente a fin de que su V_{CF} exceda grandemente $+V_{REF}$. Se comprenderá que podría haber cierta diferencia de potencial entre los electrodos 12 y 13, durante la operación de ajuste. Por ejemplo, siempre y cuando V_{REF} esté presente como un valor mínimo entre el electrodo de compuerta y cada uno de los electrodos 12 y 13, puede existir una diferencia de potencial entre el electrodo 12 y 13, sin alterar la operación de ajuste anteriormente descrita. Cuando se quita el potencial positivo aplicado a la compuerta, el



voltaje de umbral de cada transistor ajustado permanece a V_{UE} y no conducirá a no ser que la amplitud del voltaje aplicado a la compuerta exceda del potencial de fuente en más de V_{UE} .

5 Después de la operación de ajuste, uno o más de los elementos seleccionados puede reajustarse a un estado de umbral bajo V_{UB} polarizándolo de la manera que se ha mostrado en la figura 4(d). Se aplica un voltaje de + 20 voltios a los electrodos defuente y de consumo del elemento seleccionado y su electrodo de compuerta se conecta con tierra. Por ejemplo, si se desea reajustar el elemento 1-1 de la figura 3(a), una línea de control G1 se conecta con el terminal 1 (tierra) y la hilera R1 y la columna C1 cada una se conectan con el terminal 2 (+ 20 voltios) mientras que todas las hileras, columnas y líneas de control restantes se conectan con el terminal 1 (tierra). Estos potenciales polarizan a la inversa el electrodo de compuerta 11 del transistor 1-1 con respecto a ambos de sus electrodos 12 y 13 mediante un potencial ($V_1 = 20$ voltios) de mayor valor que el voltaje de referencia ($V_{REF} = 12$ voltios). Después de que se eliminan estos voltajes el elemento 1-1 permanece en su estado de umbral devoltaje bajo V_{UB} .

25 Durante el tiempo en que se reajusta un elemento seleccionado tal como 1-1 hasta su V_{UB} , los elementos restantes de la formación de matriz no se alteran. Los elementos que no están en la primera hilera ni en la primera columna, tienen sus tres electrodos conectados con el terminal 1 (potencial de tierra) y evidentemente no se alteran. El voltaje de umbral de los elementos restantes en la columna 1 no se ha cambiado debido a que el voltaje de com-



puerta a fuente de estos elementos se mantiene a cero voltios. Cada uno de los elementos restantes en la columna 1 tiene un electrodo 12 conectado con $+V_1$ (20 voltios), mientras que su compuerta 11 y su otro electrodo 13 se conectan con tierra. La condición de polarización de estos elementos por lo tanto es idéntica a la condición que se describe en la figura 4(c). Como se define en lo que antecede, el electrodo 13 estando al potencial más bajo es el electrodo de fuente y puesto que $V_{CF} = 0$, el voltaje de umbral no ha cambiado puesto que al elevar el potencial de consumo cuando $V_{CF} = 0$ no afecta el mecanismo de almacenamiento de carga. El someter los elementos no seleccionados a esta condición de polarización de no alteración que permite sencillez del circuito dado a conocer, no se apreciaba o usaba en el arte anterior.

Cada uno de los elementos restantes a lo largo de la hilera R1 tiene su electrodo de compuerta y su primer electrodo 12 conectado con el terminal 1 (potencial de tierra), y su otro electrodo 13 conectado con el terminal 2 (+20 voltios) a través de la hilera R1. Por lo tanto, estos elementos también se polarizan tal y como se muestra en la figura 4(c) excepto que los electrodos 12 y 13 se intercambian. Puesto que los transistores son dispositivos bilaterales, el electrodo de consumo y el electrodo de fuente son intercambiables y tal y como se define en lo que antecede, el electrodo 12 es ahora un electrodo de fuente. Puesto que $V_{CF} = 0$, el voltaje de umbral de los elementos restantes, a lo largo de la hilera R1 permanece inalterado.

Un análisis semejante a aquel anteriormente expuesto puede hacerse para demostrar que es posible reajus-



tar cualesquiera de los elementos en número de dos, tres, cuatro o cinco, en la misma hilera al mismo tiempo sin alterar los elementos restantes en la formación de matriz. Todo lo que es necesario es conectar el conductor de la hilera con el terminal 2 (+20 voltios), la línea de control asociada con esta hilera con el terminal 1 (tierra) y los conductores de columna para los transistores en la hilera si se desea reajustar el terminal 3(+20 voltios).

El nivel de umbral de los elementos puede percibirse una hilera a la vez, conectando las columnas C1, C2, C3, C4 y C5 respectivamente con los terminales de salida de datos 41, 42, 43, 44 y 45, conectando todas las hileras y las líneas de control de las hileras no seleccionadas con el terminal 1(tierra) conectando la línea de control de la hilera seleccionada con el terminal 3 (+5 voltios) y conectando la línea de hilera de la hilera seleccionada con el terminal 1 (tierra).

Los voltajes presentes en el elemento seleccionado que va a percibirse conectado de esta manera, se muestran en la figura 4(d).

Supongamos que la hilera 1 va a leerse y que el elemento 1-1 se ajusta a V_{UB} y los elementos restantes 1-2 1-5, se ajusta a V_{UE} . Puesto que el potencial ($V_2 = +5$ voltios) aplicado a la compuerta del elemento 1-1 queda por encima del voltaje de umbral ($V_{UB} = +2$ voltios) del elemento 1-1 ($V_{UB} V_2$), el elemento 1-1 conducirá y el voltaje en el punto de salida de datos 41 será bajo (cerca de tierra). Sin embargo, puesto que el potencial de la compuerta (V_2) de los elementos 1-2, 1-3, 1-4 y 1-5 es inferior al nivel de umbral ($V_{UE} = +10$ voltios) de estos transistores



(V_2 V_{UE}), no puedan conducir y el nivel de voltaje en los puntos 42, 43, 44 y 45 permanecerá a $+V_2 = 5$ voltios. Debe apreciarse que los elementos pueden percibirse en la corriente acoplado las columnas a través de una baja impedancia y percibiendo las columnas a través de una baja presencia o ausencia de la corriente.

Puesto que el voltaje de la compuerta de lectura V_2 es inferior al valor de voltaje de referencia (V_{REF}) que ocasiona una transición en el voltaje de umbral, cualesquiera y todos los elementos pueden leerse sin alterar ni el estado de los elementos leídos ni el estado de los elementos no seleccionados.

De esta manera se ha demostrado que puede usarse un solo elemento biestable en cada emplazamiento de bit y que la información puede almacenarse en la misma y leerse no destructivamente.

La formación de matriz que se describe en lo que antecede, es idealmente apropiada para usarse como una formación de memoria organizada con palabras en donde cada hilera de la matriz, por ejemplo contendría una palabra de información. Los niveles de umbral elevado (V_{UE}) y bajo (V_{UB}) pueden definirse para representar el almacenamiento del uno y del cero binarios, respectivamente, o viceversa. Una particularidad importante de dicha memoria es que la información almacenada no es afectada por la remoción de energía.

Debe quedar comprendido que la misma formación también es apropiada para una memoria organizada con palabras en donde cada columna de la matriz contendría por ejemplo una palabra de información. Será evidente en dicha me-



5 memoria que durante la operación de escritura, todos los elementos de una columna seleccionada pueden ajustarse aplicando +20 voltios a todas las líneas de control y aplicando un potencial de tierra a todas las líneas de hilera y líneas de columna seleccionada. Luego los elementos seleccionados dentro de esta columna pueden ajustarse aplicando +20 voltios al conductor de columna seleccionado y hacia todas las líneas de hilera y aplicando un potencial de tierra a aquellas líneas de control que se conectan con los elementos que van a reajustarse. Debe quedar comprendido que el contenido de cada elemento en una columna seleccionada puede percibirse de una manera semejante a aquella que se describe en lo que antecede, pero cuando se percibe el umbral de cada dispositivo en la columna en los conductores de hilera durante el tiempo en que el conductor de columna seleccionado se conecta con tierra, cada conductor de la hilera se conecta a través de una impedancia con +5 voltios y todos los conductores de control se conectan con +5 voltios (cuando el aparato para efectuar estas conexiones es semejante a aquel mostrado en la figura 3)a).

15 Las hileras, columnas y líneas de control de la formación se han mostrado conectadas con puntos de terminales por medio de interruptores. Estos interruptores pueden ser de tipo momentáneo y se pretende que la combinación de la fuente de voltaje y de los interruptores represente asimismo fuentes de impulsos que tienen la amplitud y polaridad de los voltajes mostrados en la figura 2.

25 Debe también observarse que se ha usado una fuente de voltaje de una polaridad (fuente de potencial de 100 que proporciona $+V_1$ y fuente de tierra y potencial 102 que



proporciona $+V_2$ y tierra) para escribir y para percibir los datos en las modalidades mostradas 3 y 4 y que dicha fuente de potencial en combinación con los interruptores es equivalente a un generador de impulsos que tiene impulsos de una polaridad y de amplitud aproximadamente igual a V_1 para escribir y a V_2 para percibir. Esto es en contraste marcado con la fuente bidireccional necesaria en el arte anterior para ajustar y reajustar los elementos.

La figura 5 muestra una vista en sección transversal de una parte de la formación de matriz y se usa para insdicar que todos los elementos de la formación, en contraste marcado con el arte anterior, están en contacto directo con el sustrato común. No hay requisito de que ningún elemento se aisle del otro puesto que cada elemento puede tener acceso individualmente de una manera semejante a un transistor, por medio de sus electrodos de compuerta, fuente y consumo cuando se varía el voltaje de umbral. El sustrato mostrado es de silicio a granel, pero la invención puede también llevarse a la práctica cuando el sustrato es un aislador. Por ejemplo, los transistores de película delgada evaporados sobre un sustrato de vidrio o los transistores de silicio epitaxialmente desarrollados sobre zafiro (SOS) pueden emplearse siempre y cuando los transistores tengan la característica general dada a conocer en la figura 2.

Debe también apreciarse que los elementos no seleccionados tienen su potencial de compuerta a fuente mantenido a cero voltios, lo cual mejora el funcionamiento de la formación reduciendo al mínimo los esfuerzos en el mecanismo de almacenamiento de carga.



5 La lectura del dispositivo se ha descrito con el dato tomándose la columna con las hileras conectadas a tierra. Debe ser evidente que los datos podrían también obtenerse de las hileras con las columnas ya sea haciéndose regresar a tierra o a cierto otro potenciaón. Debido a la simetría de los dispositivos, las hileras y columnas son intercambiables y las líneas de control pueden correr eléctricamente paralelas a cualesquiera de las hileras o de las columnas.

10 Los transistores que se usan en las modalidades mostradas en las figuras 3, 4 y 5, han sido del tipo N. Es evidente que estos transistores podrían igualmente bien ser del tipo P siempre y cuando su voltaje de umbral tuviera las características mostradas en la figura 2 y que
 15 los voltajes se aplicaran en la dirección opuesta, de lo que es el caso para los dispositivos de tipo N.

20 Esta solicitud que corresponde a la presentada en los Estados Unidos de América, el 12 de marzo de 1969, bajo el número 806.375, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

REIVINDICACIONES

30

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

- 1.- Una disposición de memoria de semiconductor-



res que utiliza, transistores cuya tensión de umbral puede variarse electrónicamente, disposición que tiene la combinación de: una pluralidad de elementos biestables colocados sobre un sustrato común, cada elemento comprende un sólo dispositivo semiconductor biestable de efecto de campo que tiene primero y segundo electrodos principales que definen una trayectoria de conducción y un electrodo de control, cada dispositivo es capaz de funcionar para adoptar uno del primero y segundo niveles de funcionamiento para adoptar uno del primero y segundo niveles de umbral, un circuito de escritura para colocar uno o más dispositivos seleccionados en un nivel del primero y segundo niveles de umbral; y un circuito de lectura para percibir el nivel de umbral de uno o más de los dispositivos seleccionados sin alterar el nivel de umbral del dispositivo seleccionado citado; en donde: cada dispositivo está en contacto directo con el sustrato, el circuito de escritura es capaz de funcionar para aplicar al dispositivo seleccionado un primer voltaje de potencial y polaridad seleccionados entre el electrodo de control y tanto el primero como el segundo electrodos, a fin de colocar el dispositivo seleccionado a un nivel seleccionado del primero y segundo niveles de umbral; y el circuito de lectura percibe el nivel de umbral del dispositivo seleccionado aplicando un segundo voltaje entre el electrodo de control y solamente uno del primero y segundo electrodos principales del mismo.

2.- Una disposición de memoria según la reivindicación 1, en donde el primer voltaje se proporciona desde una fuente; y el circuito de escritura se hace funcionar



para conectar el voltaje de la fuente en una polaridad seleccionada entre el electrodo de control y tanto el primero como el segundo electrodos del dispositivo seleccionado.

5 3.- Una disposición de memoria según la reivindicación 1, en donde el segundo voltaje que se proporciona mediante el circuito de lectura tiene un valor intermedio al primer nivel de umbral y el segundo nivel de umbral.

10 4.- Una disposición de memoria según la reivindicación 1, en donde el sustrato es un material semiconductor.

5.- Una disposición de memoria según la reivindicación 1, en donde el sustrato es un aislador.

15 6.- Una disposición de memoria según la reivindicación 5, en donde el material del sustrato se selecciona del grupo que consistede vidrio y zafiro.

20 7.- Una disposición de memoria según la reivindicación 1, cuyos dispositivos se colocan en hileras y columnas y que tiene una pluralidad de conductores de hilera y una pluralidad de conductores de control; el número de conductores en cada una de las pluralidades de conductores de hilera y de control es igual al número de hileras y una pluralidad de conductores de columnas igual en
25 número al número de columnas; con la trayectoria de conducción de cada dispositivo conectado mediante su primero y segundo electrodos entre un conductor respectivo de los conductores de hilera y un conductor respectivo de los conductores de columna; y con el circuito de escritura incluyendo primera y segunda pluralidades de interruptores

30



- 7

de hilera, y una tercera pluralidad de interruptores de columna; en donde: los interruptores son capaces de funcionar a través del conductor de control respectivo y a través de aquellos conductores de hilera y de columna respectivos que se extienden hacia el dispositivo seleccionado para aplicar entre el electrodo de control y tanto el primero como el segundo electrodos del dispositivo seleccionado para aplicar el voltaje de nivel y polaridad seleccionados y para aplicar hacia cada uno de los otros dispositivos que se colocan en la columna y la hilera de dispositivo seleccionado un voltaje entre el conductor de control y solamente uno del primero y segundo electrodos del mismo.

5
10

8.- Una disposición de memoria según cualquiera de las reivindicaciones 1 a 7, en donde: la formación es una memoria organizada con palabras; el circuito de escritura funciona para ajustar selectivamente los umbrales a los niveles deseados dentro de los dispositivos respectivos en una hilera seleccionada en coincidencia de tiempo; y el circuito de lectura funciona para percibir los niveles de umbral de los dispositivos respectivos en una hilera seleccionada en coincidencia de tiempo.

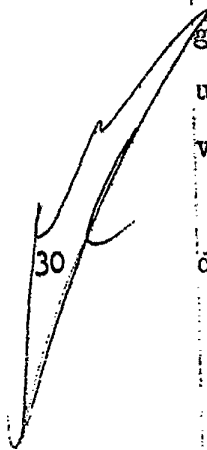
15
20

9.- Una disposición de memoria según la reivindicación 6 que además incluye: un medio para conectar los electrodos de control y por lo menos uno del primero y segundo electrodos de cada dispositivo no seleccionado con un punto de potencial común mediante lo cual el dispositivo no seleccionado no puede conducir corriente.

25

10.- Una disposición de memoria según la reivindicación 7, en donde el primer voltaje se proporciona a

30





partir de una fuente; y el circuito de escritura funciona para conectar el voltaje desde la polaridad seleccionada de la fuente entre el electrodo de control y ambos de los electrodos primero y segundo del dispositivo seleccionado.

5

11.- Una disposición de memoria según la reivindicación 10, en donde: la fuente de voltaje proporciona el primer voltaje en el primero y segundo terminales de la misma, que se retienen en el primero y segundo terminales de la misma y que se retienen al primero y segundo niveles de potencial respectivamente; con el circuito de escritura funcionando en un ciclo que incluye un modo de ajuste en donde la primera pluralidad de interruptores se hacen funcionar selectivamente para conectar el primer terminal de fuente con el conductor de control que se extiende hacia el dispositivo seleccionado y el segundo y tercero interruptores de pluralidad se hacen funcionar selectivamente para conectar el segundo terminal de fuente con los conductores de hilera y de columna que se extienden hacia el dispositivo seleccionado; y con el circuito de escritura además funcionando en un modo de reajuste de su ciclo en donde la primera pluralidad de interruptores se hacen funcionar selectivamente para conectar el segundo terminal de fuente con el conductor de control que se extiende hacia el dispositivo seleccionado y el segundo y tercero interruptores de la pluralidad, se hacen funcionar selectivamente para conectar el primer terminal de fuente con los conductores de hilera y de columna que se extienden hacia el dispositivo seleccionado.

10

15

20

25

30

12.- Una disposición de memoria de semiconductor-

- 1 AGO



res que utiliza transistores cuya tensión de umbral puede variarse electrónicamente.

5 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de veinticuatro hojas escritas a máquina por una sola cara.

Madrid,

- 1 AGO. 1972

P.A.

10

Alberio de Elizburu
For. P. A.

LJM.

- 24 -

377 163

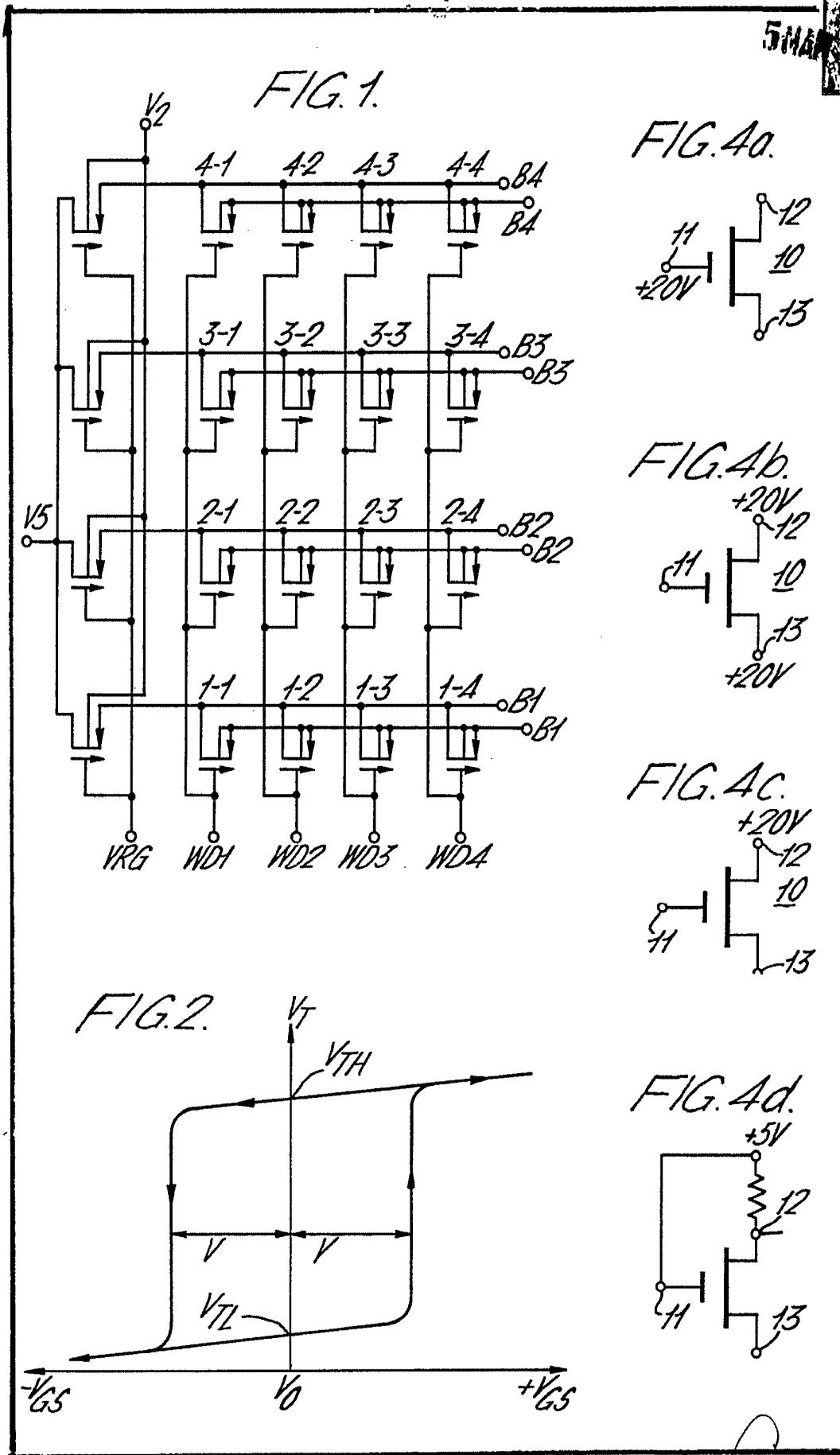


FIG. 40.

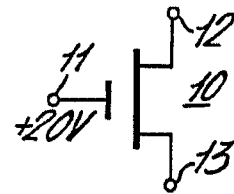


FIG. 4b.

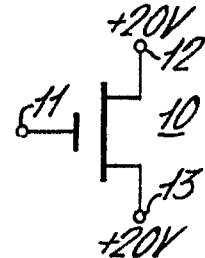


FIG. 4c.

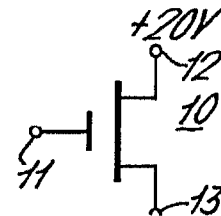


FIG. 4d.

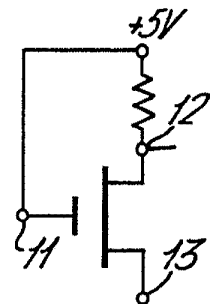
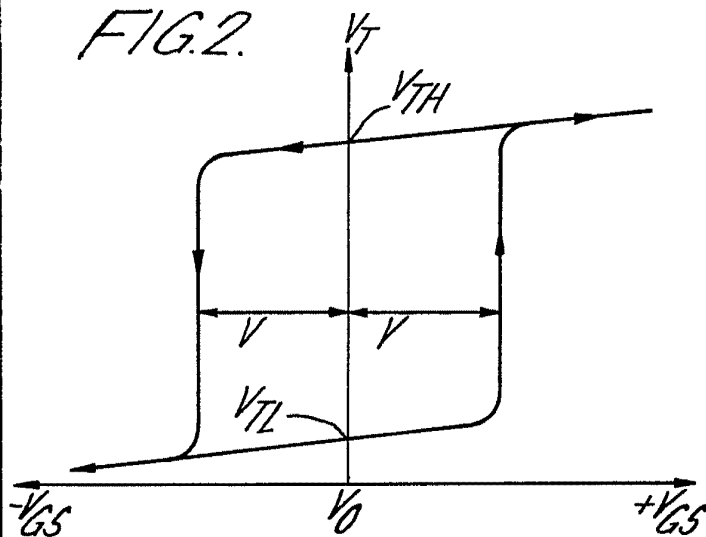
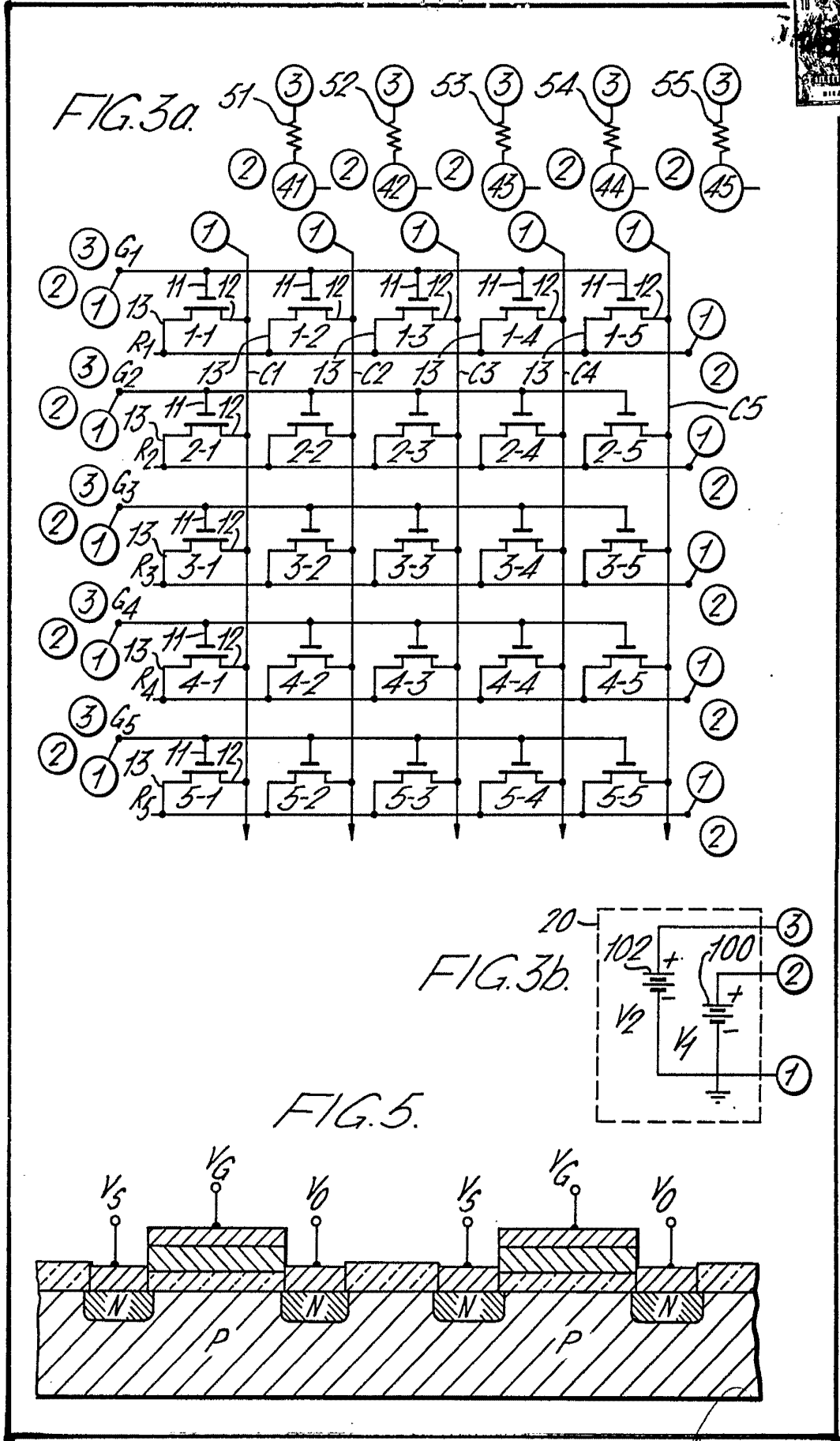


FIG. 2.





377 163

ALBERTO ...
FOR ...