

376033



J.G. Dupieux - J.C. Gadre - J.P. Le Corre - J.F.P.J. Loisel-
5-1-13-1

376033

SECCION TECNICA
CLASIFICACION
CLASE H01 H04
SUBCLASE 9 M

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "CENTRAL DE CONMUTACION DE DATOS DE MODULACION
DE IMPULSOS CODIFICADA (PCM) EN MULTIPLEX EN EL TIEMPO".
A NOMBRE DE STANDARD ELECTRICA, S. A., DOMICILIADA
EN MADRID, CALLE DE RAMIREZ DE PRADO, 5.

El presente invento se refiere a centrales de conmutación de datos en múltiplex en el tiempo y más particularmente a centros de este tipo que funcionan en modulación de impulsos codificada o "PCM".

5 Tales centrales ya han sido descritas en nuestras siguientes patentes españolas: Núms. 252.771, 323.787, 337.586 y 324.290.

10 En estas patentes se describen varios ejemplos de un paso de conmutación PCM que permite establecer un enlace entre un canal entrante dado de un enlace múltiplex y un canal saliente libre de otro enlace múltiplex (o del mismo enlace), ocupando los canales entrante y saliente generalmente ranuras de tiempo diferentes.



376033

2.

15 En las siguientes publicaciones se ha descrito también una central conmutadora mejorada.

e) "Electronics" de 31 de Octubre de 1966 - Un artículo por A. Chatelon titulado "PCM telephone exchange switches digital data like a computer" (Central telefónica PCM conmuta datos digitales como un computador) págs. 119 a 126.

20 f) "Techniques of pulse-code modulation in communication networks" (Técnicas de modulación de impulsos codificada en redes de comunicación) págs. 97 a 102; publicado por Cambridge University press, edición de 1962.

25 En esta central de conmutación mejorada se ha descrito una red de conmutación que comprende un único paso de conmutación diseñado para establecer conexiones entre un número de grupos de enlace que cada uno comprende g canales (g = 192, por ejemplo), estableciéndose cada conexión a través de un conector de entre j. Tal conexión está constituida por dos medias conexiones que conectan el conector respectivamente al canal entrante y al saliente.

30 Durante el período de repetición o cuadro, el reloj principal suministra una sucesión de claves Ct que caracterizan la división de tiempo de este cuadro en $g/2 = 96$ señales de tiempo base t_1, t_2, \dots, t_{96} . Cada uno de estos intervalos de tiempo se divide en dos partes iguales a fin de obtener dos trenes de 35 96 señales entrelazadas, esto es, las señales de tiempo sincronas $tS_1, tS_2, \dots, tS_x \dots tS_{96}$ y las señales de tiempo sincronas $tA_1, tA_2, \dots, tA_y \dots tA_{96}$.

40 Para una conexión dada, se establece una de las dos me-



376033

3.

dias conexiones en un tiempo sincrónico t_S y la otra en un tiempo asincrónico t_A , cuyos índices son generalmente diferentes.

Una conexión requiere, así, realizar en cada cuadro:

45 - una conmutación en tiempo en el conector para igualar las posiciones en tiempo (que son diferentes incluso si los tiempos t_S y t_A tienen el mismo índice)

- conmutación en espacio para cada una de las dos medias conexiones para establecer la conexión eléctrica entre cada uno de los grupos y el conector.

50 El conmutador de tiempo situado en un conector comprende primero una memoria de datos MDJ en la que cada dirección está reservada para una conexión y segundo, una memoria de circuito de tiempo MCT; estas dos memorias comprenden cada una $g/2$ líneas.

55 En cada cuadro, a fin de controlar el establecimiento de una conexión dada, la memoria MDJ, es dirigida al tiempo t_S en forma cíclica bajo el control de la clave Ctx leída en una dirección de la memoria MCT la dirección de la cual es también cíclica.

60 La conmutación en tiempo se describirá en forma simplificada para una conexión establecida entre el canal x del grupo G_1 (canal $G_1:t_Sx$) y el canal y del grupo G_2 (canal $G_2:t_Ay$) utilizando esta conexión el conector j_5 (conexión $G_1:t_Sx/j_5/G_2:t_Ay$).

65 La línea x del conector J_5 se asigna a esta conexión y la clave de tiempo Ctx que define la dirección x de la memoria MDJ se almacena en la línea y de MCT.



376033

4.

70 En el tiempo t_{Sx} la línea x de la memoria MDJ se selecciona y se establece la media conexión $G1:tx$, que se materializa por una transferencia de datos bidireccional entre el conector J5 y el grupo G1, siendo lo último la recepción del mensaje en el conector. En el tiempo t_{Ay} , la línea y de la memoria MCT se selecciona ahora y la clave Ctx que es leída controla de nuevo la selección de la línea x de la memoria MDJ
75 para el establecimiento de la media conexión $G2:ty$, que se materializa por una transferencia de datos bidireccional entre el conector J5 y el grupo G1, siendo el primer mensaje transmitido el recibido, en el tiempo t_{Sx} , desde el grupo G1.

80 Se ve así, que el conmutador de tiempo permite igualar las posiciones de tiempo de los canales entrante y saliente demorando los datos recibidos desde G1 desde el tiempo t_{Sx} al t_{Ay} y los datos recibidos desde G2 desde el tiempo t_{Ay} al tiempo t_{Sx} .

85 El conmutador de espacio está constituido por varios multiselectores electrónicos dirigidos por la información escrita en las memorias de circuito de espacio síncrono MSS cuando se tiene que establecer una media conexión síncrona ($G1:t_{Sx}$) o en las memorias de circuito de espacio síncrono MSA cuando se tiene que establecer una media conexión asíncrona
90 ($G2:t_{Ay}$). Tal conmutador permite efectuar la conexión entre diferentes grupos de enlaces, tales como G1 y G2.

95 La capacidad de tráfico de una red de conmutación de un paso solo tal como las descritas en las publicaciones e) y f) no es suficiente cuando el número de canales es grande. Esta es la razón por la cual, en el presente invento se utiliza un dis-



376033

5.

positivo de conmutación de dos pasos.

Cada paso está constituido por varios multiselectores Q'1, Q'2, etc. para el primer paso; Q1, Q2, etc. para el segundo paso, que cada uno comprende h entradas y v salidas.

100 Los grupos de enlaces conectados a las entradas del multiselector del primer paso, por ejemplo Q'1, constituyen un super grupo SG1 y las v salidas del multiselector del segundo paso, Q1 por ejemplo, están conectadas a v enlaces que constituyen el super conector SJ1.

105 Las memorias de circuito de espacio que controlan estos multiselectores se agrupan "horizontalmente" y colocadas en el superconector correspondiente. Así, el superconector SJ1 comprende, además de la memoria de datos MDJ y la memoria de circuito de tiempo MCT, las memorias de circuito de espacio MSS y
110 MSA asociadas a los multiselectores Q'1 y Q1.

Se comprende que la conexión entre dos canales que pertenecen a supergrupos SG1 y SG2 diferentes y que utilizan un superconector SJ3 situado a nivel horizontal diferente, requiere el acceso a tres superconectores SJ1, SJ2, SJ3 para co-
115 locar la información en las memorias de circuito.

No obstante, estas operaciones se efectúan en un tiempo muy corto bajo control de un computador y la distribución horizontal de las memorias presenta un cierto número de importantes ventajas. En efecto, permite modularizar las memorias agrupando cada módulo o unidad de extensión, por ejemplo, las cuatro
120 memorias de circuito de espacio asociadas a la primera salida de los multiselectores Q'1, Q1 y las memorias MDJ, MCT del conector asociado a la primera salida de Q1.



376033

6.

Tal unidad de extensión está organizada como unidad
125 independiente y tiene su propio suministro y su propia distri-
bución de señales de tiempo sincronizadas sobre las señales su
ministradas por el reloj principal, de modo que, primero, un
defecto en esta unidad de extensión afecta sólo a un número li
mitado de equipos y, segundo, la capacidad del dispositivo de
130 conmutación puede aumentarse fácilmente añadiendo nuevas unida
des.

Además, el dispositivo de conmutación de acuerdo con
el invento permite establecer diferentes tipos de medias cone-
xiones, tal como:

135 - La media conexión de tráfico que conecta un canal
a la dirección de un conector que tiene el mismo índice o un
índice diferente y que permite un intercambio de datos bidirec-
cional.

140 - La media conexión de tono que conecta un canal x a
un generador de tono situado en el conector controlado por in-
formaciones almacenadas en la dirección x de la memoria MDJ o
MCT de dicho conector.

145 - La media conexión de supervisión por la cual una uni-
dad de supervisión se conecta al circuito utilizado para una
conexión entre dos canales.

- La media conexión múltiple a través de la cual el
canal x de un grupo de enlaces se conecta a la dirección x de
cada uno de los conectores de un super conector.

150 En la anterior descripción se ha explicado el esta-
blecimiento de una conexión entre un "canal entrante" y un "ca-



376033

7.

nal saliente" pertenecientes a dos enlaces diferentes.

En la práctica y de acuerdo con el invento, se distribuyen los p enlaces de un grupo en $p/2$ enlaces pares y $p/2$ enlaces impares y puede elegirse una de las siguientes formas de organización:

155

1 - Los enlaces se especializan de acuerdo con la dirección de propagación de la llamada, siendo los enlaces impares los que llaman y los enlaces pares los llamados. Bajo estas condiciones, los enlaces impares están siempre conectados en tS y los enlaces pares están siempre conectados en tA (o a la inversa). Si cada multiselector comprende h entradas, con supergrupo comprende h grupos de enlaces.

160

2 - Los enlaces no están especializados y cada enlace puede estar conectado en tS o en tA. Un super grupo comprende entonces $h/2$ grupos de enlaces.

165

El fin del presente invento es, así, conseguir una central de conmutación de datos de PCM que tiene una alta capacidad de tráfico y que ofrece una alta seguridad de funcionamiento.

170

En una central de conmutación de PCM, el establecimiento de una conexión entre un canal "x" que llama y un canal "y" que pertenece a un enlace llamado, implica la realización simultánea de dos conmutaciones de espacio (una para cada canal) para dirigir los mensajes recibidos sobre estos canales hacia el mismo conector y una conmutación de tiempo efectuada en el mismo conector que permite emparejar las posiciones en tiempo de los dos canales que generalmente son diferentes.

175

Una característica del invento consiste en que los



376033

8.

180 mensajes transmitidos en serie y en múltiplex de tiempo sobre
cada uno de los "m" canales entrantes y salientes de cada en-
lace comprenden cada uno p cifras; un supermúltiplex con $g = pxm$
canales se constituye asociando p enlaces en un grupo de enla-
ces, transmitiéndose entonces el mensaje en paralelo; los enla-
ces se dividen en impares y pares especializados respectivamen-
185 te en enlaces que llaman y enlaces llamados (o a la inversa);
cada grupo de enlaces está conectado a una entrada de uno de
los multiselectores $Q'1, Q'2 \dots Q'n1$ de un primer paso de
selección; el dispositivo de conmutación en el que se efectúan
las conmutaciones de espacio comprende, además del primer paso,
190 un segundo paso conectado de tal modo que efectúa una mezcla
y comprende los multiselectores $Q1, Q2 \dots Qn2$; y cada salida
de un multiselector del segundo paso está conectada a un conec-
tor en el que se efectúa la conmutación de tiempo.

Otra característica del invento consiste en que en
195 el caso en que cada paso de selección comprende el mismo número
de multiselectores idénticos que cada uno tiene el mismo número
de entradas h y de salidas v, comprendiendo la central de con-
mutación tantos grupos de enlaces como conectores; en cada mul-
tiselector los puntos de cruce asociados con cada salida están
200 controlados por claves almacenadas en la memoria de circuito de
espacio síncrona MSS asignada a la conmutación de espacio de
mensaje de los canales que llaman y en una memoria MSA de cir-
cuito de espacio asíncrona asignada a la conmutación de espacio
de mensaje de los canales llamados, efectuándose la lectura de
205 dichas memorias en forma cíclica y utilizándose las claves



376033

9.

leídas bajo el control, respectivamente, de dichas señales t_S y t_A suministradas en forma entrelazada por el reloj de la central; cada enlace comprende, para la conmutación de tiempo, una memoria de datos MDJ y una memoria de circuito de tiempo MCT que son
210 leídas cíclicamente; que en los tiempos t_S la memoria MDJ es dirigida cíclicamente y en los tiempos t_A esta memoria es dirigida en forma asíncrona bajo el control de las claves leídas cíclicamente en la memoria MCT; cada una de las memorias MSS, MSA, MCT, MDJ comprende $g/2$ líneas; cada conexión entre un canal "x" que
215 llama y un canal "y" llamado, comprende dos medias conexiones que se establecen respectivamente en los tiempos t_{Sx} para una transferencia bidireccional de mensajes entre el canal x y la línea x de la memoria MJD y en el tiempo t_A y para una transferencia bidireccional de mensajes entre el canal y la línea x de la memoria
220 MDJ; cada conector tal como el asociado a la salida l del multiselector Q1, comprende, además de las memorias MDJ y MCT, las memorias MSS', MSA' asociadas a la salida l de Q'l y las memorias MSS, MSA asociadas a la salida l de Q1; la selección síncrona del conjunto de estas memorias se efectúa a través de un
225 solo selector y el conjunto de estas memorias en agrupación horizontal constituye una unidad de extensión independiente que tiene su propio suministro y su propio reloj sincronizado sobre el reloj principal.

Otra característica del invento consiste en que las
230 claves intercambiadas entre los canales que llaman y los llamados son mensajes escritos alternativamente en la memoria MDJ en el caso de una conexión de tráfico; la central de conmutación puede también establecer medias conexiones de tono entre un canal x de



376033

10.

235 un enlace y una línea x de un conector almacenando la clave de
selección Cn de un suministro de tono TN en la línea x de la
memoria MDJ si el canal x está llamando o en la línea x de la
memoria MCT si es llamado; la introducción de las claves en la
memoria MDJ se bloquea en cada tiempo tx y la lectura en tSx
(tAx) de la clave Cn en la memoria MDJ (MCT) controla la selec-
240 ción del suministro TN y la transmisión de tono sobre el canal x.

Otra característica del invento consiste en que la
central de conmutación puede establecer una media conexión espe-
cial para la supervisión de una conexión de tráfico entre un ca-
nal "x" y un canal "y" utilizando un conector Ja diferente al
245 utilizado para la conexión de tráfico; a fin de supervisar el
mensaje transmitido, por ejemplo, desde el canal que llama x
al canal y se establece una primera media conexión en tSx entre
una salida libre de uno de los dos multiselectores utilizados
por la media conexión de tráfico, en un tiempo tAz, entre esta
250 línea y una unidad de supervisión múltiplex libre en este tiem-
po de modo que los mensajes recibidos sobre el canal se trans-
miten también a dicha unidad.

Otra característica del invento es que, como alterna-
tiva, los enlaces no están especializados y los enlaces pares e
255 impares están conectados separadamente a una entrada de un mul-
tiselector del primer paso de modo que cada canal puede conec-
tarse a un conector en un tiempo tS o en un tiempo tA.

Otra característica del invento es que, como alterna-
tiva, se hace una agrupación de las memorias de modo que, para
260 $n1 = n2 = 8$, una unidad de extensión comprende las memorias MDJ,



376033

11.

MCT, MSS, MSA asociadas, por ejemplo, a la salida 1 del multiselector Q3 y las memorias MSS', MSA' asociadas a la salida 8 del multiselector Q1.

265 Los fines, características y ventajas del presente invento se verán por la siguiente descripción de un ejemplo de realización, dada con relación a los adjuntos dibujos en los cuales:

Las figs. 1a a 1g representan diagramas de las señales del reloj.

La fig. 2 representa el diagrama de un reloj.

270 La fig. 3 representa la memoria de datos de grupo.

La fig. 4 representa un demultiplexor de grupo.

La fig. 5 representa un diagrama para el estudio de la conmutación de tiempo.

275 Las figs. 6a a 6f representan los diagramas de las señales referentes al funcionamiento de un demultiplexor.

La fig. 7 representa al diagrama del circuito de control de un multiselector.

La fig. 8 representa el diagrama general del dispositivo conmutador con la agrupación horizontal de las memorias.

280 La fig. 9 representa la agrupación de las memorias que constituyen una unidad de extensión.

La fig. 10 representa un diagrama simbólico "desdoblado" de una conexión.

285 La fig. 11 una forma particular de conexión de una memoria de datos de grupo a un multiselector.

La fig. 12 representa el diagrama detallado de un conector.

La fig. 13 representa el diagrama simbólico de una me-



376033

12.

dia conexión de supervisión.

290 La fig. 14 representa el diagrama general de un dispositivo de conmutación con agrupación de las memorias.

A fin de facilitar la descripción se ha dividido como sigue:

- 1 - Definiciones
- 295 2 - Circuitos de entrada de la central de conmutación.
- 3 - Conmutación de tiempo
- 4 - Conmutación de espacio
- 5 - Modos de conexión de los enlaces
- 6 - Tipos de medias conexiones
- 300 7 - Agrupación de memorias

1 - Definiciones

El dispositivo de conmutación según el presente invento se describirá, a modo de ejemplo, en su aplicación a un sistema PCM cuyas principales características se dan en la tabla 1. Los diagramas de las señales de reloj se dan en las figs. 1a a 1f.

305 Estos datos de tiempo son facilitados por un reloj principal de diseño bien conocido representado, a modo de ejemplo en la fig. 2. Comprende un oscilador (no se muestra) que suministra señales H de período 81 ns de las que se obtienen otras señales por divisiones sucesivas efectuadas por medio de los selectores KF y KT.

310 El selector KF comprende un contador de 16 posiciones (4 vaivenes o biestables) y avanza bajo el control de las señales H. Sus tres biestables de menor valor suministran señales de tiempo finas y ultrafinas (fig. 1g) y el estado del biestable

315



376033

13.

de más valor da la información de tiempo síncrona t_S (fig. 1d) o t_A (fig. 1e). Se observará que este selector suministra un tiempo ultra fino al de duración 81 ns que no se muestra en la fig. 1g. Esta señal se utiliza para elaborar una señal de sincronización de base de tiempo que se definirá más adelante.

TABLA 1 - Características del sistema PCM y de las señales de reloj (base de tiempo de la central HS)				
Símbolo	Duración unidad	Duración ciclo		Figura
325 TR	$125 \mu s$		Duración del período de repetición o <u>cuadro</u> (frecuencia de elección 8KHz.)	1a
m			Número de canales en un enlace ($m = 24$)	
V1, V2... V24	$\approx 5,2 \text{ s}$	$125 \mu s$	Ranura de tiempo de canal	1a
p			Número de cifras de un mensaje y número de enlaces en un grupo ($p=8$)	
330 m1, m2... m8	650ns	$5,2 \mu s$	Ranura de tiempo de cifra	1b
t1...t96	1300ns	$125 \mu s$	Ranura de tiempo de base	1c
Ct			El juego de 96 claves de ranura de tiempo de base suministradas por el contador KT (fig. 2)	
335 tS	650ns		<u>Ranuras de tiempo síncronas</u>	1d
tA	650ns		<u>Ranuras de tiempo asíncronas</u>	1e
tS1... tS96	650ns	$125 \mu s$	Juegos de señales entrelazadas	
tA1... tA96	650ns	$125 \mu s$	tS y tA	1f
a, b, c, d	$162,5 \text{ ns}$	650ns	<u>Señales de ranura de tiempo finas</u>	1f
340 a1, a2 (d1, d2)	$\approx 81 \text{ ns}$	$162,5 \text{ ns}$	Señales de ranura de tiempo ultrafinas que dividen una señal a (d) en dos ranuras de tiempo iguales	1g
Cts			Selección cíclica en los tiempos tS	



376033

14.

345 El selector KT comprende un contador con 8 vaivenes
A1, A2, A8 y está limitado a 192 posiciones por la prohi-
bición de mostrar las 64 claves, cuyas dos cifras de mayor va-
lor A1 y A2 son iguales a cero. Las 96 claves constituidas por
las cifras A1 a A7 y las dos primeras de las cuales cumplen
350 la condición lógica $A1+A2=A12$ aparecen en sucesión de tiempo
sobre el grupo de siete conductores Ct (claves de tiempo básico)
descifrándose también dichas claves para suministrar las
señales t1 a t96. Además, el descifrado independiente de las
cifras A6, A7, A8 suministra las señales de ranura de tiempo
355 de cifra m1 a m8 (fig. 1b).

Se verá, en el párrafo 7, que cada conector consti-
tuye una unidad independiente o unidad de extensión compren-
diendo una base de tiempo idéntica a la que se acaba de descri-
bir pero sincronizada sobre la última. Esta sincronización está
360 controlada por una señal $Sy = t1.al$ que define el comienzo de
un cuadro y que actúa como sigue:

- Se fuerza el selector KF a una posición que corres-
ponde a una ranura de tiempo tS.al.
 - Se fuerza el selector KT a una posición que corres-
ponde al tiempo básico t1.
- 365

La señal de tiempo más corta suministrada por el re-
loj según se acaba de describir tiene una duración de 81 ns. Se
supondrá que el circuito utiliza circuitos integrados conven-
cionales con tiempos de respuesta t para una puerta y 3t, como
370 máximo, para un vaivén con $t \leq 10$ ns. Así, por ejemplo, cuan-
do una información se transfiere a un registrador a través de
una puerta múltiple, está disponible en este registrador como

376033



15.

máximo 40 ns después del comienzo de la señal de control incluso si esta señal es una señal de tiempo ultra fina.

375 La Tabla 2 representa varios símbolos que se utilizarán en la descripción del invento.

La parte 1 de esta tabla agrupa símbolos relacionados con los enlaces, a los conectores y a los multiselectores del dispositivo de conmutación. La parte 2 muestra símbolos que se utilizarán para representar las medias conexiones. Por último, la parte 3 agrupa los símbolos de las funciones lógicas elementales. Una puerta que cumple una de estas funciones se representará en las figuras por un círculo dentro del cual se mostrará el símbolo correspondiente. Cuando una puerta controla la transferencia de una clave de p cifras está constituida por p puertas controladas por la misma señal. En la práctica, a fin de simplificar los dibujos, no se ha provisto ningún símbolo particular para representar tales barreras múltiples, pero cuando esto se hace necesario para el buen entendimiento, el número de cifras transmitidas se ha escrito próximo al conductor de entrada y/o al de salida.

380

385

390



376033

16.

TABLA 2 - Símbolos utilizados en la descripción		
	Símbolo	Significado
395	N1, N2...Np V3.N1 N1e N1s g	Referencias de los enlaces en un grupo Ranura de tiempo del canal V3 en el enlace N1 Línea entrante del enlace N1 Línea saliente del enlace N1 Número de canales por grupo de enlaces g = mxp = 192 (supermultiplex)
400	1 h G1, G2...Gh SG1, SG2... SG1.3 v J1, J2...Jv	Número de entradas de un multiselector Referencia de los grupos de enlaces conectados a un multiselector (supergrupo) Referencias de los subgrupos Grupo G3 del supergrupo SG1 Número de salidas de un multiselector Referencias de los conectores conectados a un multiselector (superconector)
405	SJ1, SJ2... SJ5.1	Referencias de los superconectores Conector J1 del superconector SJ5
410	2 ":" "/"	Definición de un canal. El canal x del grupo G1 tiene la referencia G1:tx Media conexión. La media conexión entre G1:tx y el conector J2 tiene la referencia G1:tx/J2
415	3 ". " "+ " "X " m1-m8	Función AND lógica Función OR lógica Función OR lógica exclusiva (adición módulo 2) Equivalente a la condición lógica m1+m2+m3... ..m8

Por último algunas de las puertas mostradas en las figuras no tienen referencias pues están suficientemente definidas por la descripción o por las ecuaciones lógicas que resumen su funcionamiento.



376033

17.

2 - Circuitos de entrada de la central de conmutación

420 Una central de conmutación PCM permite establecer conexiones entre un canal dado x de un enlace que llama y un canal libre en otro enlace (o en el mismo enlace). Como puede verse por la fig. la cada enlace es el soporte de m canales multiplex de tiempo y comprende, visto desde la central de conmutación, una línea entrante (recepción de mensajes) y una línea saliente (transmisión de mensajes).

430 Cuando las señales de mensaje se transmiten desde la central de conmutación B hacia la central A, se sincronizan, en la central B, sobre la base de tiempo HS (señales de ranura de tiempo de cifra, fig. 1b) establecida por el reloj principal de la central que no está en sincronismo con el de la central A. En la central A, la base de tiempo HJ de las señales recibidas, obtenida por medio de un repetidor regenerativo, difiere con respecto a la base de tiempo HS de esta central (señales aplicadas por el reloj principal, fig. 2), designándose este fenómeno fluctuación lenta o deriva. Además, las señales recibidas son afectadas también por un temblor de fase debido a las variaciones en las condiciones de propagación.

440 Por último, es necesario marcar la posición en tiempo de los canales para permitir su identificación. Por lo tanto, se transmite periódicamente, en la central A, una clave de sincronización CS y que tiene una posición en tiempo perfectamente definida con respecto a la de los diferentes canales. Cuando esta posición en el tiempo varía o cuando la clave CSy no es detectada en la central A, tiene lugar una pérdida de cuadro.

445



376033

18.

Para evitar los efectos de la deriva, del temblor de fase y de la pérdida de cuadro, se asocia a las líneas entrantes, un circuito de sincronización SCR, del cual se han descrito dos ejemplos en las patentes españolas Nº 337.798 y Nº 371.476.

450

Estos circuitos controlan la equiparación de la base de tiempo HJ a la base de tiempo HS a costa de una pequeña pérdida de información.

455

El circuito descrito en la patente con la referencia (g) está adaptado a un dispositivo PCM en el que uno de los canales, por ejemplo el V24, se reserva para la transmisión de la clave CSy.

460

El descrito en la solicitud de patente con la referencia (h) está adaptado a un dispositivo PCM en el que la clave CSy está distribuida sobre un multicuadro que incluye varios cuadros. Más concretamente la descripción se refiere, a modo de ejemplo a un sistema en el cual:

465

- Un multicuadro comprende 4 cuadros TR1 a TR4.
- La clave CSy comprende 16 cifras.
- Cada cifra de esta clave ocupa la ranura de tiempo de cifra m1 de los canales V9 a V24 del cuadro TR2.

470

Como se ha mencionado anteriormente, los circuitos de sincronización están asociados a las líneas entrantes. Más concretamente, como se ha descrito en las patentes (g) y (h), se asocia un circuito de sincronización SCR a las líneas entrantes de un grupo de enlaces que comprende p enlaces, controlando, además, este circuito la conversión serie-paralelo de las cifras del mensaje.

Este circuito SCR permite así transformar un sistema

376033



19.

475 de enlaces múltiplex únicos que cada uno comprende m canales en los cuales la información está presente en serie, (cada mensaje de 8 cifras ocupa una de las ranuras de tiempo de cifra m_1 a m_8 de una ranura de tiempo de canal), en grupos de enlaces en supermúltiplex con $g = p \times m$ canales en los que la información está presente en paralelo, estando cada una de las ranuras de tiempo de cifra m_1, m_2, \dots, m_8 asignadas a uno de los enlaces 480 N_1, N_2, \dots, N_8 . En cada cuadro, el circuito de sincronización suministra los mensajes de $g = 192$ canales entrantes pero como los canales de los diferentes enlaces no están en sincronismo, estos mensajes están escritos en su orden de llegada en direcciones que se asignan individualmente a los mismos en una memoria reguladora o memoria de datos de grupo MDG asociada a las 485 líneas entrantes.

La fig. 3 representa esta memoria que es del tipo DRO (lectura borrada) y que está dividida en dos partes: memoria 490 de los enlaces impares MDG/I y memoria de los enlaces pares MDG/P comprendiendo cada una $g/2 = 96$ líneas y teniendo cada línea una capacidad de $p = 8$ cifras. La selección de escritura en esta memoria MDG es asíncrona (acceso al azar) y está controlada por una clave de selección suministrada por un circuito 495 síncrono sobre el grupo de conductores U_b conectados a la entrada E de la memoria. Los mensajes se aplican a la memoria sobre las entradas U_{a1} y U_{a2} .

En una forma de funcionamiento de la central de conmutación, los enlaces están especializados, de acuerdo con la 500 dirección de la llamada, en enlaces que llaman conectados a un

376033



20.

conector en un tiempo t_S y en enlaces llamados conectados a un conector en un tiempo t_A . En la fig. 3, la memoria MDG/I almacena los mensajes recibidos sobre los enlaces que llaman N1, N3, N5, N7 (enlaces impares) y la memoria MDG/P contiene los mensajes recibidos sobre los enlaces llamados N2, N4, N6, N8 (enlaces pares).

La dirección de la memoria MDG para la lectura se efectúa en forma cíclica en los tiempos t_s , como se indica en la fig. 3, por las claves de selección cíclica de 7 cifras que tienen las referencias $Ct.t_S$ (ver tabla 1) que se aplican a la entrada "L" de la memoria.

A fin de simplificar la figura el circuito descifrador que controla la selección de la dirección de escritura y lectura no ha sido mostrado.

La lectura se efectúa como sigue: en t_{Sx} la línea x de las memorias MDG/I y MDG/P es seleccionada por la clave Ct y los dos mensajes de 8 cifras almacenados en esta dirección se transfieren a los registradores RGI y RGP en el tiempo t_{fin} . Se transfieren entonces hacia el dispositivo de conmutación sobre el grupo de 8 conductores U_a , transfiriéndose la clave leída en MDG/I en t_S y la leída en MDG/P en t_A . La escritura se efectúa en el tiempo ultrafino d_2 por los medios descritos en la solicitud de patente antes mencionada en la referencia (h).

La tabla 3 da la asignación de los canales 1 a 192 del supermultiplex (columna 1) a las direcciones 1 a 96 de cada una de las dos memorias de datos de línea entrante (columnas 2 y 3). Por último las columnas 4 y 5 muestran la asignación de estas direcciones a los diferentes canales de los en-

376033



21.

530 laces y la columna 6 indica los tiempos de proceso síncrono y
asíncrono de los mensajes leídos en estas direcciones.

El mensaje del canal V1.N1e puede recibirse, como se
ha visto anteriormente, en cualquier tiempo en el cuadro y es
leído en tS1 de modo que la memoria MDG tiene una demora varia-
ble con una duración máxima de un cuadro. Los mensajes se trans-
535 miten a través de un dispositivo de conmutación y a la salida
de este dispositivo deben dirigirse los mensajes hacia las lí-
neas salientes de los enlaces.

La fig. 4 representa el circuito de desmultiplex del
grupo DXG utilizado para esto, que comprende los circuitos
540 DXG/I y DXG/P asignados respectivamente a las líneas salientes
N2s, N4s N8s de los enlaces que llaman N1, N3, N5, N7 y a
las líneas salientes de los enlaces llamados N2, N4, N6, N8.
Estos circuitos se describen en detalle con relación a la fig. 5.

3 - Conmutación de tiempo

545 Como se ha visto anteriormente una conexión requiere
una conmutación de tiempo efectuada en un conector y dos conmu-
taciones efectuadas en el dispositivo de conmutación.



376033

TABLA 3 - Sistema con enlaces especializados							
550	Super-multiplex	Direcciones en MDG		Canales		tiempo de lectura	Ranura de tiempo de enlace de proceso
		MDG/I	MDG/P	en MDG/I	en MDG/P		
	1	1		V1.N1e		tS1	m1
	2		1		V1.N2e	tA1	m2
	3	2		V1.N3e		tS2	m3
555	4		2		V1.N4e	tA2	m4
	5	3		V1.N5e		tS3	m5
	6		3		V1.N6e	tA3	m6
	7	4		V1.N7e		tS4	m7
	8		4		V1.N8e	tA4	m8
560	9	5		V2.N1e		tS5	m1
	:	:	:	:	:	:	:
	:	:	:	:	:	:	:
	95	48		V12.N7e		tS48	m7
	96		48		V12.N8e	tA48	m8
565	97	49		V13.N1e		tS49	m1
	:	:	:	:	:	:	:
	:	:	:	:	:	:	:
	191	96		V24.N7e		tS96	m7
	192		96		V24.N8e	tA96	m8
570	1	2	3	4	5	6	7

La fig. 5 representa, en forma simplificada, los circuitos utilizados para efectuar la conmutación de tiempo para establecer la conexión G1:tx/J5/G2:ty. Esta figura, en la que



376033

23.

los circuitos seguidos por los mensajes son de trazo grueso re-
presenta:

- Los circuitos de sincronización SCR1, SCR2 asocia-
dos a las líneas entrantes de cada grupo de enlaces.

580 - Las memorias de datos de grupo MDG1/I, MDG2/P aso-
ciadas a las líneas entrantes de los grupos de enlaces G1 y G2
y que son las que intervienen en esta conexión.

- Los desmultiplex de grupo MXG1/I, MXG1/P asociados
a las líneas salientes de estos grupos

585 El conector J5 que comprende la memoria de datos de
conector MDJ y la memoria de circuito de tiempo MCT.

Las cuatro memorias representadas en la figura com-
prenden $g/2 = 96$ líneas y son leídas cíclicamente en los tiempos
 t_S (símbolo Ct.tS).

590 La información leída se escribe en el tiempo fino b
en el registrador de salida de la memoria (RG11, RGP2, RCT, RDJ)
y está disponible durante los tiempos finos c y d. Los registra-
dores se liberan en el tiempo a o en el tiempo $t_S.a$.

595 Como se ha visto anteriormente, las memorias de datos
son del tipo DRO y almacenan mensajes de 8 cifras de modo que
los circuitos de trazo grueso en la figura están constituidos
por grupos de 8 conductores en los que están situados circuitos
múltiples AND.

600 La memoria de circuito de tiempo MCT es del tipo NDRO
(lectura no borrada) y pueden escribirse las claves en la misma,
a modo de ejemplo, bajo el control de un marcador tal como el
descrito en la patente con referencia (b). Estas claves que de-
ben seleccionar una línea de entre 96 en la memoria MDJ se se-



376033

24.

605 leccionan de entre las claves Ct suministradas por el reloj re-
presentado en la fig. 2.

La conexión G1:tx/J5/G2:ty que se estudiará a modo de ejemplo requiere el establecimiento alternativo de las dos medias conexiones G1:tx/J5 y G2:ty/J5. Se supondrá que la primera de éstas medias conexiones se establece en tSx (síncrona) y la
610 segunda en tAy (asíncrona).

A fin de efectuar este establecimiento alterno de las dos medias conexiones, la memoria MDJ del conector J5 se selecciona primero en cada tiempo tSx (obtenido descifrando las claves Ct.tS) y la segunda, en cada tiempo tAy por medio de una
615 clave leída en la memoria MCT.

En el tiempo tSx, las líneas x de las memorias MDG1:I y MDJ se seleccionan, así, simultáneamente y se efectúa la lectura en el tiempo fino b. Los mensajes se transfieren respectivamente, en este tiempo fino, en los registradores
620 RG11 y RDJ. En el tiempo tSx.d2 (puertas Pa1 y Pa5), el mensaje almacenado en RDJ se transfiere al desmultiplex DXG1/I (puerta Pa2). Puede verse, así, que esta media conexión síncrona controla una transferencia bidireccional de mensajes referentes al canal x entre el grupo G1 y el conector J5. En el tiempo tAy, la
625 clave Ctx, leída previamente en el tiempo tSx en la dirección y de MCT, selecciona la dirección x de MDJ y la clave Cty selecciona la dirección y de MDG2/P. La transferencia bidireccional de mensajes se efectúa entonces entre estas dos memorias estableciendo una media conexión asíncrona G2:ty/J5 similar a la
630 media conexión síncrona.

El circuito desmultiplex DXG2/P asignado a las líneas



376033

25.

salientes N2s, N4s, N6s, N8s, comprende:

635 - El registrador de entrada RMP en el que las claves suministradas por el dispositivo de conmutación sobre el grupo de conductores Ud se almacenan para la condición lógica tAy.d2 (puerta Pa4 y Pa6).

640 - Los registradores de cambio RN2...RN8 asignados respectivamente a las líneas salientes N2s...N8s. La clave almacenada en el registrador RMP se transfiere en paralelo en uno de estos registradores en una ranura de tiempo de cifra impar reservada a este enlace y se transmite en serie sobre la línea saliente bajo el control de las señales de tiempo fino c.

El funcionamiento de este circuito desmultiplex se describirá ahora con referencia a las figuras 6a a 6e.

645 La fig. 6a representa tres tiempos consecutivos tAy, tS (y+1), tA (y+1). Las figs. 6b a 6e representan las diferentes operaciones que se efectúan en estos circuitos y que se muestran simbólicamente por las inscripciones situadas en el lado izquierdo de estas figuras. Estas operaciones son:

650 (MDJ, y) Tf (RDJ): Transferencia en RDJ de los mensajes leídos en la línea y de MDJ en el tiempo tAy.b (fig. 6b). Este mensaje es el que debe transmitirse sobre la línea saliente.

(RDJ) Tf (RMP): Transferencia del contenido de RDJ en el tiempo tAy.d2 (fig. 6c).

655 (RMP) Tf (RJ): Transferencia del contenido de RMP en uno de los registradores RN2, RN4, RN6, RN8, en el tiempo fino b (fig. 6d) de la ranura de tiempo de cifra reservada al enlace a que pertenece el canal "y".

660 Z (RMP): Liberación del registrador RMA en el tiempo tA.c (fig. 6e).

376033



26.

Z (RDJ) liberación del registrador RDJ en el tiempo fino a (fig. 6f).

Se ha visto anteriormente que al constituir el supermultiplex se asociaron las ranuras de tiempo de cifra m_1 , m_2 , m_3 , m_8 a las líneas entrantes N_{1e} , N_{2e} , N_{3e} , N_{8e} de los enlaces. Por ejemplo, si se establece la media conexión asíncrona entre el conector J5 y el canal $V_1.N_2$ se tiene $t_{Ay} = t_{A1} = m_2$ (ver tabla 3). Se recibe, así, un mensaje, sobre el canal entrante $V_1.N_{2e}$, en el tiempo m_2 y el mensaje que debe transmitirse sobre el canal saliente $V_1.N_{2s}$ se almacena en RMA en $m_2.d_2$ (fig. 6c). Los mensajes se transfieren así a RN en los tiempos m_3 , m_5 , m_7 , m_1 respectivamente, para los enlaces N_2 , N_4 , N_6 , N_8 .

El circuito desmultiplex DXG2/I es absolutamente idéntico al circuito DXG1/P y sus registradores de cambio RN_1 , RN_3 , RN_5 , RN_7 reciben los mensajes respectivamente en m_2 , m_4 , m_6 , m_8 .

4 - Conmutación de espacio

Se ha descrito, con referencia a las figs. 5 y 6, la forma de realizar la conmutación de espacio tomando en consideración sólo las memorias de datos de grupo y los desmultiplexer relacionados con la conexión $G_1:tx/J_5/G_2:ty$. Los mensajes relacionados con esta conexión ocupan sólo una dirección en cada una de las memorias de datos y las otras direcciones pueden contener mensajes de tránsito a través de otros conectores. A fin de controlar el acceso a estos conectores se realiza una conmutación de espacio entre los grupos de enlaces y los conectores, mostrándose simbólicamente estas conmutaciones en la fig. 5 por los circuitos AND Pa1 a Pa4.



376033

27.

La fig. 7 representa un multiselector que es el cir-
690 cuito básico utilizado para la conmutación de espacio. Comprende
h entradas y v salidas que cada una comprende $2p = 16$ conductores
para la transferencia bidireccional, en paralelo, de mensajes de
8 cifras. En cada punto de cruce entre una entrada y una salida
se han colocado 16 circuitos AND que constituyen una puerta múltiple
695 mostrada simbólicamente por un punto. Cada una de las puer-
tas h asociada a una salida dada, por ejemplo la salida 1, está
controlada por una de las señales h suministradas por el descifra-
dor DS1. Las claves aplicadas a este descifrador son sumministra-
das por la memoria de circuito de espacio síncrona MSS o por la
700 memoria de circuito de espacio asíncrona MSA que cada una inclu-
ye $g/2$ líneas. La memoria MSS contiene las claves que aseguran
la selección de espacio para la media conexión síncrona y la me-
moria MSA contiene las claves que aseguran la selección para la
media conexión asíncrona.

705 En cuanto a las memcrias descritas con relación a la
fig. 5, la selección se efectúa cíclicamente (claves Ct.tS) en
ambas memorias de circuito de espacio, y las claves leídas se
transfieren, en el tiempo fino b, a los registradores RSS1, RSA1.
La clave almacenada en RSS1 se aplica en el tiempo tS al descif-
710 frador DS1 y el registrador se libera en el siguiente tiempo fino
a. La clave almacenada en RSA1 se aplica en el tiempo tA a este
mismo descifrador y el registrador se libera en el tiempo fino
a siguiente (en tS.a).

Así, si se considera la línea 1 de cada una de las
715 dos memorias asociadas a la salida 1 del multiselector, se leen
simultáneamente en tS1. La clave leída en MSS controla el cierre



376033

28.

de uno de los puntos de cruce de entre h en este mismo tiempo tS1 y la clave leída en MSA controla el cierre de un punto de cruce en tA1.

720

La fig. 8 representa un dispositivo conmutador que comprende dos pasos de selección Q', Q. Cada paso comprende ocho multiselectores Q'1 a Q'8, Q1 a Q8. Este dispositivo tiene, por ejemplo, tantas entradas como salidas y así efectúa sólo una mezcla de acuerdo con el método bien conocido de interconexión. Un supergrupo SG1....SG8 se conecta a las entradas de cada multiselector del paso Q'. Un superconector SJ1...SJ8 se conecta a las salidas de cada multiselector. En esta fig. 8, un cuadrado situado en la parte inferior izquierda de cada salida muestra simbólicamente el circuito de selección de circuito de espacio que se ha descrito con relación a la fig. 7.

725

730

735

Como se ha descrito en la patente con la referencia (b) las claves de selección de tiempo y espacio suministradas por el computador CP pueden escribirse en las direcciones adecuadas por varios medios y particularmente por medio de un marcador MKR. Se observará que estas claves son igualmente claves de dirección y claves cero que controlan la liberación de una clave de dirección. Así, tal operación se denominará en adelante "modificación de clave".

740

745

En estas condiciones si se considera la conexión SG1.1:tSx/SJ2/SG8.2:tAy (ver tabla 2 para la definición de las referencias) establecida a través del dispositivo de conmutación de la fig. 8, el circuito MKR ha de efectuar, a fin de escribir las claves que caracterizan cada una de las medias conexiones, tres selecciones diferentes: selección de memoria de circuito de espacio en el paso Q'; selección de memoria de circuito de



376033

29.

espacio en el paso Q; y una selección de conector.

De acuerdo con una característica del invento se efectúa un agrupamiento horizontal de las memorias en cada conector, que consiste en asociar a las memorias MCT y MDJ de un conector, por ejemplo J1, las memorias MSS, MSS', MSA, MSA' asociadas a las salidas 1 de los multiselectores Q'1 y Q.

Se recordará que todas estas memorias son leídas cíclicamente bajo el control de las claves Ct.tS y que tienen el mismo número de líneas, esto es $g/2 = 96$ de modo que pueden agruparse físicamente como se muestra en la fig. 9 y pueden utilizar el mismo descifrador de selección DJR. La selección de las claves que deben leerse se efectúa al nivel de los registradores de salida.

Con un dispositivo de conmutación como el descrito con relación a la fig. 8, una media conexión síncrona Sw o una media conexión asíncrona Aw, utiliza dos puntos de cruce en cada paso de selección.

La fig. 10 es una representación simbólica "desdoblada" de la conexión considerada antes como ejemplo. Puede verse que esta conexión toma en consideración memorias de datos y circuito situadas en tres superconectores diferentes y, más particularmente, los conectores SJ2.5, SJ1.2 y SJ8.2. Con la agrupación horizontal, como máximo, sólo se necesitan tres selecciones para escribir las claves que caracterizan la selección.

5 - Modos de conexión de los enlaces

En la organización de la central de conmutación que se ha descrito en el párrafo 2 y con relación a la fig. 3, los



376033

30.

775 enlaces están especializados, de acuerdo con la dirección de pro-
pagación de una llamada, en enlaces que llaman conectados a un co-
nector en un tiempo t_S (enlaces impares según la tabla 3) y enla-
ces llamados conectados a un conector en un tiempo t_A (enlaces pa-
res). En esta organización, cada grupo de enlaces tal como SG1.1,
SG1.2, etc. se conecta a la entrada de un multiselector del paso
780 Q' como se indica en la fig. 8.

Como alternativa se asocia al dispositivo de conmuta-
ción enlaces no especializados que pueden conectarse a un conec-
tor en un tiempo t_S o en un tiempo t_A . La fig. 11 representa,
para esta alternativa, la forma de conexión de las memorias MDG
785 al dispositivo de conmutación. Puede verse que estas memorias
MDG/I (memoria de datos de enlace impar) y MDG/P (memoria de da-
tos de enlace par) tienen accesos separados a las entradas del
paso multiselector Q'. Habiéndose establecido la conexión en es-
te multiselector separadamente para cada una bajo el control de
790 una memoria de circuito de espacio MSS o MSA, no es ya necesá-
rio, como en el circuito de la fig. 3 colocar puertas en las sa-
lidas de los registradores RGI y RGP.

En un tiempo t_S dado, por ejemplo t_{S5} , los mensajes al-
macenados en la línea 5 de ambas memorias se transfieren a los re-
795 gistradores RGI, RGP y cada uno de estos mensajes puede transmi-
tirse, a través del dispositivo de conmutación, en t_{S5} o en t_{A5} .
La liberación de los registradores se efectúa en cada tiempo t_S .a.

6 - Tipos de medias conexiones

800 En los capítulos 3 y 4 se ha descrito el establecimien-
to de una conexión convencional entre el canal x del grupo SG1.1
y un canal del grupo SG8.2. Para esta conexión, la fig. 10 mues-

376033



31.

tra la localización de las memorias de grupo y circuito incluidas en las conmutaciones de tiempo y espacio.

805 Esta conexión convencional comprende dos medias conexiones que se denominarán medias conexiones de tráfico y son del tipo Sw o Aw (ver fig. 10).

El dispositivo de conmutación según el invento permite establecer varios otros tipos de conexiones que se describirán, a modo de ejemplo, para el caso en que la central de conmutación en una central telefónica de PCM.

6.1 Media conexión de tono

815 Es una media conexión síncrona (media conexión del tipo St) o asíncrona (media conexión del tipo At) que conecta el canal x de un grupo a un suministro de tono digital situado en un conector. Es unidireccional, esto es, sólo transmite el tono desde el conector hacia el abonado.

820 La fig. 12 representa el diagrama del circuito de conmutación de tiempo de un conector siendo un diagrama más completo que el de la fig. 5 y en el que se han mostrado varios suministros de tono TN1, TN2, etc. seleccionados por las claves interpretadas en el descifrador DTJ.

Cuando tal suministro recibe una señal de control transmite un tono digital hacia el desmultiplexer del grupo que se considera (circuito OR. Pa7).

825 A fin de identificar esta media conexión se almacena una información particular en una de las memorias MDJ o MCT según deba ser del tipo St o At.

La tabla 4 indica así, líneas 1 y 2, los datos de identificación almacenados en estas memorias.

830 Cuando se lee esta información, controla la elaboración

376033



de una señal de conmutación (tabla 4, línea 3) que controla la transmisión de un tono o el funcionamiento normal de un conector.

Tabla 4 - Identificación de los diferentes tipos de medias conexiones				
	Medios de identificación	Señal	Tipo de media conexión	Condición lógica
835	1 En memoria MDJ	$\overline{B9}$ B9	Sw o Aw St	
840	2 En memoria MCT	A12 $\overline{A12}$	Aw At	$A12 = A1 + A2$
845	3 Señales de conmutación en el conector	Rt \overline{Rt} B9.tS $\overline{A12.tA}$	St o At Aw o Sw St At	$Rt = B9.tS + \overline{A12.tA}$

La información de identificación se obtiene del modo siguiente:

- 850 a) Para una media conexión síncrona: Durante la descripción de la fig. 5 se ha admitido que cada línea de la memoria MDJ tenía una capacidad de $p = 8$ cifras que reciben las referencias B1, B2 B8. En realidad, cada línea comprende una cifra adicional o cifra de tono B9. Durante una conexión normal de tráfico, esta cifra es 0 (condición $\overline{B9}$) y su valor es 1 (condición B9)
- 855 cuando debe establecerse una media conexión de tono síncrona St. La información B9 o $\overline{B9}$ es suministrada por el registrador RDJ.
- b) Para una media conexión asíncrona : La memoria de circuito de circuito de tiempo MCT se provee normalmente para el almace-



376033

33.

860 naje de la clave de tiempo Ct con siete cifras A1.A2. ... A7 como se ha definido en el párrafo 1. Para la selección de dirección en la memoria MDJ que comprende $g/2 = 96$ líneas, se ha visto que se tenía la condición $A1+A2=A12$.

865 Cuando debe establecerse una media conexión de tono asíncrona At en tAy, se escribe, en la línea correspondiente de MCT, la cifra 0 en las posiciones A1 y A2 y el descifrador DCT suministra entonces, en tSy y en tAy, una señal $\overline{A12}$.

En la dirección que ha quedado así marcada en MDJ o MCT, se escribe una clave de selección de tono Cn que ocupa las posiciones B1 a B8 de MDJ o las posiciones A3 a A7 de MCT.

870 Las señales de conmutación (tabla 4, línea 3) actúan como sigue:

a) Medias conexiones de tráfico SW o AW : Para la memoria MDJ, la recepción de los mensajes procedentes del grupo de memorias 4 la transferencia de mensajes hacia los desmultiplexer están controladas por la señal \overline{Rt} (puertas Pa5 y Pa6). Además, la selección de la dirección asíncrona en MDJ para una media conexión Aw ocurre sólo para la condición lógica $A12.tA$ (puerta Pa8).

875 b) Media conexión de tono St : La clave Cn leída en MDJ selecciona el suministro de tono correspondiente para la condición lógica $B9.tS$ (puerta Pa9). Además, como la lectura de esta memoria es destructiva, la clave Cn ha de volver a escribirse en la misma dirección en el tiempo d2 (puerta Pa12 abierta para la condición lógica Rt).

880 c) Media conexión de tono en At : La clave Cn leída en MCT en el tiempo tSy selecciona el suministro de tono correspondiente para la condición lógica $\overline{A12}.tA$ (puerta Pa10). Esta clave no se vuel-

376033



34.

ve a escribir pues esta memoria no es del tipo NDRO.

En este mismo tiempo tSy se lee la dirección y de MDJ y puede contener una clave o mensaje referente a otra media conexión. Así, esta clave ha de mantenerse y esta es la razón por la cual se vuelve a escribir bajo el control de la señal Rt (puerta Pal2).

6.2 - Medias conexiones de supervisión

En un tipo de central interurbana o tandem asociada a una red que utiliza numeración paso-a-paso, una parte de la numeración recibida sobre el canal que llama puede transmitirse directamente sobre el enlace llamado. En este caso, es necesario conectar una unidad de supervisión SU, cuya descripción queda fuera del alcance del invento, a un punto del circuito de conversación a fin de supervisar la transmisión de las cifras. Se supondrá, a modo de ejemplo, que esta unidad está constituida por la dirección z de una memoria similar a una memoria de datos.

La fig. 13 es una representación simbólica, similar a la de la fig. 10, de una primera forma de conseguir una media conexión supervisora. A fin de simplificar la figura, se han mostrado solamente las memorias MDJ de los conectores implicados.

Como en el ejemplo tomado para la descripción de la conmutación, se supone que el canal x de SG1.1 está llamando. Las medias conexiones G1:tx/J5 y J5/G2:ty son, así, respectivamente del tipo Sw y Aw.

A fin de supervisar esta conexión G1:tSx/J5/G2:tAy, se explora entonces un conector, tal como SJ3.2, en el que la línea x está libre en los tiempos tx y tz y se establece, des-



376033

35.

de este conector, una media conexión G1:tSx/J2 cerrando un punto de cruce situado en la vertical del multiselector Q'1 que tiene acceso al multiselector Q3 asociado al superconector SJ3. La media conexión J2/SU es una media conexión de tráfico Aw.

920 Como alternativa, la media conexión de supervisión puede conectarse sobre un vertical libre del multiselector Q2.

Se observará que esto puede extenderse a todos los conectores de SJ2 haciendo conexiones a todos los verticales de Q2. Se tiene así una media conexión múltiple con acceso a las líneas x de todos los conectores del superconector.

925

7 - Agrupación de memoria

Se ha visto en el párrafo 4 que, de acuerdo con una característica del invento se había efectuado una agrupación horizontal de las memorias (ver figs. 8 y 9).

930 Las memorias situadas en un conector (ver fig. 9) constituyen una unidad de extensión que agrupa las memorias asociadas a un vertical de un multiselector en cada paso de selección. A fin de disminuir el número de conductores entre los conectores y los dos multiselectores y el descifrador, DS1 (fig. 7, por ejemplo) no se incluye en la unidad de extensión y está asociado al vertical.

935

Se comprende así, que si se requiere aumentar la capacidad del dispositivo de conmutación, es suficiente añadir unidades de extensión si las entradas y salidas libres correspondientes han sido provistas en el dispositivo.

940

La unidad de extensión constituye un bloque que presenta una cierta independencia de funcionamiento. En realidad, comprende primero un suministro de alimentación independiente



376033

36.

945 y además la base de tiempo descrita con relación a la fig. 2 y
que recibe, desde el reloj principal, sólo la señal H y la se-
ñal de cuadro Syl

Puede verse así, que este concepto de unidad de exten-
sión mejora la fiabilidad del dispositivo de conmutación ya que
una avería en esta unidad reduce sólo en proporción muy baja la
950 capacidad de tráfico de dicho dispositivo.

Además, se recordará que se ha mostrado, en el párrafo
4, que la agrupación horizontal de las memorias permitía reducir
el número de selecciones para una operación de modificación de
clave.

955 En una exploración de circuito para establecer, por
ejemplo, la media conexión de llamada SG1.1:tSx el computador CP
debe primero buscar un conector libre en el tiempo tSx. Si se su-
pone que uno de estos conectores libres es SJ1.1 (ver fig. 8)
significa esto que la salida 1 de Q1 está libre en tSx: hay enton-
960 ces disponibles dos informaciones que indican que la media conec-
ción debe establecerse entre la entrada 1 de Q'1 y la salida 1
de Q1. Las informaciones que faltan son; el número de la salida
que ha de utilizarse en Q'1 y el número de la entrada de Q1, es-
to es, la identidad del cruce que conecta Q'1 y Q1. Como es bien
965 sabido esta información puede ser suministrada por un mapa o
tabla de conexiones constituida por una memoria de sólo lectura
asociada al computador CP.

La fig. 14 representa una forma alternativa de agrupa-
ción de memoria que se denominará agrupación de malla. En este
970 tipo de agrupación, se localiza en el conector, tal como por
ejemplo SJ8.1, las memorias de circuito de espacio asociadas a



376033

37.

la salida 1 de Q8 y a la salida 8 de Q'1, siendo dicha salida uno de los extremos de la malla que conecta Q'1 a Q8.

En estas condiciones, si la media conexión ha de establecerse entre SG1.1 y SJ8.1 el reconocimiento de la clave que identifica constituido asociando p enlaces en un grupo de enlaces, escribiéndose los "g" mensajes recibidos en cada cuadro en paralelo en las g direcciones que tienen asignadas en una memoria de datos de grupo MDG, cuya salida está conectada a una entrada de uno de los multiselectores Q'1, Q'2 Q'nl de un primer paso de selección de espacio Q', y las salidas de estos multiselectores están conectadas, en forma conocida, a las entradas de los multiselectores Q1, Q2 Qn2 de un segundo paso, estando cada salida de un multiselector del segundo paso conectada a un conector, constituyendo el conjunto de los grupos conectados a un multiselector Q'1, Q'2, etc., un superconector y estando controlada en cada multiselector la selección de un punto de cruce asociado a una entrada, por una clave escrita en una de las g/2 direcciones de una memoria de circuito de espacio MSS o MSA con una lectura cíclica, comprendiendo cada conector una memoria de datos MDJ con g/2 direcciones, seleccionándose cada una de dichas direcciones, en cada cuadro, una vez en una forma cíclica y una vez en una forma acíclica, y una memoria de circuito de tiempo MCT con g/2 direcciones seleccionadas cíclicamente y que suministran las claves que permiten la selección acíclica de la memoria MDJ; estando además caracterizada porque: las g direcciones de una memoria MDG, se distribuyen en dos memorias MDG/I, MDG/P que cada una comprende g/2 direcciones de p impulsos respectivamente asignadas a los mensajes recibidos sobre los enlaces impares



376033

1005 y sobre los enlaces pares, estando dichos enlaces respectivamente especializados en enlaces que llaman y enlaces llamados; queq identifica SJ8.1 da inmediatamente la información que falta pues el número "1" identifica el multiselector Q'1 y la entrada Q8, y el número "8" identifica la salida utilizada en Q'1. No es así necesario utilizar tablas de conexiones o mallas en este tipo de agrupación.

1010 Aunque el presente invento se ha descrito con relación a un ejemplo determinado del mismo, está claro que no queda limitado a este ejemplo y que puede aplicarse a otras alternativas o modificaciones sin que por ello queden fuera de su alcance.

1015 Este invento corresponde a una solicitud de patente formulada en Francia el 30 de Enero de 1969 señalada con el Núm. 6901888 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1020 1 - Una central de conmutación de datos de modulación de impulsos codificada (PCM) en múltiplex en el tiempo para establecer varias conexiones, una conexión entre un canal "x" que llama y un canal "y" en un enlace llamado que implica la ejecución simultánea de dos conmutaciones de espacio (una para cada canal) para permitir la transferencia bidireccional de mensajes entre cada uno de los canales, y un mismo conector y de una conmutación de tiempo efectuada en el mismo conector, para igualar 1025 las posiciones de tiempo de los dos canales, que generalmente



376033

39.

son diferentes, caracterizada porque: los mensajes transmitidos en serie y en múltiplex de tiempo sobre cada uno de los m canales entrantes y salientes de un enlace, comprenden cada uno "p" cifras, y un supermúltiplex de $g = p \times m$ canales está constituido asociando p enlaces en un grupo de enlaces, escribiéndose los "g" mensajes recibidos en cada cuadro en paralelo en las g direcciones que tienen asignadas en una memoria de datos de grupo MDG, cuya salida está conectada a una entrada de uno de los multiselectores $Q'1, Q'2 \dots Q'n1$ de un primer paso de selección de espacio Q' , y las salidas de estos multiselectores están conectadas, en forma conocida, a las entradas de los multiselectores $Q1, Q2 \dots Qn2$ de un segundo paso, estando cada salida de un multiselector del segundo paso conectada a un conector, constituyendo el conjunto de los grupos conectados a un multiselector $Q'1, Q'2$, etc., un superconector y estando controlada en cada multiselector la selección de un punto de cruce asociado a una entrada, por una clave escrita en una de las $g/2$ direcciones de una memoria de circuito de espacio MSS o MSA con una lectura cíclica, comprendiendo cada conector una memoria de datos MDJ con $g/2$ direcciones seleccionándose cada una de dichas direcciones, en cada cuadro, una vez en una forma cíclica y una vez en una forma acíclica, y una memoria de circuito de tiempo MCT con $g/2$ direcciones seleccionadas cíclicamente y que suministran las claves que permiten la selección acíclica de la memoria MDJ; estando además caracterizada porque: las g direcciones de una memoria MDG, se distribuyen en dos memorias MDG/I, MDG/P que cada una comprende $g/2$ direcciones de p impulsos respectivamente asignadas a los mensajes recibidos sobre los



376033

40.

- enlaces impares y sobre los enlaces pares, estando dichos enlaces respectivamente especializados en enlaces que llaman y en enlaces llamados; el reloj principal de la central suministra, en cada cuadro, dos trenes de $g/2$ señales entrelazadas que son las señales de tiempo sincronas, tS y las señales de tiempo asincronas tA ; estas señales están asignadas respectivamente al establecimiento de medias conexiones de tráfico sincronas entre, por ejemplo, el canal "x" que llama (en el tiempo tSx) y la dirección x seleccionada cíclicamente en la memoria MDJ de un conector, y al establecimiento de una conexión de tráfico asincrona AW entre, por ejemplo, el canal "y" llamado (en el tiempo tAy) y la dirección x de la misma memoria MDJ seleccionada por la clave de dicha dirección leída en este tiempo en la memoria MCT; efectuándose las selecciones de espacio en los pasos de selección bajo el control de las claves escritas en las memorias MSS' (para el paso Q') y MSS (para el paso Q) pasa la media conexión Sw; y en las memorias MSA' (para el paso Q') y MSA (para el paso Q) para la media conexión Aw, de modo que cada conexión entre un canal "x" que llama y un canal "y" llamado comprende dos medias conexiones establecidas respectivamente en el tiempo tSx para una transferencia bidireccional de mensajes entre el canal "x" y la memoria MDJ y en un tiempo tAy para una transferencia bidireccional de mensajes entre el canal "y" y la línea x de la memoria MDJ.
- 1060
- 1065
- 1070
- 1075
- 1080
- 2 - Una central de conmutación de datos según el punto 1, caracterizada porque: se establece una transferencia unidireccional de mensajes entre un transmisor de clave tal como un suministro de tono digital, situado en un conector y un canal que llama o

376033



41.

1085 llamado a través de una media conexión de tono síncrona St o una media conexión de tono asíncrona At; una media conexión con el canal x se marca almacenando la clave Cn que identifica el suministro de tono Tn en la dirección x de la memoria MDJ cuando se trata de una media conexión St, o en la dirección x de la memoria MCT cuando se trata de una media conexión At; la

1090 lectura de tal clave bloquea la transferencia normal de los mensajes para medias conexiones del tipo Sw o Aw; para la media conexión St, la lectura en tSx de la clave Cn en la memoria MDJ controla la selección del suministro Tn y la lectura de las claves de tono sobre el canal x; y para una media conexión At, la

1095 lectura en tSx de la clave Cn en la memoria MCT controla, en tAx, la transmisión de la clave de tono sobre el canal x, bloqueándose entonces la selección acíclica de la memoria MDJ por la clave leída en MCT.

3 - Una central de conmutación de datos según los puntos 1 y 2

1100 caracterizada porque: se establece una media conexión de supervisión de una conexión de tráfico establecida entre el canal "x" y el canal "y" utilizando un conector Ja diferente del conector Jo utilizado para la conexión de tráfico; para la supervisión de los mensajes transmitidos, por ejemplo, desde el canal "x" que llama, hacia el canal "y", se establece primero una media

1105 conexión en el tiempo tSx entre una salida libre de uno de los dos multiselectores tomados por la media conexión de tráfico y la línea x del conector Ja y una segunda media conexión, en el tiempo tAx, entre esta línea y una unidad de supervisión de modo que los mensajes recibidos sobre el canal x se transmiten

1110



376033

42.

también a dicha unidad.

- 1115 4 - Una central de conmutación de datos según los puntos 1 a 3 caracterizada porque: se establece una media conexión múltiple entre un canal x de un grupo y la dirección x de todos los conectores de un superconector controlando la conexión simultánea, en el tiempo t_{Sx} , de todas las salidas del multiselector asociado a dicho superconector, a la entrada de dicho multiselector que da acceso al canal x .
- 1120 5 - Una central de conmutación de datos según los puntos 1 a 4 caracterizada porque: cada conector tal como el asociado a la salida K del multiselector Q_1 comprende, además de las memorias MDJ y MCT , las memorias MSS' , MSA' asociadas a la salida K del multiselector del paso Q' , y las memorias MSS , MSA asociadas a la salida homóloga del multiselector del paso Q ; todas las memorias están agrupadas de modo que sus direcciones se seleccionan simultáneamente por medio de un solo selector; se constituye una unidad de extensión asociando a estas memorias, organizadas en agrupación horizontal, primero un suministro de alimentación independiente y segundo un reloj secundario que, bajo control de las señales de sincronización suministradas por el reloj principal de la central, elabora las señales de tiempo sincrónicas t_S , las señales de tiempo asincrónicas t_A y todas las otras señales de tiempo necesarias para el funcionamiento de la unidad de extensión; y en el caso en que, primero, los pasos Q' y Q comprenden el mismo número de multiselectores y, segundo, todos estos multiselectores tienen el mismo número de salidas, la agrupación horizontal de las memorias se efectúa colocando, por ejemplo en la unidad de extensión 1, las memorias MDJ y MCT del
- 1125
- 1130
- 1135



376033

43.

- 1140 conector asociado a la salida 1 del multiselector Q1, las memorias MSS, MSA asociadas a la misma salida y las memorias MSS', MSA', asociadas a la salida 1 del multiselector Q'1.
- 6 - Una central de conmutación de datos según los puntos 1 a 4 caracterizada porque: como alternativa si cada uno de los pasos de selección comprende, por ejemplo, 8 multiselectores, se efectúa una agrupación de malla de las memorias con lo que la unidad de extensión 1, por ejemplo, comprende las memorias MDJ, MCT, MSS, MSA asociadas a la salida 1 del multiselector Q8 y las memorias MSS', MSA' asociadas a la salida 8 del multiselector Q1.
- 1145
- 1150 7 - Una central de conmutación de datos de modulación de impulsos codificada (PCM) en múltiplex en el tiempo para establecer varias conexiones, una conexión entre un canal "x" que llama y un canal "y" en un enlace llamado que implica la ejecución simultánea de dos conmutaciones de espacio (una para cada canal)
- 1155 para permitir la transferencia bidireccional de mensajes entre cada uno de estos canales, y un mismo conector y de una conmutación de tiempo efectuada en el mismo conector, para igualar las posiciones de tiempo de los dos canales que generalmente son diferentes, caracterizada porque: los mensajes transmitidos en serie y en múltiplex de tiempo sobre cada uno de los m
- 1160 canales entrantes y salientes de un enlace, comprenden cada uno "p" cifras y un supermúltiplex de $g = p \times m$ canales está constituido asociando p enlaces en un grupo de enlaces, escribiéndose los g mensajes recibidos en cada cuadro en paralelo
- 1165 en las g direcciones que tienen asignadas en una memoria de



376033

44.

datos de grupo MDG asociada al lado de entrada de uno de los multiselectores $Q'1, Q'2 \dots Q'n1$ de un primer paso de selección de espacio Q' , y las salidas de estos multiselectores están conectadas en forma conocida a las entradas de los multiselectores $Q1, Q2, \dots Qn2$ de un segundo paso de selección Q , estando cada salida de un multiselector del segundo paso conectada a un conector, constituyendo el conjunto de los grupos conectados $Q'1, Q'2, \dots$ etc. un supergrupo y todo el conjunto de conectores conectados a un multiselector $Q1, Q2, \dots$ etc. constituye un superconector, estando controlada en cada multiselector la selección de un punto de cruce asociado a una salida, por una clave escrita en una de las $g/2$ direcciones de una memoria de circuito de espacio MSS o MSA con lectura cíclica, comprendiendo cada conector una memoria de datos MDJ con $g/2$ direcciones, seleccionándose cada una de dichas direcciones, en cada cuadro, una vez en forma cíclica y una vez en forma acíclica, y, una memoria de circuito de tiempo MCT con $g/2$ direcciones seleccionadas cíclicamente y que suministran las claves que permiten la selección acíclica de la memoria MDJ; estando además caracterizada porque: las g direcciones de una memoria MDG están distribuidas en dos memorias MDG/I, MDG/P comprendiendo cada una $g/2$ direcciones de p impulsos asignadas respectivamente a los mensajes recibidos sobre los enlaces impares y pares, estando la salida de cada una de estas memorias conectada a una entrada de un multiselector del paso Q' de modo que los canales no están especializados y cada canal puede conectarse a un conector en un tiempo tS o en un tiempo tA .

8 - Central de conmutación de datos de modulación de impulsos



376033

45.

codificada (PCM) en múltiplex en el tiempo.

1195

Tal como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de cuarenta y cinco hojas escritas por una sola cara.

1200

Madrid,

29 ENE. 1970

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



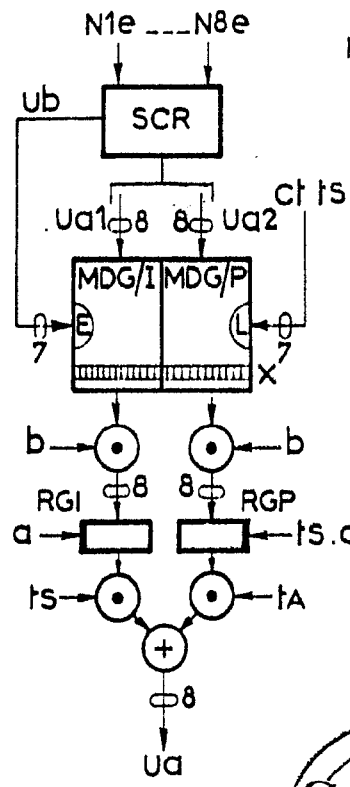
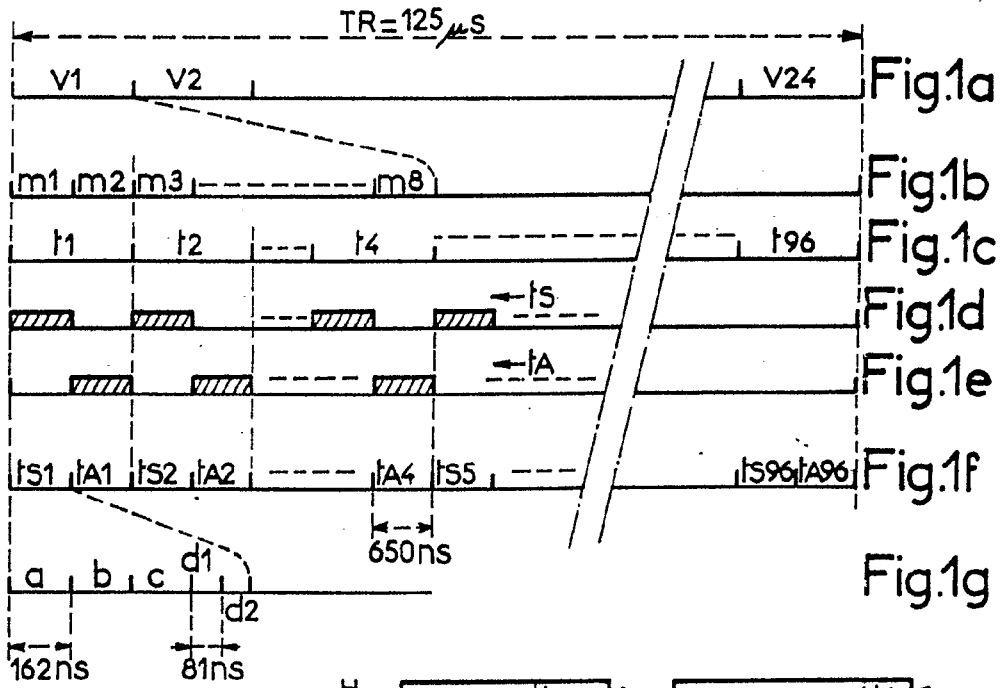


FIG. 3

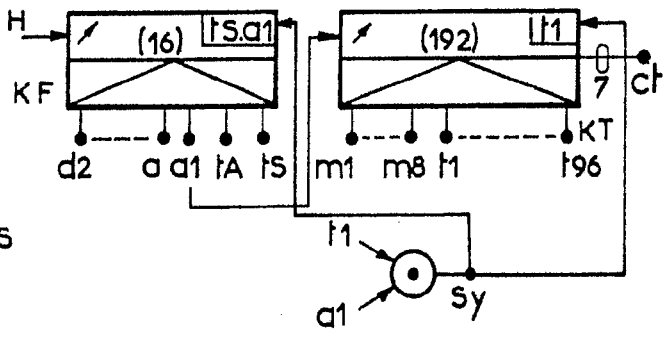


FIG. 2

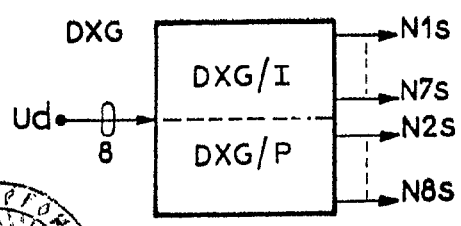


FIG. 4

M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

376033

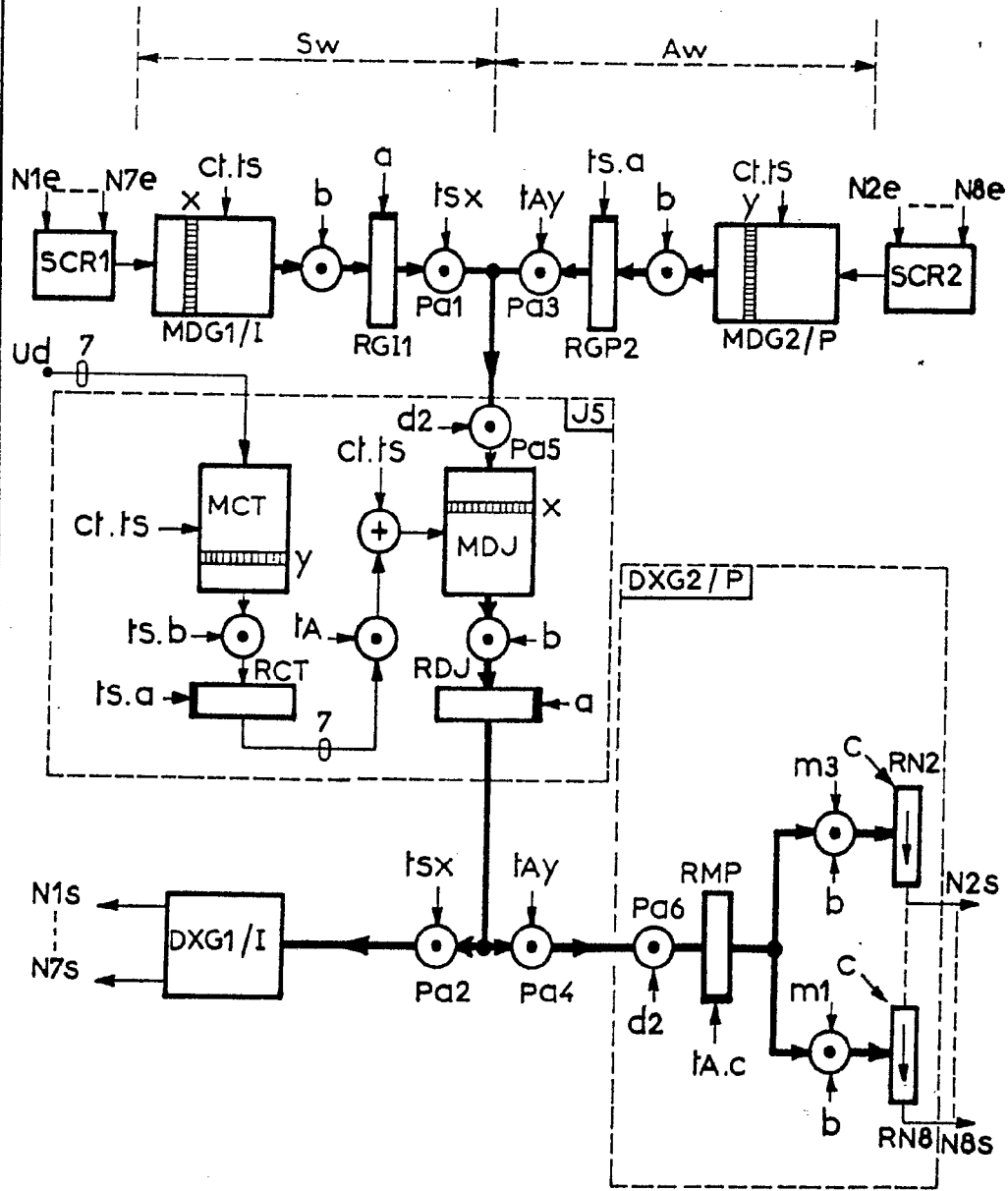


FIG. 5



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



Pl. III/6 370033

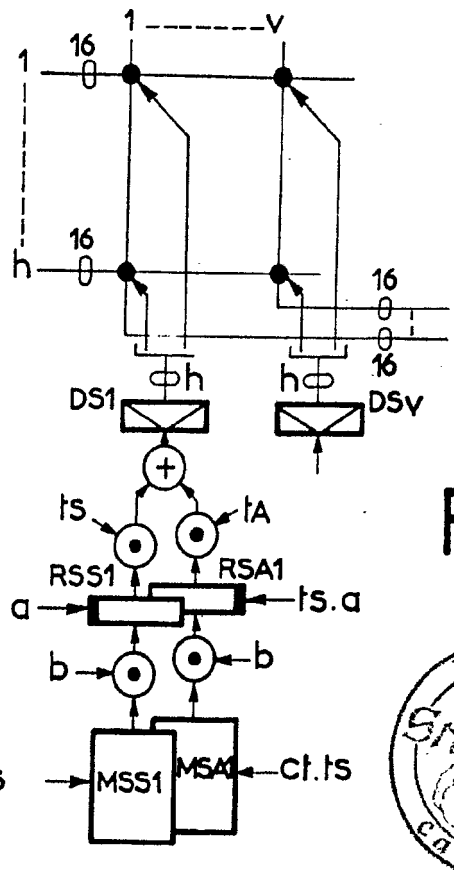
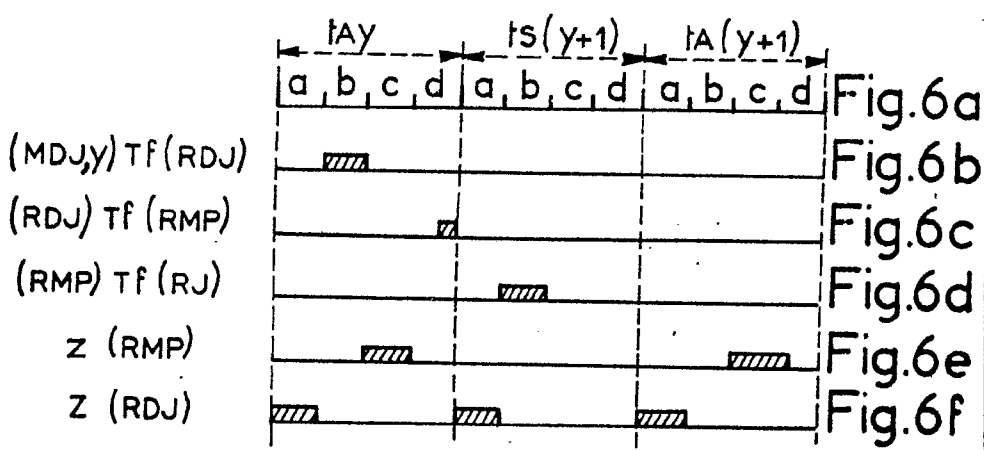


FIG.7

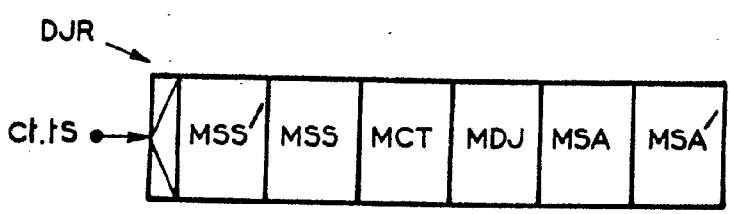
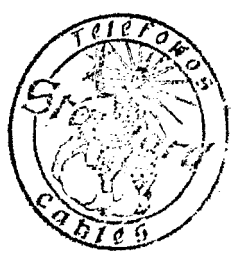


FIG.9

M. G. Santamaria
M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

6/4



376033

PI.IV/6

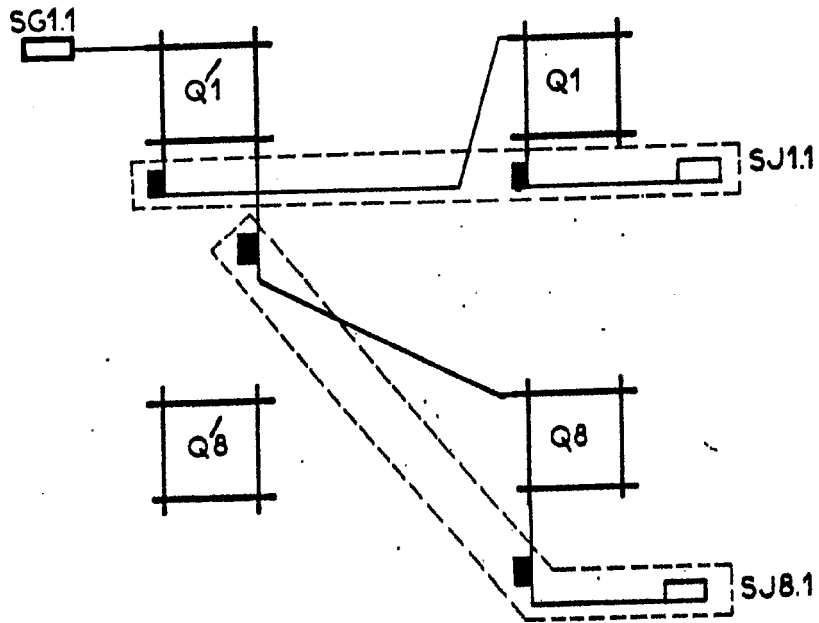


FIG.14

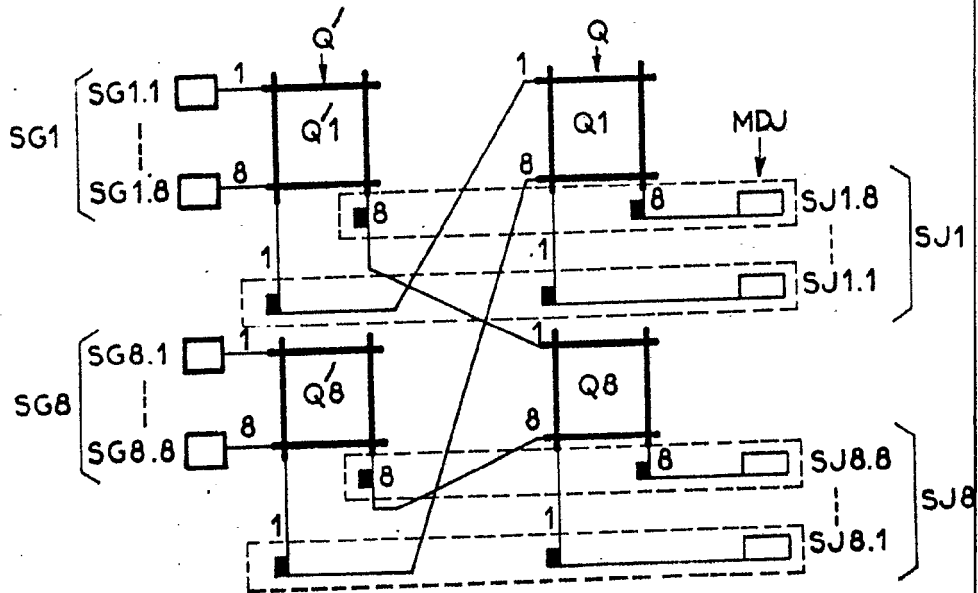


FIG.8


 Teler...
 Sr. G. SANTA MARIA
 VICESECRETARIO GENERAL

6/5



PI.V/6

376033

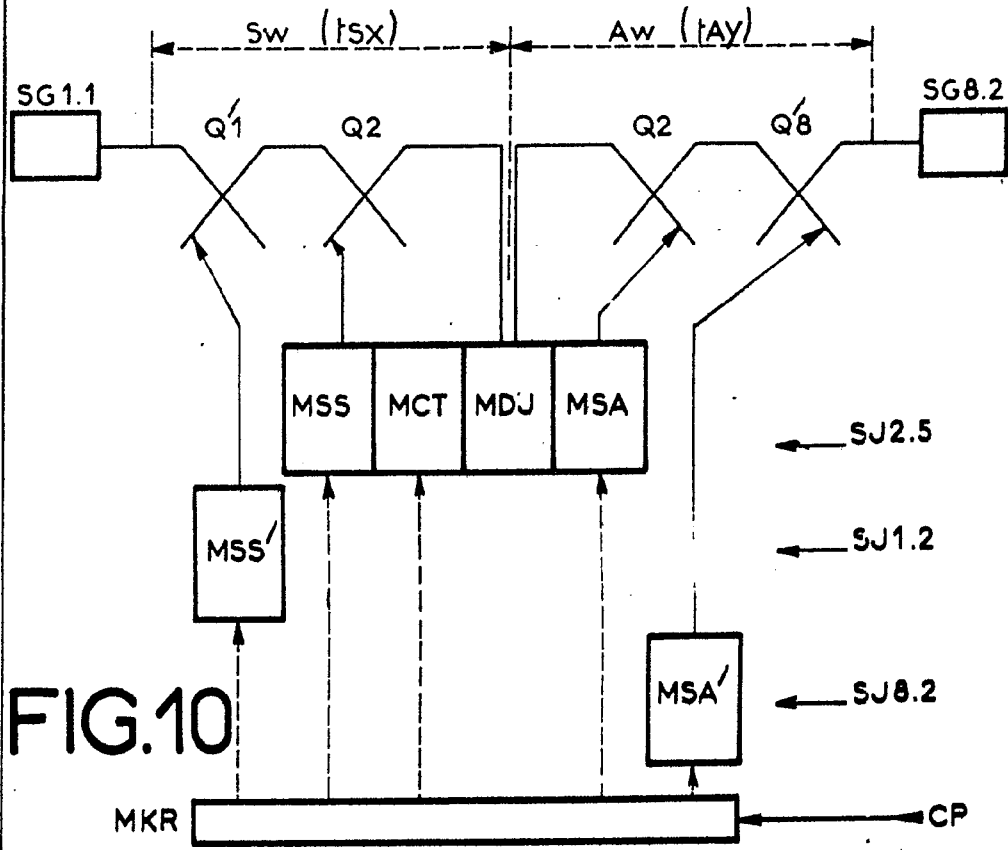


FIG.10

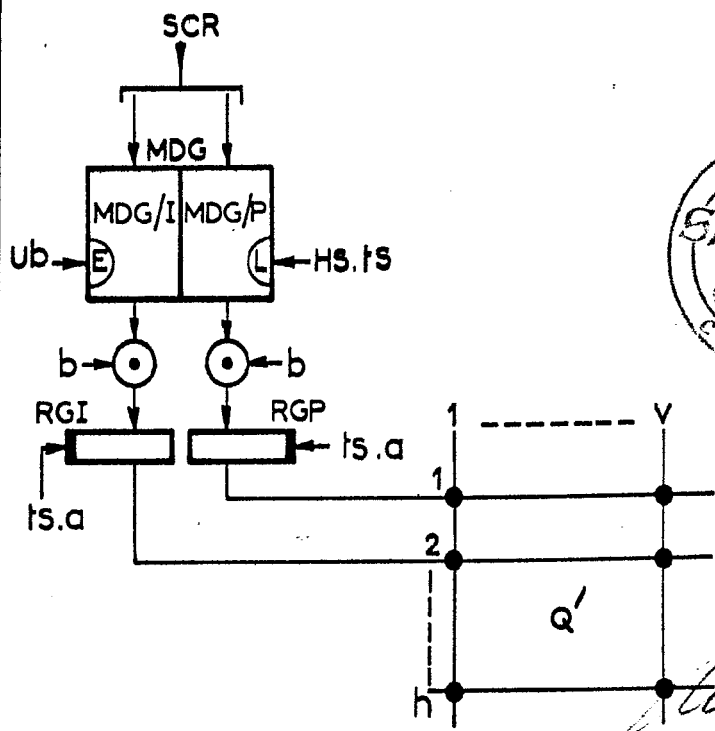


FIG.11

M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

