

P.- 43.511

Docket RA

9-68-015

375153



Memoria descriptiva

SECCION TECNICA
CLASIFICACION I.P.C.
CLASE <u>G 06</u>
SUBCLASE <u>f</u>

para solicitar PATENTE DE INVENCION EN ESPAÑA por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~corporativa~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "SISTEMA DE COMUNICACIONES DE DATOS"
(Clase Internacional G06f)

1-1 MAR



La presente invención se refiere a sistemas de comunicaciones en general, y más concretamente a un sistema de comunicaciones multiplado de dos hilos, con división de tiempo en serie, para obtener comunicaciones bilaterales entre una pluralidad de complejos terminales distantes y una estación o puesto central de control.

5

Descripción de la técnica ya conocida

Los sistemas de recogida y distribución de datos pueden organizarse para funcionar en paralelo o en serie. Los sistemas en paralelo tienen muchas ventajas, pero su complejidad y limitaciones de distancia para frecuencias de bitio que se aproximen a los 500.000 por segundo sin repetidores de señales independientes los hace impracticables para sistemas de recogida de datos en factorías, u otras aplicaciones a gran escala.

10

15

Los sistemas seriados o en serie son menos complicados, por no necesitar circuitos de conmutación. Pueden colocarse repetidores de señales en los diversos terminales, y no se necesitan repetidores independientes cuando la distancia entre terminales contiguos no sea grande. Como las conexiones se hacen de terminal a terminal, puede darse servicio a una área geográfica más grande sin necesidad de repetidores independientes, que lo que exige la distribución y recogida en paralelo para la frecuencia de bitios prevista.

20

25

Los sistemas en serie de la técnica ya conocida se vienen empleando tanto a base de multiplicación por división en le tiempo como de multiplicación en frecuencia; sin embargo, la multiplicación por división en el tiempo ofrece algunas ventajas sobre la multiplicación

30

375153

en frecuencia, y su uso se ha extendido más. En la transmisión se viene utilizando invariablemente la activación por desplazamiento de frecuencia, sea en el modo telegráfico de impulsos ("start-stop"), sea en el modo síncrono.



5 Los sistemas seriados no necesitan circuitos de conmutación para establecer comunicaciones entre un terminal particular distante y la central; sin embargo, es preciso emplear un modo u otro de escrutinio o selección para regular el tráfico por la línea común. Se vienen utilizando muchos métodos de escrutinio diferentes, unos más apropiados que otros según la disposición física y las frecuencias de datos de los dispositivos terminales conectados al canal común de comunicaciones. En general, la central procede a la transmisión de datos a una estación particular distante con una única dirección de acceso de estación, y permite la comunicación entre una estación única o singular distante y la central dirigiéndose a la estación y enviando información de control que permita o exija respuesta de la estación distante. Los sistemas de la técnica ya conocida construidos de este modo son satisfactorios cuando se emplean terminales de baja frecuencia o velocidad de transmisión de datos, o bien cuando se espera recibir poco volumen de datos, o cuando se utiliza la transmisión y recepción automáticas en conjunción con un relativamente pequeño volumen de datos. Los sistemas de la técnica ya conocida son, en cambio, insatisfactorios cuando es preciso manipular grandes volúmenes de datos con terminales de una frecuencia de datos relativamente rápida, tales como los que se tienen en un sistema grande de recogida de datos de una factoría. En los sistemas de este ti-

10

15

20

25

30

375153



po, muchos operadores tratan de introducir datos por unos terminales que tienen velocidades de transmisión de datos relativamente rápidas, y no pueden tolerarse retrasos en la transmisión. Al operador debe parecerle que su terminal está operativamente conectado a la central en todo momento y que la transmisión de los datos tiene lugar tan rápidamente como él pueda introducirlos por medio de fichas perforadas, placas, teclados o similares.

Resumen de la invención

10 La invención prevé un sistema de comunicaciones de datos para transmitir datos entre una estación transmisora central y una pluralidad de terminales distantes, sistema que comprende un medio de transmisión de dos conductores que interconectan en serie los terminales distantes, y la estación central a los terminales primero y último de la serie, formando un bucle de transmisión en serie, y en el que la estación central incluye medios de establecer una pluralidad de bloques o "cuadros" de información multiplicados en el tiempo, cada uno de los cuales
15 tiene información de conmutación o multiplicación, información de control y datos para efectuar una circulación bidireccional de datos entre los terminales y la estación central.

20 Uno de los objetos de la invención reside en un sistema de comunicaciones de datos a dos hilos, capaz de transmitir grandes cantidades de datos entre un puesto o estación central y muchos terminales situados a distancia.

30 Otro objeto de la invención reside en un sistema de comunicaciones como el arriba indicado, en el que

375153



la estación central trabaja esencialmente compartida en el tiempo, de modo que todas las funciones de control reducen la complejidad de los terminales o puestos distantes, manteniéndose al propio tiempo una elevada velocidad de transmisión.

5

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de las siguientes descripción pormenorizada de una forma preferida de realización del invento e ilustrada en los dibujos adjuntos, en los cuales:

10

- la figura 1 es un esquema funcional simplificado de un sistema de comunicaciones nuevo en su género, construido con arreglo al presente invento;

15

- las figuras 2 y 3 son unas representaciones en diagrama de las disposiciones de datos en serie utilizadas en el sistema de comunicaciones;

- la figura 4 es un esquema funcional detallado del regulador del sistema ilustrado en la fig. 1;

20

- la figura 5 es un esquema funcional detallado de un solo complejo de terminales como el indicado en la fig. 1;

25

- las figuras 6 y 7 son unos diagramas de circulación que ilustran las secuencias de inscripción y de lectura apropiadas para uso en el sistema de comunicaciones ilustrado;

- las figuras 8 a 20 inclusive son unos esquemas funcionales detallados de los elementos de circuito indicados en la fig. 4; y

30

- las figuras 21 a 23 inclusive son unos esquemas funcionales detallados de los circuitos indicados

en la fig. 5.

11 MAY



Descripción de la forma de realización preferida

En la fig. 1 hay una estación o puesto cen-
tral 11 que tiene una sección de control, una sección de
5 entrada y una sección de salida, conectado por medios usua-
les a una calculadora 12. La calculadora 12 recibe y su-
ministra datos a una pluralidad de terminales distantes
T1 a Tn inclusive. Los terminales están dispuestos en com-
plejos C1 a Cn inclusive. La sección de salida del puesto
10 o estación central está conectada al primer complejo C1
de terminales mediante un par de conductores con torsión,
que pueden ser de hilo ordinario de 0,64 mm de diámetro,
en la configuración de par retorcido,. El par retorcido
de conductores va conectado a un circuito de terminación
15 de impulsos situado dentro del complejo, cuya salida está
conectada a un registro de desplazamiento. A medida que
se reciben los impulsos definidores de los diseños de dis-
tribución de bitios transmitidos por el par retorcido, son
introducidos en el registro de desplazamiento. El registro
20 de desplazamiento tiene una longitud finita, y retrasa los
impulsos entrantes en el primer complejo de terminales en
una magnitud de tiempo igual a la longitud finita del re-
gistro de desplazamiento. La última etapa del registro de
desplazamiento va conectada a un excitador de impulsos si-
25 tuado dentro del complejo de terminales C1 distante, y tie-
ne su salida conectada a un par retorcido semejante. De
esta manera está conectado cada uno de los complejos de
terminales. El último complejo de terminales Cn tiene su
excitador de impulsos conectado a la sección de entrada
30 de la estación central. Así, los datos suministrados por

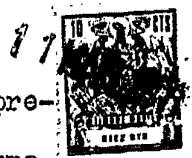
375153

la calculadora son transmitidos desde la sección de salida, por cada uno de los complejos de terminales en un bucle en serie, y vuelven a la sección de entrada de la estación central 11.



5 Los datos que se originan en un complejo de terminales cualquiera se introducen en la corriente de datos de la manera que se describirá más adelante, y se devuelven, a través de los sucesivos complejos de terminales distantes, a la sección de entrada de la estación central 11. Cada uno de los complejos de terminales tiene una sección de control conectada al registro de desplazamiento, y examina periódicamente el número finito de bitios en el contenido para determinar los diversos factores concernientes a la información contenida en el registro de desplazamiento. Conforme al sistema de control que más adelante se describirá, los datos residentes en el registro de desplazamiento de dentro de un complejo de terminales distantes se utilizan en paralelo dentro de los dispositivos de utilización T1 a Tn inclusive conectados a los diversos complejos de terminales.

15 El sistema prevé la transmisión de datos codificados en binario, en los cuales se transmiten unos y ceros sucesivamente en serie (unos tras otros) por la línea de transmisión a los diversos dispositivos. Para codificar los datos se utilizan impulsos bipolares. El impulso bipolar que representa un uno tiene una relación de fase fija, y el impulso bipolar representativo del cero es de fase opuesta. Cada impulso incluye un nivel de referencia a la terminación del período de bitios. Con este modo de transmisión, el promedio de corriente continua es cero.



A los fines de organización, un número de impulsos representa un byte (grupo de ocho bitios) o unidad de información, y un número elegido de bytes o unidades de información se denomina bloque o cuadro de comunicaciones.

5 La figura 2 es una representación, en forma de diagrama, de la organización de un bloque. En la figura 2, el byte, como unidad de datos, contiene ocho bitios de información que pueden ser cero, o uno, o combinaciones de ambos, definiendo cada uno una información específica. En el bloque de comunicaciones se incluyen 30 de ta
 10 les bytes. El primer byte definitorio de un bloque es el denominado de iniciación. Es este byte una representación codificada (abreviadamente, código) singular y único de ocho bitios, que se interpreta como definitorio de la con-
 15 dición de principio o iniciación del bloque. El segundo byte es un código también singular y único de ocho bitios, que define el complejo de terminales. El sistema previsto puede tener hasta 100 complejos de terminales conectados uno tras otro (en serie) formando bucle. El tercer byte
 20 es asimismo un código singular y único de ocho bitios, que define la dirección de acceso de un dispositivo terminal conectado al complejo de terminales particular definido por el segundo byte. Si al complejo sólo hay conectado un terminal, este byte de datos no es necesario; no obstante,
 25 en el sistema previsto, se espera poder conectar hasta cuarenta dispositivos terminales o más a un solo complejo. El cuarto byte de datos es un código singular y único de ocho bitios, utilizado con fines de control. Este código de ocho bitios define la función que puede ejecutarse con
 30 el bloque particular de comunicaciones dentro del cual re-



side. El quinto byte es un código singular y único de ocho bitios, que define datos. Los datos contenidos en este byte pueden usarse para hacer funcionar una máquina de escribir, para presentar la hora, iluminar luces, o para cualquier número de fines. También puede usarse para introducir en la calculadora la información de entrada procedente de un terminal, cuando esté presente el apropiado byte, de control. Los bytes 6 a 30 inclusive (sexto a trigésimo) se utilizan con fines de sincronización en el sistema expuesto; no obstante, si las condiciones lo exigen, puede emplearse cualquier número de estos bytes para transferir datos en ambos sentidos. Con los dispositivos terminales previstos, la velocidad de transmisión de datos, es tal, que para dar servicio a todos los dispositivos resulta adecuado un solo byte de datos que tenga ocho bitios por bloque.


La figura 3 es una representación, en forma de diagrama, de los diversos bloques en su orden sucesivo o secuencial. Los bloques 1 a 9 inclusive, aparecen formando secuencia. Este grupo va seguido por otros bloques 1 a 8 inclusive y 10, seguidos a su vez de unos bloques 1 a 8 inclusive y 11. La serie se repite después de transmitidos del 1 al 8 inclusive y el 13. En un momento dado cualquiera, estarán fuera del bucle exterior aproximadamente de dos a cuatro bloques, y los restantes guardados, sea en la estación o puesto central, sea posiblemente en la calculadora de control, según la configuración deseada. Con arreglo a la forma de realización preferida descrita, los bloques que no estén en el bucle de comunicaciones se hallan guardados o almacenados en la estación central, en



una memoria reguladora ("buffer") de núcleos. Ahora bien,
en aquellos casos en que pueda usarse una calculadora de-
dicada, puede ser conveniente guardar el bloque no en el
bucle, sino en la propia calculadora. Esta última disposi-
5 ción exige una mayor cantidad de transferencia de datos
entre la calculadora y la estación central, por lo que en
aquellos casos en que la calculadora tenga un empleo apre-
ciable en cosas que no sean el sistema de comunicaciones,
puede ser conveniente, como sucede en la forma de realiza-
10 ción ilustrada, almacenar los bloques no en el bucle de
transmisión, en un caso dado cualquiera, sino en una memo-
ria de núcleos o de otro tipo, por separado, dentro de la
estación central. La manera de lograr esto se desprende
de la descripción que sigue.

15 La disposición arriba descrita proporciona
bloques de comunicaciones que poseen dos velocidades o re-
gímenes de transmisión. Los bloques 1 a 8 inclusive se
transmiten a una primera velocidad, bastante alta. Los ca-
nales 9, 10, 11, 12 y 13 se transmiten a una segunda velo-
20 cidad, mucho más baja o reducida. Esta disposición se eli-
gió para obtener bloques apropiados para diferentes dispo-
sitivos terminales. Los bloques 1 a 8 se usan principalmen-
te para transmitir datos procedentes de lectoras de pla-
cas, lectoras de fichas, teclados de introducción, etc.,
25 al terminal central. Los bloques 9 a 13 son mucho más len-
tos y se usan para transmitir datos desde la central a los
diversos complejos de terminales, y en éstos a terminales
como, por ejemplo, máquinas de escribir, relojes de presen-
tación de la hora del día, etc. Habría sido realmente po-
30 sible disponer de bloques adicionales para su utilización

375153

714

a diferentes velocidades; pero, en el sistema previsto, los de alta y baja velocidad elegidos en la relación indicada han demostrado ser de sobra adecuados para manipular el tráfico de datos disponible con el número de dispositivos conectado al sistema máximo, que incluía hasta cien complejos de terminales con un número de dispositivos terminales conectados que llegaba a 30 o 40 en cada uno.

La figura 4 es un esquema funcional detallado de la estación de control 11 indicada en la fig. 1, e incluye la sección de salida, la sección de entrada y la sección de control. La sección de control gobierna la circulación o fluencia de datos a la sección de salida para su transmisión a los diversos terminales conectados al bucle de transmisión en serie y a la sección de entrada que recibe los datos del último terminal del bucle de transmisión, y la transferencia de datos entre la calculadora y la estación de control. La estación central, como antes se ha dicho, incluye unos medios de almacenaje o memoria 20 de cuadros. La memoria de cuadros 20 puede ser de un tipo usual cualquiera y, con arreglo a la forma de realización que se está describiendo, incluye por lo menos trece direcciones singulares de acceso para datos codificados en binario. Cada una de las direcciones de acceso incluye cuatro bytes o unidades de datos, y cada byte, en la forma de realización preferida, incluye ocho bits binarios. Las trece direcciones de acceso de la memoria de cuadros 20 pueden ser seleccionadas para acceso por la calculadora y por las secciones de entrada y salida de la estación de control.

375153



La sección de control incluye un oscilador 21 que proporciona impulsos de escalonamiento o avance paso a paso, a velocidad relativamente bien controlada, a un contador 22 de bitios de salida que puede ser de cualquier tipo usual que dé m bitios (ocho bitios, en la forma de realización ilustrada). Estos ocho bitios corresponden a los tiempos de bitio contenidos en un solo byte de ocho bitios. El bitio 1 se aplica a un contador 23 de salida de bytes, y hace avanzar este contador cada vez que se presenta el bitio 1. El contador 23 de bytes de salida contiene n posiciones (treinta posiciones en la forma de realización ilustrada, ya que hay 30 bytes en el cuadro de comunicaciones antes descrito). El byte 1 del cuadro es de iniciación, y designa el comienzo del cuadro. Los bytes 2 y 3 son de acceso. El byte 4 es de control, y presenta datos de control. El byte 5 es de datos, e incluye los datos que se están transmitiendo, sea entre la central y un terminal distante, sea entre el terminal distante y la central. Los bytes 6 a 30 inclusive son de sincronización, y se usan para mantener el sincronismo entre los diversos dispositivos del sistema de comunicaciones, y para dar la debida separación entre cuadros de comunicaciones adyacentes. El particular número de 25, en la forma de realización descrita, se eligió para dar entre cuadros un tiempo adecuado para el tratamiento de los datos que se están transmitiendo. En sistemas más rápidos, podría reducirse este número. En sistemas más lentos, por el contrario, podría ser necesario aumentarlo si no se considera conveniente un almacenaje intermedio de regulación dentro de la estación central.

375153



El recuento de byte 1 se aplica a un contador 24 de bloques de salida, y hace que este contador de salida cuente como antes se ha descrito e ilustrado en la fig. 3; es decir, el recuento progresa del siguiente modo: de 1 a 9 inclusive, sigue de 1 a 8 inclusive y pasa a 10, sigue de 1 a 8 inclusive y pasa a 11, sigue de 1 a 8 inclusive y pasa a 13. Las señales de salida del contador 24 de bloques de salida se aplican a un circuito codificador 25 que incluye una lógica normal, para codificar la dirección de acceso de un cuadro particular representada por el valor alcanzado por el contador 24 de bloques de salida. Este código, una vez activado, se aplica al dispositivo de memoria de cuadros 20 para tomar o leer uno de los cuadros, esto es, el representado por la salida del circuito codificador 25 de direcciones de acceso de cuadro.

El cuadro designado por el código aplicado por dicho codificador 25 se toma por lectura de la memoria de cuadros y se aplica, por medio de una barrera 26, a cuatro registradores estáticos 27. Esto pone un cuadro de datos, definido por el codificador 25 de acceso de cuadros, en la sección de salida de la estación central. Los cuatro bytes de datos contenidos en el registro 27 de cuadros de salida deben sacarse por desplazamiento en serie. El modo de hacer esto se describirá más adelante.

La barrera 26 anteriormente citada controla la introducción de un cuadro en el registro 27 de cuadros de salida. Es éste un dispositivo de control para tener la seguridad de que en el registro de salida 27 se introduce el cuadro adecuado, y funciona bajo el control de un

circuito de control de salida 28 y de un circuito 29 de selección de secciones.



5 La salida de byte 6 del contador 23 de bytes de salida controla la aplicación de la información contenida en la memoria de cuadros 20 al registro 27 de cuadros de salida, por medio de la barrera 26. La salida de byte 6 se suministra al circuito de control de salida 28, que da una señal de control al circuito 29 de control de memoria y selector de secciones, por medio de la línea designada como de "petición de salida". Pueden hacerse 10 peticiones de tres tipos. Uno de éstos es el de la petición de bloque. Se hace cuando deben transmitirse datos desde la barra de salida de bloques a la memoria de cuadros 20. Se hace una petición de entrada cuando es preciso 15 transferir datos desde el registro de entrada de cuadros de la sección de entrada a la memoria de cuadros 20, o bien cuando se deben transferir datos desde la memoria 20 al registro de entrada de cuadros. Estas dos operaciones se describirán más adelante.

20 En este momento, la descripción se limitará solamente a la operación de salida.

25 El circuito 29 de control de memoria y selección de secciones da seis salidas diferentes, que se describirán más adelante. A los fines de una operación de salida, se utiliza la línea selectora de salidas. Esta salida hace que el codificador de acceso de cuadros se ponga en comunicación con la memoria de cuadros, lo que produce en la memoria de cuadros 20 una operación de lectura y hace que los datos contenidos en el lugar seleccionado se 30 apliquen a la barrera 26. La línea de selección de salida



procedente del circuito 29 se aplica también a la barrera 26, y la pone en acción. El circuito 29, además, da una señal de marcación de tiempos, o "estrobo", para hacer la lectura en el instante apropiado. La señal de "estrobo" se aplica a la barrera 26, como también a otras partes. Las demás conexiones de la señal de "estrobo" de lectura se describirán más adelante, en relación con otras operaciones de circuito. También se describirán más adelante, al hablar de otras figuras, los detalles de los circuitos 28 y 29. Así, con la señal de "estrobo" de lectura que viene del circuito 29, los datos disponibles tomados de la memoria de cuadros 20, se introducen por medio de la barrera 26 en el registro 27 de salida de cuadros.

El registro 27 de salida de cuadros está dividido en las cuatro secciones correspondientes a los cuatro bytes de información contenidos en la memoria de cuadros 20. Cada una de las cuatro secciones de bytes de datos de ocho bitios del registro 27 está conectada, por medio de un circuito de barreras 27A-27D apropiado a un registro de desplazamiento de salida 30. La barrera 27A está controlada por el byte 2 que viene del contador 23 de salida de bytes. Las barreras 27B, 27C y 27D están controladas por los bytes 3, 4 y 5, respectivamente. Así, en el instante del byte 2, el contenido del primer byte del registro 27 se introduce en el registro de desplazamiento 30; en el instante del byte 3, el contenido de la segunda sección de byte del registro 27 es el que se introduce en el registro de desplazamiento 30; y en los instantes de byte 4 y 5 son las secciones tercera y cuarta del registro 27 las que se introducen sucesiva y respectivamente en el re-



gistro de desplazamiento 30 de salida.

La sección de salida de la estación de control incluye un circuito codificador 31 de emisión de sincronismo y un codificador 32 de emisión de iniciación o arranque. El circuito codificador de sincronismo 31 está provisto de un circuito de barrera 33, en tanto que el circuito codificador de iniciación 32 está provisto de un circuito de barrera 34. La barrera 33 está controlada por los bytes 6 a 30 inclusive, y los bytes de sincronismo se introducen en el registro de desplazamiento 30 de salida durante los instantes de byte 6 a 30 inclusive, definidos por el contador 23 de salida de byte. Un código de iniciación, procedente del codificador de iniciación 32, se introduce en el registro de desplazamiento 30 de salida por medio de la barrera 34, que está bajo el control de la salida de byte 1 del contador de salida de bytes 23. Esta disposición proporciona una configuración de formato de datos como la ilustrada en las figs. 2 y 3. El primer byte coincidente con la salida de byte 1 del contador de salida 23 es el código de iniciación que va desde el codificador de iniciación 32, por medio de la barrera 34, al registro de desplazamiento 30 de salida. El segundo byte es el primero del registro 27 de salida de cuadros; el tercer byte es el segundo del registro 27; el cuarto byte es el tercero del registro 27; y el quinto byte es el cuarto del registro 27. Los bytes 6 a 30 inclusive son los de sincronismo proporcionados por el codificador de sincronismo 31, y se aplican al registro de desplazamiento 30 de salida por medio de la barrera 33, durante los bytes 6 a 30 inclusive.

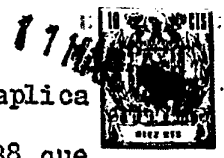
375153



El registro de desplazamiento 30 de salida se hace funcionar por medio del oscilador 21, cuya salida está aplicada a la entrada de desplazamiento del registro de desplazamiento de salida, y hace que los ocho bitios del registro de desplazamiento de salida se desplacen, por medio de un circuito de barrera 35 y de un excitador de impulsos 36, a un par retorcido de líneas de transmisión que está conectado al primer complejo de terminales distante del bucle. La carga del registro de desplazamiento 30 de salida efectuada desde las barreras 27A a 27D inclusive, 33 y 34, se hace bajo el control de la salida de bitio 1 procedente del contador de salida de bitios 22. El impulso de desplazamiento procedente del oscilador 21 se aplica también al circuito de barrera 35 para controlar y regular en el tiempo el contenido del registro de desplazamiento 30 de salida que aparece en la entrada de la barrera 35.

Como antes se ha dicho, el sistema proporciona trece bloques singulares y distintos. El contador 24 de salida de bloques contiene trece salidas, que se activan en la secuencia fija ilustrada en la fig. 3. El decimotercer bloque aparece cada 45 cuadros. Es conveniente en este momento, a los fines de la sincronización, intercalar un código singular y único que pueda detectarse en la sección de entrada de la estación central. Esto se hace introduciendo dos señales de iniciación, procedentes del codificador de iniciación 32, para lograrlo. El indicador de bloque 13 procedente del contador 24 de salida de bloques se aplica a un circuito de coincidencia 37, en unión del byte 30 que viene del contador 23 de salida de

375153



bytes. La salida del circuito de coincidencia 37 se aplica a la barrera 34 por medio de un circuito disyuntivo 38 que se aplica también la salida del byte 1 del contador 23 de salida de bytes. Así, a cada ciclo completo, esto es, a cada aparición del bloque 13, se introduce en el registro de desplazamiento 30 de salida un código de comienzo de iniciación, que se envía por la línea de transmisión de par retorcido y será recibido en la sección de entrada. El modo de utilizarse este código de comienzo de iniciación se describirá más adelante, al hablar de la sección de entrada de la estación central. Cuando en la corriente de datos que se está enviando por el par retorcido y a través del registro de desplazamiento 30 de salida se introduce el código adicional de comienzo, éste debe sustituir a un byte de sincronismo procedente del codificador de sincronismo 31. Esto se logra invirtiendo la salida del circuito de coincidencia 37 en un inversor 37I, y poniéndolo en coincidencia, en un circuito de coincidencia 39, con las salidas de byte 6 a 30 inclusive procedentes del contador 23 de salida de byte antes citado, e inhibiendo así la barrera 33 en el tiempo de un byte de sincronismo cada 45 cuadros, esto es, cada vez que aparece el cuadro cuadragésimo quinto.

Los datos seriados que salen del registro de desplazamiento 30 pasan por la barrera 35 y por el excitador de impulsos 36, y son aplicados a una línea de transmisión de par retorcido que está conectada precisamente al primer complejo de terminales de la línea. Este primer complejo de terminales recibe los datos, como se indica en la fig. 1, y los deja pasar con o sin alteraciones, se-



gún el caso, de manera que los datos recorren cada uno de los complejos de terminales de esta manera. Los datos alterados o sin alterar, según el caso, se devuelven por medio del par retorcido desde el último complejo de terminales de la línea a un circuito 40 de terminación de impulsos. La descripción proseguirá entonces con el resto de la estación central, difiriéndose la descripción de la manipulación de datos en el bucle hasta la descripción de la figura 5, que ilustra un esuqema funcional detallado uno de los complejos de terminales. En ese momento se tendrán en cuenta y estudiarán los diversos tipos de datos enviados y recibidos.

Hay un terminador de impulsos 40 conectado a un circuito de reloj derivado 41, que produce impulsos para sincronizar una sección de reloj o marcación de tiempos, la cual incluye un contador de entrada de bitios 22A, un contador de entrada de bytes 23A, un contador de entrada de bloques 24A y un codificador de acceso de cuadros 25A. Los circuitos 22A, 23A, 24A y 25A son idénticos, en todos sus aspectos, a los circuitos 22, 23, 24 y 25, respectivamente, antes descritos. Ahora bien, no funcionan en sincronismo con los circuitos 22, 23, 24 y 25, sino que están sincronizados con el reloj derivado del circuito 41. Su función se describirá más adelante. Sin embargo cada uno de los circuitos da la misma salida y funciona esencialmente de la misma manera que los anteriormente descritos.

Los datos presentes en el terminador de impulsos 40 y los impulsos de reloj derivados del circuito 41 se aplican ambos al registro de desplazamiento de entra-


11 MA 

da 42, que recibe los bitios en serie de la línea. Los
datos se introducen por desplazamiento bitio a bitio, dis-
poniéndose simultáneamente de ocho bitios sucesivos en
todo momento en el registro de desplazamiento de entrada
5 42. Las salidas de las ocho posiciones del registro de
desplazamiento están conectadas a varios circuitos que se
describirán más adelante, y de cuya función se hablará
con detalle en cada caso individual.

El contenido del registro de desplazamiento
10 de entrada 42 se aplica a un circuito 43 descodificador
de sincronismo y a un circuito 44 descodificador de ini-
ciación, para generar la sincronización del contador de
entrada de bitios y del contador de entrada de bytes, res-
pectivamente, con los bitios y los bytes de los cuadros
15 entrantes recibidos en la línea de transmisión de par re-
torcido. Además de los datos que vienen del registro de
desplazamiento de entrada, se aplican los impulsos de re-
loj derivados al circuito descodificador de sincronismo
43, así como la salida de las posiciones 6 a 30 inclusive
20 del contador de entrada de bytes. Además, se aplica al
circuito descodificador de sincronismo la salida del cir-
cuito 44 descodificador de iniciación. El circuito desco-
dificador de sincronismo da dos salidas. Siempre que se
descodifique una señal de sincronismo en el instante apro-
25 piado, del modo que aquí se explicará más adelante, se re-
pone el contador de bitios de entrada 22A, haciendo así
que se generen en sucesión los bitios 1 a 8 inclusive de
la forma de realización ilustrada. El circuito descodifi-
cador de sincronismo 43 da asimismo un impulso de entrada
30 para iniciar el circuito descodificador de iniciación 44,

3-3-70

375153

17M 
con lo cual el circuito descodificador de iniciación 44
no buscará la iniciación hasta que se haya logrado el sin-
cronismo.

5 El circuito descodificador de sincronismo
43 examina los datos y los impulsos de reloj derivados,
que actúan de impulsos selectores o de "estrobo" en unión
de las salidas de byte 6 a 30 inclusive y el impulso de
bitio 8. Si el dispositivo está fuera de sincronismo, exa-
mina el contenido del registro de desplazamiento 42 de en-
10 trada en todos y cada uno de los instantes de bitio. Ahora
bien, una vez lograda la sincronización, examina el conte-
nido del registro de desplazamiento 42 de entrada cada
ocho instantes de bitio (uno sí y 7 no) durante los bytes
6 a 30 inclusive del contador de bytes de entrada. De no
15 haber presente señal alguna de sincronismo o de iniciación,
el circuito funciona a base de búsqueda por bitios; pero
una vez recibida la señal de sincronismo o de iniciación,
el contenido del registro de desplazamiento de entrada se
examina sólo en el instante de bitio 8. Las dos salidas
20 de los circuitos proporcionan la sincronización con los
datos recibidos. Un circuito detector 45 de comienzo de
iniciación examina la salida del circuito descodificador
de iniciación para dos detecciones de código de iniciación
consecutivas. Esto ocurre una vez cada 45 cuadros, duran-
25 te el trigésimo byte del cuadragésimo quinto cuadro. En
este momento se repone el contador 24A de entrada de blo-
ques, sincronizándose así el recuento de bloques de entra-
da.

30 El codificador 25A de acceso de cuadros es-
tá sincronizado con los cuadros recibidos en la línea de

375153



transmisión de par retorcido, y obtiene acceso al cuadro, contenido en la memoria de cuadros 20, correspondiente al cuadro antes enviado desde la sección de salida. El cuadro procedente de la memoria 20 se aplica, por medio de la barra ómnibus de salida de datos, a un circuito de barrera 46; y en los instantes apropiados que más adelante se describirán se introduce en las cuatro secciones de un registro 47 de entrada de cuadros.

La barrera 46 se condiciona lo mismo que la barrera 26 de la sección de salida. De igual manera que en la sección de salida, el byte 6 del contador 23A de entrada de bytes se aplica a un circuito 48 de control de entrada, que genera una petición de entrada. Esta petición se aplica al circuito 29 de control de memoria y selección de secciones antes descrito. El circuito 29 de control de memoria y selección de secciones da una salida de "selección de entrada" que se aplica al circuito de control de entrada 48, a la barrera 46 y al codificador 25A de acceso de cuadros, haciendo de ese modo que la dirección de acceso contenida en 25A se aplique a la memoria de cuadros 20. El impulso selector de lectura procedente del circuito 29 se aplica también a la barrera 46 mediante un franqueo de paso sincronizado, en el instante apropiado para que los datos procedentes de la memoria de cuadros 20 se tengan a disposición, al producirse la función de franqueo de paso. Los datos correspondientes al cuadro a tratar en la sección de entrada se ponen en el registro 47 de entrada de cuadros, para poder compararlos en los instantes apropiados con los datos recibidos en el registro de desplazamiento 42 de entrada en varios circuitos. A este fin,

las cuatro secciones del registro 47 de entrada de cuadros¹¹¹ están controladas por las barreras 47A, 47B, 47C y 47D, respectivamente.



5 La sección de acceso a complejos de terminales, del registro 47 de entrada de cuadros, se aplica directamente a un circuito descodificador 49 que determina si la dirección de acceso contenida en este byte es una dirección de acceso de CUALQUIER complejo de terminales. Si la dirección de acceso es así (dirección de CUALQUIERA)
10 se da una señal de salida a un circuito de control 50 de tratamiento de cuadros, que interpreta los datos de la manera que se describirá más adelante. La tercera sección del registro 47 de entrada de cuadros, que define el byte de control, se aplica directamente a un descodificador de
15 órdenes 51, que da una salida por cada una de las órdenes válidas utilizadas en el sistema. Estas salidas se aplican al circuito 50 de control de tratamiento de cuadros.

Los ocho bitios que componen el cuarto byte del registro 47 de entrada de cuadros, que es el quinto
20 byte del cuadro en tratamiento, van directamente conectados a la barra ómnibus de entrada de bloques de la calculadora, por medio de un circuito de barrera 52 que está bajo el control de la calculadora ejercido por medio de los circuitos de control de enlace de bloques que forman
25 parte del enlace de bloques de la calculadora. La barrera 52 se hace funcionar bajo el control de la calculadora, y bajo el control de la calculadora envía a ésta la parte de byte de datos del cuadro en tratamiento, a través de la barra de entrada de bloques. Las barreras 27A a 27D inclusive
30 están conectadas a un circuito comparador 53, disyuntivo

375153



exclusivo, que se muestrea en el instante de bitio 8, del
 circuito comparador 53 de una salida de comparación posi-
 tiva o negativa, según el contenido del registro de des-
 plazamiento 42 de entrada corresponda o no al contenido
 5 de las diversas secciones de los datos que están en el re-
 gistro 47 de entrada de cuadros, en el instante del octa-
 vo bitio. Las salidas de comparación positiva y negativa,
 respectivamente, del circuito comparador 53 disyuntivo ex-
 clusivo se aplican al circuito 50 de control de tratamien-
 10 to de cuadros.

El circuito de control 50 de tratamiento de
 cuadros efectúa un número de funciones lógicas. Acepta las
 entradas indicadas, y da las salidas que también se indi-
 can. La función lógica puede realizarse con circuitos
 25 usuales. Más adelante se dará una descripción detallada
 de ese circuito. Los datos contenidos en el registro de
 desplazamiento 42 de entrada se aplican también a un cir-
 cuito descodificador 54 de respuesta de órdenes, que se
 interroga o muestrea en el instante de bitio 8, lo mismo
 20 que el circuito comparador 53 disyuntivo exclusivo. Ade-
 más, la salida dada por el circuito descodificador de res-
 puestas 54 se hace pasar a un circuito 55 de traslado (tra-
 ducción) y retención de órdenes, en el instante de byte 4
 que corresponde al byte de control en tercera posición
 25 del registro 47 de cuadros de entrada. Así, el circuito
 54 descodificador de respuestas indica al circuito 55 de
 traslado y retención de órdenes, y a los controles de tra-
 tamiento de cuadros, el byte de control de respuesta sumi-
 nistrado por el complejo de terminales y por el terminal
 30 conectado a éste al byte de control saliente que está tam-

375153



bién contenido en el registro de entrada de cuadros 47.
 El circuito 55 de traslado y retención de órdenes da una
 primera salida que indica si la orden de respuesta sumi-
 nistrada por el terminal del complejo seleccionado era o
 5 no válida, mediante una salida puesta en la línea de "or-
 den válida" (orden OK). Si la respuesta es de invalidez,
 esta línea no dará salida al circuito de control 50 de
 tratamiento de cuadros. Si la respuesta es de validez, se
 suministrará la nueva orden, o la orden siguiente en la se-
 10 cuencia de transmisión, por una línea y a una barrera 56C
 que tiene su salida conectada a la sección de tercer byte
 del registro 47 de entrada de cuadros. Esto pone la nueva
 orden en esa posición del registro, en lugar de la orden
 antes enviada con el cuadro en tratamiento al terminal co-
 15 nectado al complejo de terminales seleccionado. La barrera
 56C se condiciona en el instante de byte 6, desde la sali-
 da de byte 6 del contador 23A de bytes de entrada. Así, en
 el instante de byte 6, la nueva orden proporcionada por
 el circuito de retención y traslado de órdenes es introdu-
 20 cida por medio de la barrera 56C en la sección de tercer
 byte del registro 47 de entrada de cuadro.

El registro de desplazamiento 42 de entrada
 está conectado a las secciones de byte primera, segunda
 y cuarta del registro 47 de entrada de cuadros, por medio
 25 de las barreras 56A, 56B y 56D. Estas barreras están con-
 troladas por diversos impulsos de regulación de tiempos,
 para introducir los datos recibidos desde la línea de
 transmisión de par retorcido, a través del terminador de
 impulsos 40 y residentes en el registro de entrada 42,
 30 llevándolos a las secciones primera, segunda y cuarta del

375153



registro 47 de entrada de cuadros para construir el cuadro siguiente que se enviará al terminal. Así, al ser recibido un cuadro desde la línea de transmisión por la sección de entrada, el cuadro siguiente a transmitir por parte de la sección de salida está preparado en el registro 47 de entrada de cuadros.

5

El cuadro anteriormente enviado, como se ha descrito más arriba, se introduce en el registro 47 de cuadros de entrada, se compara con el cuadro recibido, y el siguiente cuadro a enviar se construye en este momento y se coloca en el registro de entrada de cuadros. Una vez construido el cuadro, los cuatro bytes se transmiten por la barrera 57 a la entrada de la memoria de cuadros 20. La barrera 57 está controlada por dos entradas adicionales. A continuación se describirán los controles para las barreras 56A, 56B y 56D y para la barrera 57.

10

15

La barrera 56A está bajo el control del byte 2 procedente del contador 23A de entrada de bytes, del bitio 8 que viene del conductor 22A de entrada de bitios, y de la dirección de acceso de barrera procedente del circuito de control 50 de tratamiento de cuadros. La barrera 56B está bajo el control del byte 3 procedente del contador 23A de entrada de bytes, del bitio 8 que viene del contador 22A de entrada de bitios, y de la dirección de acceso procedente del circuito de control 50 de tratamiento de cuadros. La barrera 56D está bajo el control del byte 5 procedente del contador 23A de entrada de bytes, del bitio 8 que viene del contador 22A de entrada de bitios, y del byte de datos de barrera procedente del circuito de control 50 de tratamiento de cuadros. Es de notar que la

20

25

30



5 dirección de acceso de barrera procedente del circuito de control 50 de tratamiento de cuadros se usa para ambas barreras 56A y 56B, ya que estas barreras A y B controlan las dos secciones de byte del registro 47 de entrada de cuadros, que tratan de la información de acceso, es decir, de las direcciones de acceso de terminal y de dispositivo del complejo de terminales. La barrera 57 se halla bajo el control del impulso selector ("estrobo") de entrada y de carga, procedente del circuito 29 de control de memoria y selección de secciones.

10

Se habilita asimismo un camino de datos adicional que llega a la cuarta sección, o de byte de datos, del registro 47 de entrada de cuadros. Este camino conecta la barra de salida de calculadora, por medio de una barrera 58, directamente a la cuarta sección de byte de datos del registro 47 de entrada de cuadros. La barrera 58 está bajo el control de la sección de control de enlace de bloques de la calculadora. Esta ruta alterhativa para introducir datos en la cuarta sección o de byte de datos del registro 47 de entrada de cuadros se habilita para que la calculadora pueda enviar datos al terminal.

15

20

Se emplea un método de comprobación o verificación de errores en el cual se duplica la transmisión de datos (esto es, los datos se transmiten dos veces) desde un terminal distante a la calculadora. En la segunda transmisión, los datos se comparan en el circuito comparador 53 disyuntivo exclusivo, y la línea de caracteres de datos dispuestos, que viene de los mandos de tratamiento de cuadros, controla el envío de datos antes citado, por la barrera 52, de nuevo a la calculadora.

25

30

375153



El camino que incluye la barrera 58 se usa, trabajando en el modo de inscripción, para controlar la introducción de nuevos datos desde la calculadora al cuadro en tratamiento, cuando así lo pida el terminal seleccionado. Al hacerse esta petición, la calculadora introduce el siguiente byte de datos a enviar a una máquina de escribir situada en el complejo de terminales distantes, en el byte 4 del registro 47 de entrada de cuadros. Los datos se introducen luego en la memoria de cuadros 20, como antes se ha dicho, y se hacen salir del modo anteriormente descrito. Cuando la máquina de escribir esté dispuesta para otro byte de datos, la línea de petición de caracteres de datos, procedente del circuito de control 50 de tratamiento de cuadros, informa a la calculadora de que se necesita el siguiente byte de datos para ese bloque particular del bucle. Esto se consigue bajo el control del circuito de control de enlace de bloques de la calculadora.

Para informar a la calculadora acerca de qué bloque está en funcionamiento, las salidas del contador 24A de entrada de bloques se aplican a un codificador 59 de acceso de los bloques del bucle, que está bajo el control de una señal de barrera procedente del circuito de control de enlace de bloques de la calculadora. Se emplea un codificador de acceso de bloques del bucle, tal como el 59, puesto que el código de acceso enviado a la calculadora difiere de la dirección de acceso de cuadro utilizada para hacer funcionar la memoria de cuadros 20. La calculadora, al introducir datos a este fin, utilizaría la dirección de acceso del bucle si se fuese a emplear este bloque en particular. El uso a que particularmente

375153



se destine esta información dependerá, naturalmente en gran parte, del particular programa de control empleado en la calculadora. Como el programa de control empleado en la calculadora no forma parte del sistema de comunicaciones, no se darán más detalles descriptivos del mismo.

5

La detección de errores en la transmisión se efectúa en la sección de entrada ya descrita. El circuito de control 50 de tratamiento de cuadros analiza los datos suministrados por el circuito descodificador de órdenes 51, el circuito comparador 53 disyuntivo exclusivo, el descodificador 49 y el circuito 54 de descodificación de respuestas; y determina partiendo de todos estos datos si se ha producido un error en la transmisión. Si ha ocurrido un error, el circuito de control 50 de tratamiento de cuadros se lo señala a la calculadora, por medio de una línea de señal de error que es transmitida a la calculadora a través del circuito de controles de enlace de bloques. El programa de control de la calculadora determina las medidas correctoras a adoptar; por ejemplo, retransmisión, o señalización pidiendo ayuda exterior. La particular acción correctora que se adopte no afecta al sistema de comunicaciones, por lo que no se considera necesario dar más detalles de la misma.

10

15

20

25

30

La activación de cuadros en la memoria de cuadros 20 se hace bajo el control de la calculadora, previéndose medios para introducir en la memoria de cuadros 20, datos procedentes de la calculadora. La barra ómnibus de salida de bloques está conectada por medio de una primera barrera 60 a un registro 61 de cuadros de bloque. El registro 61 de cuadros de bloque está conectado, por medio



de una barrera 62, a la barra de entrada de datos de la memoria de cuadros 20. El registro 61 de cuadros de bloque tiene cuatro bytes de anchura, siendo de formato idéntico al del registro 47 de cuadros de entrada y el registro 27 de cuadros de salida. La barrera 60 está bajo el control de la línea de control de cuadro de barrera que sale de la sección de controles de enlace de bloques de la calculadora, y la barrera 62 está gobernada por una línea de selección de bloques y por la línea selectora (de "estrobo") de carga que viene del circuito 29 de control de memoria y selector de secciones. La entrada de datos es iniciada por la calculadora mediante envío de señales de petición de canal al circuito 29 de control de memoria y selector de secciones, desde la sección de controles de enlace de bloques de la calculadora.

Además, la barra ómnibus de salida de bloques de la calculadora está conectada por medio de una barrera 63 a un registro 64 de acceso a bloques del bucle, que está conectado por medio de un circuito 65 codificador de acceso de cuadros a la barra ómnibus de acceso de cuadros, que selecciona la memoria de cuadros 20. La barrera 63 está controlada por la línea de acceso de barrera que viene de los controles de enlace de bloques de la calculadora, en tanto que la barrera 65 viene controlada por la línea de selección de bloques que viene de los controles 29 de memoria y selector de secciones. Así, cuando los datos procedentes de la calculadora se vayan a introducir en la memoria de cuadros 20, la calculadora señala esta acción al circuito de control de memoria y selector de secciones, activando para ello la línea de petición de



bloques y presentando la dirección de acceso y la información de la barra ómnibus de salida de bloques en el instante apropiado, y haciendo funcionar las barreras 60 y 63 en el instante adecuado para poner la información en los registros 61 y 64. En el momento apropiado de la sucesión de ciclos, el circuito 29 de control de memoria y selector de secciones traslada los datos del registro 61 y la dirección de acceso contenida en el registro 64. Aquí, se efectúa también una función codificadora en el circuito 65 para asegurarse de que la dirección de acceso en la memoria de cuadros 20 es la adecuada.

La descripción de un complejo de terminales tipo como el ilustrado en la fig. 5 será diferida, hasta después de considerados con detalle los elementos componentes arriba descritos, que se ilustran en las figs. 8 a 20 inclusive.

La fig. 8 ilustra una forma de ejecución del contador 24 de salida de bloques, para lograr la secuencia de 13 bloques arriba descrita. En esta forma de realización ilustrativa, hay un contador en anillo 68 con nueve posiciones, que avanza escalonadamente activado por la salida de byte 1 del contador 23 de salida de bytes. Las posiciones 1 a 8 inclusive del contador en anillo 68 van conectadas al codificador 25 de acceso de cuadros, y cada vez que el contador en anillo 68 activa una de estas líneas, el codificador de acceso 25 da una dirección de acceso correspondiente, a la memoria de cuadros 20, para obtener acceso a la información situada en ese lugar, o introducir información en ese lugar, según sea necesario. La novena posición del contador en anillo 68 está conecta-



da a un segundo contador en anillo 69 provisto de cinco
posiciones. Estas cinco posiciones dan la salidas 9 a 13
inclusive; así, en el primer ciclo del contador en anillo
68 se genera la primera posición del contador en anillo
5 69, correspondiente al noveno bloque o cuadro. En cada
ciclo sucesivo del contador en anillo 68, se generan las
salidas 10, 11, 12 y 13. Hay otras muchas disposiciones
posibles; no obstante, las indicadas demostrarán ser del
todo adecuadas para generar los indicadores de bloque que
10 se aplican al codificador 25 de acceso de cuadros, para
obtener acceso a la memoria de cuadros 20.

Los detalles del circuito 28 de control de
salida se ilustran en la fig. 9. Se representan aquí las
mismas salidas y entradas indicadas en la fig. 4. El byte
15 6 procedente del contador 23 de salida de bytes se aplica
a la entrada de activación de un circuito de enganche o
cerrojo 70. Al activarse el cerrojo 70, condiciona una
barrera de coincidencia 71, con tal que no esté presente
la señal de selección de reposición, procedente del con-
20 trol 29 de memoria y selección de secciones. La línea de
selección de reposición se invierte en un circuito inver-
sor 72, para lograrlo. La salida de byte 6 se invierte en
otro inversor 73, y se aplica a la barrera de coincidencia
71 para hacer que la petición de salida aparezca activa
25 en el borde posterior o de salida del byte 6. El cerrojo
70 es repuesto por la señal de selección de salida y la
de reposición de selección que viene del circuito 29.
Ambas se combinan en una barrera de coincidencia 74, cu-
ya salida va conectada a la entrada de reposición del ce-
30 rrojo 70.

375153



Los detalles del circuito 29 de control de memoria y selección de secciones se ilustran en la fig.

10. Las líneas de petición de bloques, de petición de entrada y de petición de salida se aplican a sendas barreras de coincidencia 75, 76 y 77, respectivamente. Estas barreras dan las salidas de selección de bloques, selección de entrada y selección de salida anteriormente citadas. La salida de cada una de estas barreras de coincidencia se invierte y aplica a las otras dos, para inhibirlas tan pronto como una de las tres señales (de petición de bloque, de petición de entrada o de petición de salida) llegue y se apodere del circuito. Así, si la que llega es una petición de bloque, la salida invertida de la barrera de coincidencia 75 inhibe las barreras 76 y 77; de igual modo, la salida invertida de la barrera de coincidencia 76 inhibe las barreras 75 y 77, y la salida invertida de la barrera de coincidencia 77 inhibe las barreras 75 y 76. Al llegar una petición de bloque, la parte de circuito de control de memoria del circuito 29 pide un ciclo de inscripción; por lo tanto, la línea de selección de bloques es conectada por una barrera disyuntiva 78 a la entrada de ciclos de inscripción de un circuito 79 de control de memoria usual, y hace que se tome un ciclo de memoria para la memoria de almacenaje de cuadros. Al hacerse una petición de salida es necesario un ciclo de lectura, y la línea de selección de salida se conecta por medio de una barrera disyuntiva 80 a la entrada del ciclo de lectura del circuito 79 de control de memoria. Una petición de salida como la mencionada se hace solamente cuando se han ensamblado los datos en el cuadro. Esta pe-

375153



tición exige tanto un ciclo de inscribir como un ciclo de leer. El ciclo de inscribir se usa primero para poner los datos en la dirección de acceso apropiada, y a continuación se lee la dirección siguiente de la memoria y se lleva el registro de entrada de cuadros 47.

5

El ciclo secuencial de inscripción-lectura viene controlado por la línea de selección de entrada, que está conectada por medio de una barrera 81 y de un inversor 82 a la entrada de activación, con corriente alterna, de un circuito de báscula o "disparador" 83. La línea está también conectada a un par de barreras de coincidencia 84 y 85. Además, va conectada por medio de un inversor 86 a la entrada de reposición, de corriente continua, del circuito de báscula 83. La salida de activación del circuito de báscula 83 va conectada a la barrera de coincidencia 85, y la salida de reposición del circuito de báscula 83 está conectada a la barrera de coincidencia 84. La barrera de coincidencia 84 tiene su salida conectada, por medio de una barrera disyuntiva 78, a la entrada de ciclo de inscripción del circuito 79 de control de la memoria, en tanto que la barrera de coincidencia 85 tiene su salida conectada, por medio de una barrera disyuntiva 80, para la entrada de ciclo de lectura del circuito 79 de control de memoria. El circuito de báscula 83 está normalmente repuesto al principio de cualquier ciclo, condicionando de ese modo el circuito de coincidencia 84. Al activarse la línea de selección de entrada, la barrera de coincidencia 84 da una salida, por medio de la barrera disyuntiva 78, que pide o solicita el ciclo de inscripción. En cuanto se termina el ciclo de inscripción, el control de memoria genera

10

15

20

25

30

375153

una señal selectora o de "estrobo" de carga. Esta señal condiciona la barrera de coincidencia 81 que, por medio del inversor 82, hace que en el circuito de báscula 83 aparezca la activación de corriente alterna en el borde posterior o de salida del impulso. El circuito de báscula 83 da por la salida de activación una señal de salida que faculta o condiciona entonces la barrera 85, haciendo que se produzca el ciclo de lectura. Los retardos naturales entre el ciclo de lectura y el de inscripción son suficientes para el normal escalonamiento o avance del contador de entrada de bloques, a para así obtener acceso al siguiente cuadro almacenado en la memoria, que vendrá por la línea un instante después.

La salida de activación del circuito de báscula 83, la línea de selección de salida y la de selección de bloques están conectadas por medio de un circuito disyuntivo 86A a una de las entradas de una barrera de coincidencia 87. La otra entrada de la barrera de coincidencia 87 está conectada por medio de un circuito disyuntivo 88 a las líneas de impulsos selectores (de "estrobo") de carga y de lectura, procedentes del circuito 79 de control de memoria. Así, tras la aparición de uno u otro de los impulsos selectores de carga o de lectura y de una u otra de las líneas de selección de bloques, selección de salida o activación del circuito de báscula 83, se genera la señal de reposición de selección. Esto se consigue por medio de un inversor 89 conectado entre la salida del circuito de coincidencia 87 y la entrada de activación de corriente alterna de otro circuito de báscula 90, que da la salida de reposición de selección. Entre la salida del



circuito disyuntivo 86A y la entrada de reposición de corriente continua del circuito de báscula 90 hay conectado un inversor 91 que hace que se produzca una reposición de esta condición cuando cesa cualquiera de las condiciones anteriores que iniciaron la activación del circuito de báscula, restableciéndose así el circuito en su estado conveniente para el siguiente ciclo de trabajo.

5

La fig. 11 ilustra los detalles del oscilador 21 y del circuito de barrera 35. El oscilador 21 incluye un oscilador de señal continua 92 que excita un generador de reloj 93 de cuatro fases, de diseño usual. Sólo se utilizan dos fases contiguas, de las cuatro disponibles. Las otras dos se usan para la separación de tiempos. Las salidas positiva y negativa de la última etapa del registro 30 se aplican a cuatro barreras de coincidencia 15 94, 95, 96 y 97. Las dos fases van conectadas a estas barreras de coincidencia, de la manera ilustrada. Las salidas de las barreras de coincidencia 94 y 95 están conectadas por medio de un circuito disyuntivo 98 a una de las 20 entradas del circuito excitador de impulsos 36, entanto que las salidas de las barreras de coincidencia 96 y 97 van conectadas, por medio de un circuito disyuntivo 99, a la otra entrada del excitador de impulsos 36. Con esta disposición, si se guarda un uno en la última posición del 25 registro 30, una de las salidas es positiva y la otra es negativa. Así, se condiciona la barrera conectada a la salida positiva 94 y 97 ilustrada en la fig. 11, y la barrera 94 pasa del primer impulso de reloj, por la barrera disyuntiva 98, a la entrada del excitador de impulsos 36, 30 mientras el segundo impulso procedente del reloj de cuatro

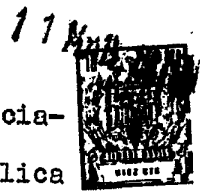
fases 93 se hace pasar por la barrera 97. Si la posición del registro 30 guarda un cero, se invertirían las polaridades indicadas en los dibujos, y se habrían condicionado las barreras 96 y 95; el primer impulso procedente del reloj de cuatro fases 93 habría pasado por la barrera 96 de coincidencia y por la disyuntiva 99 hasta la última entrada del excitador de impulsos 36, y entonces el segundo impulso habría pasado por la barrera 95 de coincidencia y por la disyuntiva 98 a la primera entrada del excitador de impulsos 36, produciéndose impulsos bipolares sensibles a la fase, para indicar unos y ceros. Los dos segmentos del reloj de cuatro fases que no se utilizan son para tener un nivel neutro o de referencia entre sucesivos bitios transmitidos por la línea. Es decir, durante las dos fases del reloj que no se utilizan, el excitador de impulsos 36 está al nivel de la tensión de referencia, que es de cero voltios en el caso ilustrado, y los impulsos bipolares que definen cada posición de bitio van provistos sea de una referencia positiva-negativa, sea de una referencia negativa-positiva, según se esté transmitiendo un uno o un cero.

La fig. 12 es un esquema del circuito excitador de impulsos 36 y del terminador de impulsos 40. La parte o sección de bucle comprendida entre ambos no está representada en esta figura. Las salidas de las barreras disyuntivas 98 y 99 están aplicadas a un par de amplificadores 100 y 101, respectivamente. Las salidas de los amplificadores van conectadas al devanado primario, que tiene toma central, de un transformador de acoplamiento 102. La toma central del devanado primario va conectada



a una fuente de potencial de polarización. El secundario del transformador 102 está conectado al devanado primario de otro transformador 103, por medio del bucle exterior. El secundario del transformador 103 tiene una toma central
5 puesta a masa, y los extremos de este secundario van conectados a una pareja de amplificadores 104 y 105 respectivamente. Durante el tiempo de un solo bitio, el excitador de impulsos 36 recibe salida de una u otra de las barreras disyuntivas 98 o 99, primero de una de ellas y luego de la otra, seguidas ambas salidas de un período en el
10 que ninguna de dichas barreras da salida. Cuando está presente una de las salidas proporcionadas por las dos barreras, el amplificador conectado a ella conduce, haciendo que en el secundario del transformador 102 aparezca un impulso de una polaridad prefijada. Cuando conduce el otro
15 amplificador, el impulso que aparece es de la polaridad contraria. Cuando no conduce ninguno de los amplificadores, la línea se halla al potencial de masa, debido a la conexión de la toma central del devanado primario del transformador 103. El terminador de impulsos funciona de
20 manera semejante. Cuando uno de los lados del devanado secundario sea positivo, conducirá el amplificador conectado a dicho lado; y cuando se invierta la polaridad, conducirá el amplificador conectado al otro lado, dando así una
25 indicación de la fase de la señal que hay en la línea, mediante la regulación de tiempos de las salidas procedentes de los amplificadores 104 y 105.

La fig. 13 ilustra, en forma de esquema funcional detallado, el circuito de comienzo de iniciación
30 45. El circuito 44 descodificador de iniciación da una



primera señal o línea de salida indicativa de la iniciación y la coincidencia del bitio 8. Esta señal se aplica por medio de un inversor 106 a la entrada de activación de corriente alterna de un circuito de báscula 107. La salida de este circuito de báscula 107 se aplica a un circuito de coincidencia 108. A este circuito de coincidencia 108 se aplica también, esta vez directamente, la señal de iniciación y bitio 8 que viene del circuito descodificador de iniciación 44; de manera que el circuito de báscula 107 es activado por el borde posterior o de salida de una primera señal de iniciación, y la barrera de coincidencia 108 deja pasar una señal de iniciación sucesiva, condicionándose dicha barrera para indicar una segunda señal de iniciación que sigue a la primera. Estas señales deben ser consecutivas, ya que el circuito de báscula 107 es repuesto por la salida complementaria o de ausencia de iniciación procedente del circuito 44 descodificador de iniciación y por la de bitio 8, combinadas en un circuito de coincidencia 109 y aplicadas a la entrada de reposición de corriente continua del circuito de báscula 107.

La fig. 14 es un esquema funcional detallado del circuito de control 43 descodificador de sincronismo. Las líneas paralelas que vienen del registro de desplazamiento 42 de entrada se aplican a un circuito descodificador de sincronismo, que da una primera salida designada con signo más, siempre que se descodifica la representación de código de sincronismo, y una segunda salida por una línea señalada con signo menos en cualquier otro momento. La línea (de signo más) que viene del descodifica-

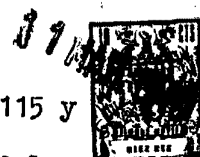
375153



dor de sincronismo 110 está conectada a una de las entra-
 das de una barrera de coincidencia 111 que tiene tres en-
 tradas. Las otras dos entradas van conectadas a la línea
 de muestreo de datos y a la señal de bytes 6 a 30 inclusi-
 ve. Así, cuando hay una señal de sincronismo presente en
 la entrada al descodificador de sincronismo 110, en el
 instante de muestreo de datos y durante los bytes 6 a 30
 inclusive, la barrera de coincidencia 111 desarrolla una
 salida que activa un circuito de enganche o cerrojo 112,
 para indicar que la unidad está en sincronismo de bytes.
 La salida del circuito de coincidencia 111 se aplica para
 reponer en contador de bitios 22A. La señal de ausencia
 de iniciación, las de bytes 6 a 30 inclusive y la de bi-
 tios 8 se aplican a un circuito de coincidencia 113, con
 la línea de signo menos que viene del circuito descodifi-
 cador de sincronismo 110. Al satisfacerse estas condicio-
 nes, la salida del circuito de coincidencia 113 repone el
 circuito de enganche o cerrojo 112, indicando de ese modo
 que se ha perdido el sincronismo de bytes.

La fig. 15 es un esquema funcional de deta-
 lle del circuito 41 de derivación de datos y de reloj in-
 dicado en la figura 4. Aquí se aplican impulsos de datos
 positivos a un circuito de coincidencia 114. La salida de
 este circuto de coincidencia está conectada para activar
 un cerrojo 115. Los impulsos de datos negativos se apli-
 can a un circuito de coincidencia similar 116 que tiene
 su salida conectada para activar otro cerrojo o circuito
 de enganche 117. Las salidas de reposición de los cerrojos
 115 y 117 van conectadas a unos circuitos de coincidencia
 116 y 114 respectivamente.

375153



La salida de activación del cerrojo 115 y la línea de impulsos de datos positivos que viene del terminador de impulsos 40 están aplicadas a la entrada de una barrera de coincidencia 118, en tanto que la salida de activación del cerrojo 117 y la línea de impulsos de datos negativos que viene del terminador de impulsos 40 van conectadas a las entradas de otra barrera de coincidencia 119. Las barreras de coincidencia 118 y 119 tienen sus salidas conectadas a un circuito disyuntivo 120, que da la salida de reloj de datos. La salida de reloj de datos se hace pasar por una primera unidad de retardo 121 y por una segunda unidad de retardo 122. La salida de la unidad de retardo 121 es la señal de muestreo de datos, que no es sino la señal de reloj de datos retrasada. La salida de la unidad de retardo 122 se utiliza para reposner los cerrojos 115 y 117. Este circuito suministra un impulso de reloj de datos por la salida del circuito disyuntivo 120 a la llegada del primer impulso, sea éste positivo o negativo. El muestreo de datos se retrasa en una magnitud fija, y la reposición tiene lugar a continuación al cabo de un intervalo fijo.

La fig. 16 es un esquema funcional del circuito de control 48 de entrada de bloques indicado en la fig. 4A. Tiene las mismas entradas y salidas indicadas en la presentación de la fig. 4A. A un circuito disyuntivo 123 se aplican una señal de error, una señal de caracteres de datos dispuestos, una señal de petición de caracteres de datos y una señal de mensaje completo o terminado. La salida de dicho circuito disyuntivo 123 es invertida por un inversor 124, y aplicada a un circuito de coin-



5 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30

 cidencia 125. La otra entrada del circuito de coincidencia 125 está conectada a la salida de byte 6 que viene del contador 23A de entrada de bytes. Así, cuando en el instante de byte 6 no existan ninguna de las condiciones arriba indicadas, la barrera de coincidencia 125, por medio de un circuito disyuntivo 126, activa un circuito de retención o cerrojo 127. La salida de activación del cerrojo 127 está conectada a una de las entradas de una barrera de coincidencia 128 de cuatro entradas. La salida de byte número 6 procedente del contador 23A de entrada de bytes se invierte en un circuito inversor 129 y se aplica a una de las cuatro entradas del circuito de coincidencia 128. La línea de terminación de servicio de bloques, procedente de los controles de enlace de bloques con CPU, es invertida por un inversor 130 y aplicada a otra entrada de la barrera de coincidencia 128. Esto significa que no está presente la señal de terminación de servicio de bloques. La otra entrada del circuito de coincidencia 128 es la de reposición de selección, invertida por un circuito inversor 131, que indica ausencia de la señal de reposición de selección. En estas condiciones, se genera una petición de entrada por medio de la salida del circuito de coincidencia 128 en el borde de salida o posterior del byte 6, ya que una de las entradas al circuito de coincidencia 128 es la de byte 6, pasada por un inversor 129. Así, sólo en el borde posterior o de salida de esta señal se generará la petición de entrada. Ello da la seguridad de que el byte número 6 se ha terminado antes de generarse la petición de entrada. La petición de entrada se repone o desaparece cuando aparecen la selec-



5 ción de entrada y la reposición de selección, enviadas
 por el circuito 29 de control de memoria y selección de
 secciones. Cuando están ambas señales presentes, un cir-
 cuito de coincidencia 132 conectado a ambas líneas repo-
 ne el cerrojo 127, dando fin a la señal de petición de
 entrada. El cerrojo 127 puede también ser activado, a
 través de la barrera disyuntiva 126, por la salida de un
 10 circuito de coincidencia 136A que responde a la salida
 del circuito disyuntivo 123 y a la señal de terminación
 de servicio de bloques procedente del circuito de contro-
 les de enlace de bloques.

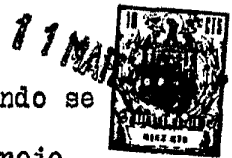
15 La señal de selección de entrada y la de
 "estrobo" o impulso selector de carga, procedente del
 circuito 29 de control de memoria y selección de seccio-
 nes, se aplican a una barrera de coincidencia 133 que es-
 tá conectada a un inversor 134, generando la señal de
 avance o escalonamiento para el contador 24A de entrada
 de bloques. El inversor se utiliza para asegurarse de
 la generación de una señal de avance del contador, en el
 20 borde posterior o de salida de la señal de "estrobo" de
 carga procedente del circuito 29. Una señal de termina-
 ción de transferencia de datos procedente de los contro-
 les de enlace de bloques de la CPU, y una petición de
 caracteres de datos procedente del circuito 20 de control
 25 de tratamiento de cuadros se aplican a una barrera de
 coincidencia 135 que suministra la señal de barrera de
 emisión de final de inscripción, aplicada a la barrera
 67 conectada entre el codificador de final de inscripción
 66 y la sección de byte de control del registro 47 de
 30 entrada de cuadros. Es éste un método especial para dar



por terminado el final de una operación de inscribir bajo
el control de la CPU, ya que la CPU suministra la señal
de terminación de la transferencia de datos, indicando
que no tiene más datos para el terminal al cual el blo-
que en tratamiento está dando servicio.

La señal de terminación de servicio del blo-
que que viene de los controles de enlace de bloques de
la CPU y la de terminación de mensaje que viene del cir-
cuito de control 50 de tratamiento de cuadros están co-
nectadas a una barrera de coincidencia 136 que da una sa-
lida para el franqueo de paso del circuito 131 de emisión
de sincronismo a todas las secciones del registro 47 de
entrada de cuadros. Esto se hace cuando un terminal ha
terminado de comunicar con el ordenador o aparato de tra-
tamiento. Los circuitos de franqueo de paso para desempe-
ñar esta función no se representaron en la fig. 4, ya que
es éste precisamente un medio de despejar el registro de
entrada de cuadros, una vez terminada la comunicación, y
no forma parte del presente invento.

La fig. 17 es un esquema funcional de deta-
lle del circuito 50 de control de tratamiento de cuadros,
e incluye la totalidad de las entradas y salidas antes
descritas en relación con la fig. 4 para este circuito.
Las señales de byte número 2, de salida del descodifica-
dor 49 de "cualquier dirección", y de salida de "compara-
ción negativa" del disyuntivo exclusivo 53, se aplican a
un circuito de coincidencia 136. La salida del circuito
de coincidencia 136 está conectada a la entrada de acti-
vación de un circuito de enganche o cerrojo 137 que sumi-
nistra la salida de acceso de barrera procedente del cir-



5 cuito de control 50 de tratamiento de cuadros, cuando se
satisfacen las condiciones antes indicadas. El cerrojo
137 se repone al aparecer una señal de condición de error,
procedente del circuito lógico 138 de detección de erro-
res, o una señal de reposición del control del proceso de
tratamiento de cuadros. La señal de error y la de reposi-
ción del control del proceso de tratamiento de cuadros
están aplicadas por medio de una barrera disyuntiva 139
a la entrada de reposición del cerrojo 137. Los detalles
10 del circuito lógico 138 de detección de errores no se des-
cribirán aquí, por tratarse de funciones lógicas puras,
determinadas a partir de las entradas ilustradas. Pueden
preverse otros tipos de errores, y usarse también para
reponer el cerrojo 137 con el objeto de dar fin a la ope-
ración en caso de error.

15 Las señales de control OK y acuse de recibo
de datos de lectura se aplican a una barrera de coinciden-
cia 140. La salida de la barrera de coincidencia 140 está
conectada a la entrada de activación de un circuito de ce-
20 rrojo 141, que da la señal de estar dispuestos los carac-
teres de datos. Este cerrojo es repuesto por la salida del
circuito disyuntivo 139, que está conectado a la entrada
de reposición del cerrojo por medio de un circuito disyun-
tivo 142. La salida del circuito disyuntivo exclusivo de
25 comparación negativa, y la señal de byte número 5, están
conectadas a un circuito de coincidencia 143 cuya salida
va conectada a la entrada de reposición del cerrojo 141
por medio de un circuito disyuntivo 142 que sirve para re-
poner el cerrojo 141 en el caso de que la salida del dis-
30 yuntivo exclusivo de comparación negativa se active duran-

te el byte 5, impidiendo la generación de la señal de caracteres de datos dispuestos. Esta condición especial de error se ha detallado por separado, ya que es esencial para el funcionamiento del circuito descrito.



5 Las señales de control OK y de petición de inscripción de datos se aplican a un circuito de coincidencia 144, cuya salida está conectada a la entrada de reposición de un cerrojo 145 que da la salida de petición de caracteres de datos para el circuito de control 50.

10 El cerrojo 145 es repuesto por la salida generada por el circuito disyuntivo 139 antes descrito. La salida de lectura nula del descodificador de órdenes, y las señales de byte número 5 y de bitio 8 van conectadas a una barrera de coincidencia 146 de tres entradas, cuya salida genera la señal de franqueo de paso de byte de datos, antes

15 descrita. Las señales de control OK y acuse de recibo de final de inscripción van aplicadas a un circuito de coincidencia 147 cuya salida está aplicada por medio de un circuito disyuntivo 148 a la entrada de activación de un

20 cerrojo 149, cuya salida indica que el mensaje está terminado, cuando el cerrojo 149 se activa. Este cerrojo puede ser activado también por la aplicación de las señales de control OK y acuse de recibo final de lectura, aplicadas a un circuito de coincidencia 150 que tiene su salida

25 conectada por medio de la barrera 148 a la entrada de activación del cerrojo 149. El cerrojo 149 se repone por medio de la salida del circuito disyuntivo 139, de igual manera que los cerrojos 137, 141 y 145.

30 La fig. 18 es un esquema funcional de detalle del circuito 55 de retención y traducción de órdenes



de la fig. 4. Las salidas del circuito 51 descodificador
 de órdenes y del circuito 54 descodificador de respuestas
 están relacionadas en esta figura. Se describirá sólo una
 de las generaciones de órdenes, y el resto se detallará
 en forma de tabla en la fig. 19. Por la descripción de la
 ilustrada en la fig. 18, los circuitos necesarios para
 generar las órdenes restantes se desprenderán de modo evi-
 dente en la tabla de la fig. 19. La señal de descodifica-
 ción de la orden de lectura nula, procedente del circuito
 151, se aplica a una de las entradas de una barrera de
 coincidencia 151 de dos entradas. La otra entrada de la
 barrera de coincidencia 151 viene de un circuito disyun-
 tivo 152 que recibe como entradas las señales de petición
 de lectura, petición de lectura de datos, petición de fi-
 nal de lectura y acuse de recibo de lectura nula, que vie-
 nen del circuito 54 descodificador de respuestas. Así, si
 cualquiera de las respuestas relacionadas como conectadas
 al circuito disyuntivo 152 está presente mientras se ha
 enviado o emitido con anterioridad la orden de lectura
 nula, el circuito de coincidencia 151 genera, por medio
 del circuito disyuntivo 153, una salida indicativa de que
 la respuesta de orden era apropiada para la orden emiti-
 da.

La salida del circuito disyuntivo 153 está
 conectada además a un circuito de coincidencia 154, cuya
 otra entrada se deriva de un circuito disyuntivo 155 que
 tiene por entradas las señales de acuse de recibo o reco-
 nocimiento de lectura nula, de lectura de orden y de lec-
 tura de datos, procedentes del descodificador de respues-
 tas 54. Así, si la orden es la apropiada (orden OK) y es-

375153



5 tá presente cualquiera de las tres órdenes especificadas
(reconocimiento de lectura nula, de lectura de orden o de
lectura de datos), se desarrolla en el circuito de coin-
cidencia 154 una señal que es aplicada a la matriz codi-
ficadora 156, la cual genera una orden de lectura nula,
que es la nueva orden que debe ser generada por este cir-
cuito en estas condiciones.

10 La fig. 20 es un esquema funcional de deta-
lle de los controles de enlace de bloques de la CPU, y
está de acuerdo con las características de enlace de blo-
ques de IBM para las calculadoras del sistema 360. Este
enlace puede modificarse de manera que se corresponda con
cualquier otra calculadora que pueda ser utilizada con el
sistema de comunicaciones descrito, y el enlace vendrá
15 necesariamente dictado por la calculadora que se utilice
con la red de comunicaciones.

Las líneas de control que vienen de la cal-
culadora se aplican a un descodificador 157 de líneas de
control, habiendo un circuito codificador de control 158
20 conectado a la línea de control en la calculadora. El des-
codificador 157 de líneas de control y el codificador 158
de líneas de control están conectados a una sección de
control de transferencia de información de los sistemas
IBM 360, construida con arreglo a la arquitectura de los
25 sistemas 360. Las señales suministradas por el sistema de
comunicaciones son, como antes se ha dicho, la petición
de caracteres de datos, la de caracteres de datos dispues-
tos, la de terminación de mensaje y la de error. Los con-
troles de transferencia de la información suministran de
30 la calculadora las siguientes órdenes normales: terminar



5 transferencia de datos; seleccionar dirección de acceso
 de la barra de salida; poner dirección de acceso en barra
 de llegada; seleccionar datos de barra de salida; poner
 datos en barra de llegada; terminar servicio; y seleccio-
 10 nar orden en barra de salida. Estas órdenes o instruccio-
 nes, con la excepción de la de terminar la transferencia
 de datos, se alteran de acuerdo con las necesidades del
 sistema de comunicaciones expuesto, por medio de los res-
 tantes elementos que se ilustran con detalle, como forman-
 do parte de los controles de enlace.

La barra ómnibus de salida de la calculadora
 está conectada a un descodificador de órdenes, ideado y
 construido para descodificar las órdenes utilizadas. Es
 decir, las de introducir cuadros, iniciar bucle y detener
 bucle. Estas órdenes se descodifican al recibirse la de
 15 seleccionar en la barra ómnibus de salida que viene de la
 CPU. La orden de cargar o introducir cuadros, al ser des-
 codificada, se aplica a la entrada de activación de un ce-
 rrojo 161. La salida de activación del cerrojo 161 condi-
 20 ciona una barrera de coincidencia 162 y otra barrera de
 coincidencia 163. La barrera de coincidencia 162 tiene su
 otra entrada conectada para seleccionar o tomar la direc-
 ción de acceso de la barra de salida, y suministra la se-
 ñal de franqueo de paso de la dirección de acceso del blo-
 25 que de bucle que hace funcionar la barrera 63 introducién-
 do la dirección de acceso del bloque de bucle suministra-
 da por la calculadora en la barra ómnibus de salida de
 bloque que va al registro de acceso 64 de los bloques de
 bucle. La barrera 163 está conectada a la línea de selec-
 30 ción de datos de la barra de salida, y suministra la señal

375153



de activación de cuadro, que se aplica a la barrera 60
para dar paso al cuadro por la barra de salida de bloques
hasta el registro 61 de cuadros de bloques. La salida de
reposición del cerrojo 161 está conectada a las barreras
5 de coincidencia 164, 165 y 166, y condiciona estas barre-
ras de coincidencia cuando el cerrojo 161 está en la con-
dición de reposición. La barrera de coincidencia 164 tie-
ne su otra entrada conectada a la línea de poner dirección
de acceso en barra de llegada, y suministra la señal de
10 franqueo de paso del codificador de acceso de canales de
bloques de bucle, que activa el circuito 59 codificador
de bloques de bucle y pone la dirección de acceso del blo-
que de bucle en la barra de llegada de la calculadora. La
barrera de coincidencia 165 tiene su otra entrada conecta-
15 da a la línea de selección de datos de barra de salida, y
suministra la señal de franqueo de paso de byte de datos
del bloque, que hace funcionar la barrera 58 y pone el
byte en la barra de salida de bloques, llevándolo a la
sección de datos del registro de entrada de cuadros 47.
20 La barrera de coincidencia 166 tiene su otra entrada co-
nectada a la línea de poner datos en barra de llegada, y
suministra la señal de franqueo de paso de byte de datos
al bloque, que hace funcionar la barrera 52 e introduce
el byte de datos en el registro 47 de entrada de cuadros,
25 hasta ponerlo en la barra de llegada de bloques al gene-
rarse esta orden.

La salida de activación del cerrojo 161 se
aplica asimismo a una de las entradas de un circuito de
coincidencia 167, cuya otra entrada está conectada a la
30 línea de terminación de servicio. Al activarse el cerrojo

375153

161 y aparecer la señal de terminación de servicio, el circuito de coincidencia 167 genera una señal de salida que activa un cerrojo 168. La salida de activación del cerrojo 168 se aplica a la entrada de reposición del cerrojo 161, y repone el cerrojo 161. Además, esta salida va conectada a una barrera de coincidencia 169. La línea de terminación de servicio está aplicada por medio de un inversor 170 al circuito de coincidencia 169. La salida de selección de reposición antes descrita, procedente del circuito 29 de control de memoria y selección de secciones, es invertida por un inversor 171 que tiene su salida conectada a la barrera de coincidencia 169. Así, si no están presentes las señales de terminación de servicio y selección de reposición, y el cerrojo 168 se activa, la línea de petición de bloques se activa también. Esto indica que el bloque necesita servicio, y hace falta una operación de carga o introducción de cuadro. Ello viene indicado por la activación del cerrojo 161 y la terminación del servicio. La señal de terminación de servicio se invierte en el circuito 170, y hace que la operación de petición de bloque entre en actividad al producirse el borde posterior o de salida de la señal de terminación de servicio, de manera que no se solicite prematuramente la petición de bloque. Las señales de selección de reposición y selección de bloques se aplican a un circuito de coincidencia 172 cuya entrada está conectada a la entrada de reposición del cerrojo 168 para efectuar la terminación de la petición de bloque, ya que la selección de reposición y la selección de bloque indican que ha tenido éxito una operación de petición de bloque. Un cerrojo 173 conectado a las líneas de



iniciación y de parada de bucle procedentes del descodi-
ficador de órdenes 160, da una señal de bucle inactivo
cuando la de parada de bucle repone el cerrojo.



5 La fig. 5 ilustra uno de los complejos de
terminales distantes del bucle de la fig. 1. La línea de
transmisión de par retorcido que forma el bucle está co-
nectada a un circuito 175 de terminación de impulsos, que
puede ser idéntico al circuito 40 terminador de impulsos
de la fig. 4. La salida del circuito terminador de impul-
10 sos 175 se aplica a un circuito 176 de reloj y derivación
de datos, que puede ser igual al circuito 41 de reloj y
derivación de datos de la fig. 4. Este circuito suminis-
tra una señal de reloj de desplazamiento, una de muestreo
de datos, una de reloj de introducción o carga, y las lí-
15 neas de datos. Estas tres señales se derivan de igual ma-
nera que la indicada, en la descripción del circuito 41,
pero tiene tres retardos en lugar de los dos citados al
hablar de dicho circuito. Los datos procedentes del circui-
to de derivación 176 se aplican al paso o etapa de entra-
20 da, que es un registro de desplazamiento 177 de ocho bi-
tios. El paso de salida del registro de desplazamiento es-
tá conectado por medio de la barrera 178 a un circuito ex-
citador de impulsos 179 conectado al bucle por medio del
par retorcido, y que puede ser idéntico al circuito 36 ex-
25 citador de impulsos de la fig. 4. Los demás complejos de
terminales del bucle son idénticos, y van conectados en-
tre el circuito excitador de impulsos 36 de la fig. 4, por
medio de hasta 100 complejos de terminales, volviendo al
circuito de terminación de impulsos 40 de la fig. 4.

30 Los impulsos de reloj de desplazamiento que

375153

17
vienen del circuito de derivación de reloj 176 están apli-
cados al registro de desplazamiento 177 para controlar la
llegada de datos, y a la entrada de escalonamiento de un
contador de bitios 180 que cuenta de 1 a 8. La salida de
5 bitio 1 del contador de bitios 180 está aplicada a la en-
trada de avance o escalonamiento de un contador de bytes
181, que cuenta de 1 a 5. La sincronización de los conta-
dores 180 y 181 en los complejos de terminales difiere de
las efectuadas en la estación central según la fig. 4. El
10 recuento de número de bytes de sincronismo no es esencial
para mantener la sincronización, y se utiliza sólo el con-
tador de bytes, ya que el complejo de terminales está in-
terésado únicamente en los cinco primeros bytes de cada
bloque al pasar éste, y no le importa el número de bytes
15 de sincronismo que haya entre bloques. En el funcionamien-
to de los complejos de terminales es esencial mantener el
sincronismo de bytes, ya que el contenido del registro de
desplazamiento debe ser examinado en paralelo cuando el
byte, tal como es ensamblado en la estación dentral, y
20 transmitido, reside en el registro de desplazamiento. Es-
to se consigue por medio de los circuitos que se describi-
rán a continuación.

Del registro de desplazamiento 177 se toma
una barra ómnibus de salida que suministra los ocho bitios
25 en paralelo al circuito descodificador 182 de sincronismo
e iniciación. Este circuito vigila continuamente el conte-
nido del registro de desplazamiento, y da una de tres sa-
lidas, según el contenido del registro. Si descodifica un
código de sincronismo en el registro, da una señal de sin-
30 cronismo. Si lo que descifra es una representación de có-



5 digo de iniciación en el registro de desplazamiento, da una señal de salida de iniciación; y de no haber presente ni una ni otra de estas señales, esta condición sale indicada. Estas tres salidas se aplican a un circuito 183 de control de sincronismo de bytes y cuadros, que se describirá con detalle más adelante. Además de las entradas indicadas, el circuito 183 recibe una señal de reposición de muestreo de datos procedente del contador de bytes 181, y otra de bitio 8 que viene del contador de bitios 180.

10 Partiendo de estas seis entradas, el circuito determina si hay presente un cuadro, y si el dispositivo está en sincronismo de bytes, en un instante dado cualquiera de muestreo de datos. De no haber presente ningún cuadro en ningún instante de bitio, la línea de ausencia de cuadros procedente del circuito 183 entra en acción, y repone el contador de bytes 181. Si el dispositivo no está en sincronismo de bytes, la línea de ausencia de sincronismo de bytes repone el contador de bitios. Esto permite una búsqueda

15 continúa de sincronismo de bytes y de cuadros. Una vez presente un cuadro y logrado el sincronismo de bytes, ambas salidas se desactivan (bajan de nivel) hasta el momento apropiado. Si se mantiene el sincronismo de bytes, los impulsos de reloj de los circuitos de derivación de reloj 176 hacen avanzar continuamente el recuento de bitios 180, con

20 funcionamiento cíclico a la frecuencia de reloj, que mantiene el sincronismo de bytes por completo. Ahora bien, si por alguna razón se pierde un bitio del tren de bitios, y la unidad se sale de sincronismo de bytes, se activará la línea de ausencia de sincronismo de bytes y entrará en acción el proceso de lograr de nuevo el sincronismo de byte.

30

Este procedimiento resultará más claro cuando se dé, ^{1.2} más adelante, una descripción detallada del circuito 183.



5 La barra omnibus de salida del registro de desplazamiento 170 está también conectada a un descodificador de acceso 183 que proporciona una de entre tres salidas: las de "esta dirección"; "cualquier dirección"; y "todas las direcciones". La salida de "esta dirección de acceso" indica que la dirección de acceso contenida en el segundo byte del cuadro del bloque en tratamiento contiene la dirección única y singular de este complejo de terminales. Ello indica que los datos y la información de control de este cuadro están dirigidos a uno de los terminales conectado a este complejo. La salida de "cualquier dirección" indica que se trata de un cuadro escrutador, y que todo complejo de terminales que necesite servicio puede captar este particular cuadro de este bloque, poniendo su propia y singular dirección de acceso en el lugar del código de "cualquier dirección" contenido en el byte 2 del cuadro que se esté tratando en un momento dado, para este bloque.

15

20 La salida de "todas las direcciones" indica que la información de datos y de control contenida en el cuadro del bloque va a ser utilizada por uno o más terminales de cada uno de los complejos conectados en el bucle. La información contenida en el cuadro que en un momento dado contenga una señal de "todas las direcciones" en el byte 2 puede no ser alterada por ninguno de los terminales. El modo de utilizar estas salidas se irá desprendiendo en el transcurso de lo que sigue de la descripción. El descodificador de direcciones 183 tiene tres entradas adicionales que controlan

25

30 la regulación de tiempos de la descodificación.



Las señales de muestreo de datos (procedentes del circuito 176), de bitio 8 y de byte 2 se aplican al descodificador de acceso, con lo cual la descodificación de direcciones de acceso sólo puede ocurrir en el muestreo de datos, durante el bitio 8 del byte 2. Esto da la seguridad de que la información de acceso está en el registro de desplazamiento en el momento en que se produce la descodificación. En cualquier otro momento, no se producirá descodificación alguna. Las tres salidas procedentes del descodificador de acceso 183 se aplicarán a un circuito 184 de control y de selección de terminales, que recibe también una entrada procedente del terminal conectado al complejo que requiere servicio. Sólo uno de los terminales conectados al complejo puede pedir servicio en un momento dado cualquiera. Los demás terminales estarán bloqueados por unos circuitos usuales. La conexión de los terminales no se ha representado, ya que esto no se considera como parte integrante de la invención, y sólo se han indicado las líneas de control usuales para el terminal con características de acceso apropiadas para los terminales específicos de la línea. Estos se describirán con mayor detalle más adelante.

El circuito 184 de control y selección de terminales, partiendo de las cuatro entradas antes descritas, da dos salidas. La primera indica que se ha seleccionado este terminal solamente, y es aplicada a un circuito de barrera 185 que controla la carga o introducción de datos en el registro de desplazamiento, desde la barra ómnibus de llegada indicada. Esto da una señal selectora o de estrobo de carga, que introduce o cambia los datos del re-




gistro, poniendo los contenidos en la barra de llegada.
 La barrera 185 tiene dos entradas adicionales que deben
 satisfacerse antes de aplicar el estrobo de carga al re-
 gistro de desplazamiento para poner los datos de la barra
 de llegada en el registro de desplazamiento, en lugar de
 los datos contenidos en éste. Son éstos la señal de reloj
 de carga que viene del circuito 176, y la de bitio 8 pro-
 cedente del contador de bitios 180. Así, los datos sólo
 pueden ser introducidos en el registro de desplazamiento
 en el instante de carga apropiado del ciclo de reloj y en
 el de bitio 8 de cualquiera de los bytes del registro de
 desplazamiento cuando se haya seleccionado el complejo de
 terminales particular.

La salida de terminal seleccionada, del cir-
 cuito 184, se aplica a un circuito 186 de control de trans-
 ferencia de datos, a un circuito 187 de descodificación
 de órdenes y a un circuito 188 descodificador de direccio-
 nes de acceso del dispositivo. La reposición del contador
 de bytes 181, transferida después de aplicado el byte 5
 al circuito de control 184 de selección de terminal para
 reponer este circuito a la terminación de todo cuadro que
 pase por el registro de desplazamiento 177, de modo que
 está preparado para operar sobre el siguiente cuadro aso-
 ciado al bloque secuencial sucesivo.

Directamente conectado a la barra de llega-
 da hay un circuito 189 codificador de direcciones de acce-
 so, que se activa al producirse la señal de byte 2 proce-
 dente de la salida de byte 2 del contador de bytes 181.
 Esto introduce la dirección de acceso del complejo de ter-
 minales en el registro de desplazamiento, al aparecer el

375153



impulso selector o de estrobo de carga que viene de la
barrera 185. Este método permite capturar un cuadro en es-
crutinio, y se utiliza también para la verificación de
errores ya que normalmente la barrera 185 sólo se condi-
5 cionará al activarse la única línea de este terminal que
viene del control 184 de selección de terminales. Este
método de verificación de errores se emplea para detectar
complejos de terminales que estén haciendo mal uso de los
cuadros, alterando las direcciones de acceso de otros com-
10 plejos de terminales.

El codificador 188 de acceso de dispositivos
recibe la señal de terminal seleccionado que viene del
circuito 184, la de bitio 8 procedente del contador de bi-
tios 180, la de byte 3 que viene del contador de bytes
15 181, y la de muestreo de datos procedente del circuito 176
de derivación de reloj. Así, en el instante de byte 3, al
ser seleccionado el terminal, la dirección de acceso con-
tenida en el registro de desplazamiento 177 es descifrada
por el circuito descodificador 188, que activa una de en-
20 tre n líneas, según la representación de código descifra-
da. Estas n líneas se usan para seleccionar uno de entre
n terminales situados en el complejo definido por el con-
tenido del tercer byte del cuadro en tratamiento.

El circuito 187 descodificador de órdenes
25 recibe la salida de terminal seleccionado procedente del
circuito 184, la de bitio 8 que viene del contador de bi-
tios 180, y la de byte 4 que viene del contador de bytes
181, y descodifica la orden situada en el cuarto byte del
cuadro en tratamiento. Esta orden descodificada se aplica
30 al circuito 186 de control de transferencia de datos. El

circuito 186 de control de transferencia de datos recibe,
además de las señales de los circuitos descritos, la de
reloj de carga procedente del circuito 176, bitio 8, by-
te 5 y la de muestreo de datos. El circuito desempeña un
5 número de funciones. Una de las funciones primarias que
desempeña es la traducción de la orden recibida en una
orden de respuesta. Esto se consigue mediante las diver-
sas entradas que vienen suministradas desde el terminal
conectado. El modo en que se hace esto se describirá más
10 adelante, en relación con la descripción detallada de cir-
cuitos de los controles 186 de transferencia de datos. La
salida de traducción de control dada se aplica a un cir-
cuito codificador 190 de respuesta de órdenes que genera
la respuesta apropiada a la orden en el instante de byte
15 4, y la aplica a la barra de llegada, donde se introduce
en el instante apropiado en el registro de desplazamiento
177 para sustituir la orden recibida de la estación cen-
tral. De éstas órdenes se habló anteriormente, en relación
con la descripción del descodificador de respuestas 54 y
20 del circuito de retención y traducción de órdenes 55.

El circuito 186 recibe una señal de "dispues-
to para byte de datos" en el caso de un terminal que esté
efectuando una operación de inscribir, y da un impulso
selector de datos y una señal de "operación de inscribir
25 en ejecución", para permitir que el terminal conectado
ejecute la operación de inscribir. Para los terminales
que estén efectuando una función de lectura, recibe una
señal de necesidad de servicio, una señal de datos dis-
puestos y una señal de terminación de transferencia que
viene del terminal, y da una señal de "operación de leer
30



17 MAR



en ejecución" y una señal de datos recibidos, cuando se han recibido los datos. También suministra una señal de franqueo de paso de datos a un circuito de barrera 191 conectado en la barra de llegada, entre el terminal conectado y el registro de desplazamiento 177. Esta barrera se hace funcionar bajo el control de los mandos de transferencia de datos, y el byte 5 se utiliza para introducir el byte de datos procedente del terminal conectado, en la quinta posición de byte del cuadro en tratamiento.

5

Al seleccionarse un terminal, éste suministra una señal singular y única a un dispositivo codificador de acceso 192, que da una representación de código singular y única identificativa del dispositivo terminal. La salida del codificador 192 se aplica a un circuito de barrera 193 que está abjo el control del byte número 3, procedente del contador de bytes 181. Esto introduce la dirección única del terminal en la posición de byte 3 del cuadro de tratamiento, para identificar o indicar a la central el terminal del complejo que está en proceso de comunicación en ese cuadro particular de dicho bloque. En algunos casos, se superpondrá a la misma dirección de acceso ya contenida en este byte. En el caso de un cuadro de "cualquier dirección de acceso" en el que se requiera una operación de escrutinio, la dirección de acceso introducida sustituirá a los datos contenidos en la tercera posición de byte, de igual manera que el circuito 189 de codificación de acceso sustituye los datos de "cualquier dirección de acceso" en la segunda posición de byte del cuadro en tratamiento.

10

15

20

25

30

La conexión de los terminales al enlace de



terminales del control de complejo de terminales ilustra-
do en la fig. 5 puede adpftar cualquiera de entre un nú-
mero de formas. Si en el complejo se utiliza un sólo ter-
minal, no se necesitan los circuitos 188, 192 y 193. Esto
5 hace superfluo el byte número 3, que no será utilizado
por este complejo, pudiendo eliminarse del sistema median-
te el recurso de volver a diseñar los contadores de byte
indicados en las figs. 4 y 5 de modo que incluyan un byte
menos si todos los complejos son de un solo terminal.

10 Cuando al enlace de terminales haya conectada una plura-
lidad de terminales, el único requisito que debe observar-
se es el de que una vez cogido el enlace por el terminal,
mediante la acción de poner una señal de necesidad de ser-
vicio en la línea correspondiente, los demás terminales
15 conectados al enlace no pueden intentar siquiera cogerlo
hasta que el terminal que lo haya cogido haya terminado
su operación y liberado el enlace. Los detalles de esta
conexión no se han ilustrado, por no formar parte del pre-
sente invento; pudiendo utilizarse una diversidad de co-
20 nexiones a este enlace, según el número y tipo de termina-
les que se desee conectar al enlace de terminales de los
controles del complejo de terminales.

La fig. 21 es un esquema funcional del cir-
cuito 183 de control de sincronismo de bytes y cuadros.

25 El circuito incluye dos cerrojos, 194 y 195. El cerrojo
194 se hallará normalmente repuesto cuando el dispositivo
no esté en sincronismo de bytes, y el cerrojo 195 será
el que esté normalmente repuesto cuando no se halle pre-
sente un cuadro de bloque. La salida de reposición del
cerrojo 195 está conectada a una barrera de coincidencia

30

17 MAR



196 que recibe también la salida de sincronismo que viene del circuito 182 descodificador de sincronismo e iniciación, y la de muestreo de datos que viene del circuito 176 de derivación de reloj. Si el cerrojo 195 está repuesto, indicando que no hay un cuadro presente, la señal de sincronismo es recibida en el instante de muestreo de datos y el cerrojo 194 se activa, quitando así del circuito la negación, o característica complementaria de la salida de sincronismo de bytes, al activarse el cerrojo 194. La salida de activación del cerrojo 194 condiciona otra barrera de coincidencia 197 y, en cuanto se reciban las señales de iniciación, de bitio 8 y de muestreo de datos, el cerrojo 195 se activará indicando la presencia del cuadro. El cerrojo 195 es repuesto por la salida de reposición del contador de bytes 181. El cerrojo 194 se repone en el instante de bitio 8 y muestreo de datos, reponiéndose el cerrojo 195 y el circuito 182 no recibe ni la señal de sincronismo ni la de iniciación. Estas señales van aplicadas a un circuito de coincidencia 198 cuya salida está conectada a la entrada de reposición del cerrojo 194. Este circuito suministra las dos señales que indican la presencia del sincronismo de cuadros y bytes.

La fig. 22 es un esquema funcional de detalle del circuito 184 de control de selección de terminales. La línea de "cualquier dirección de acceso", procedente del descodificador de acceso 183, y la línea de "necesidad de servicio" que viene del terminal distante, se aplican a un circuito de coincidencia 199. La salida de este circuito está aplicada, por medio de una barrera disyuntiva 200, a la entrada de reposición de un cerrojo

375153



201 que, al ser activado, suministra la salida de sólo
este terminal. La salida de activación del cerrojo 201
está conectada a un circuito disyuntivo 202 cuya salida
suministra la señal de selección de terminal antes des-
crita. Además, el cerrojo 201 puede ser activado por la
línea de "esta dirección de acceso" procedente del des-
codificador de acceso 183, que está aplicada a la entra-
da de activación del cerrojo 201 por el circuito disyun-
tivo 200. La línea de "todas las direcciones de acceso"
que viene del descodificador 183 está conectada a la en-
trada de activación de un cerrojo 203 que tiene su salida
de activación conectada por medio del circuito disyuntivo
202 de modo que da la señal de selección de terminal. La
de reposición que viene del contador de bytes 181 está
conectada a las entradas de reposición de los cerrojos
201 y 203, y repone ambos a la terminación de un cuadro
dado cualquiera en los sucesivos bloques.

La fig. 23 es un esquema funcional detalla-
do del circuito 186 de control de transferencia de datos
de la fig. 5. Este circuito da las respuestas que deben
hacerse para unas órdenes dadas recibidas, así como las
señales de activación o franqueo de paso de datos, reci-
bidos, operación y proceso de lectura, operación y proce-
so de inscripción, y estrobo de datos.

Las órdenes recibidas por el complejo de
terminales se han expuesto en la tabla de la fig. 19, en
cuya segunda columna se indican las repuestas apropiadas
a las mismas. La fig. 23 ilustra de qué modo se generan
estas respuestas. Una operación de lectura viene siempre
precedida de una orden de lectura nula que viene de la



central. Esta orden se descodifica en el descodificador de órdenes 187 y se aplica al circuito 186 de control de transferencia de datos. La señal de lectura nula está conectada a un par de barreras de coincidencia 204 y 205.

5 La barrera de coincidencia 204, adecuadamente activada o excitada, da una señal que se utiliza para generar peticiones de lectura en el circuito 190 codificador de respuestas a las órdenes. Esta barrera de coincidencia tiene otras dos entradas: una de ellas conectada a la línea de "servicio necesario" que viene del enlace de terminales, y la otra conectada, por medio de un inversor 206 y de un circuito monoestable o de disparo único 207, a una barrera de coincidencia 208. La barrera de coincidencia 208 recibe las señales de selección de terminal, byte 5 y necesidad de servicio. El objeto de esta entrada es el de impedir que se seleccione más de un cuadro de "cualquier dirección de acceso", ya que el circuito monoestable 207 descondiciona la barrera de coincidencia 204, por medio del inversor 206, tras la primera selección de un cuadro de "cualquier dirección de acceso". Este monoestable descondiciona la barrera durante un período igual a por lo menos el doble del tiempo que transcurre entre cuadros sucesivos del mismo bloque.

25 La barrera de coincidencia 205 tiene tres entradas adicionales y genera la respuesta de acuse de recibo de la orden de lectura nula en el codificador 190. Esta orden no puede ser generada en una primera lectura nula que acompañe a un cuadro de "cualquier dirección", y debe seguir a una sucesiva orden de lectura nula que venga de la estación central. La salida de orden de lectu-



ra del descodificador de órdenes se aplica a un circuito
de coincidencia 209, que también recibe las de servicio
necesario y muestreo de datos. Satisfechas las tres con-
diciones, la salida del circuito de coincidencia 209 ac-
5 tiva un cerrojo 210. La salida de activación de este ce-
rrojo indica que se está realizando un servicio del tipo
de lectura de datos.

La salida del cerrojo 210 comprende una de
las entradas del circuito de coincidencia 205. Las otras
10 dos entradas del circuito de coincidencia 205 son las de
transferencia terminada, invertida en un circuito 211 pa-
ra indicar que la transferencia no se ha terminado, y la
de lectura de datos, invertida en un circuito 212 para in-
dicar que los datos no están dispuestos. Así, una vez cap-
15 turado el bloque y devuelta una orden de leer, la sucesi-
va señal de lectura nula proveniente de la estación cen-
tral dará lugar a un acuse de recibo de lectura nula, si
en ese momento no hay presente petición de ningún tipo.
Las señales de terminación de la transferencia y de datos
20 dispuestos son unas señales normales recibidas de los ter-
minales conectados al enlace de terminales, y que indican
la condición del terminal al regulador o dispositivo de
control del complejo, indicado en la fig. 5.

El cerrojo 210 es repuesto por la orden de
25 muestreo de datos y la de final de lectura aplicadas a la
entrada de reposición del cerrojo 210 por medio de un cir-
cuito de coincidencia 213. Esta conexión impide la repo-
sición del cerrojo 210 hasta el momento en que la secuen-
cia de lectura haya sido terminada por la transmisión y
30 recepción de la orden de final de lectura; de no ser así,

375153



el cerrojo 210 permanecerá activado durante toda una operación de lectura.

La señal de orden de leer recibida del circuito 187 descodificador de órdenes se envía directamente al codificador 190 de respuesta de órdenes, que genera el
 5 acuse de recibo de la orden de leer. Las otras respuestas válidas para una lectura nula son la petición de final de lectura y la petición de lectura de datos. La salida de activación del cerrojo 210 está conectada a una barrera
 10 de coincidencia 214 que genera la petición de final de lectura, y a una barrera de coincidencia 215 que genera la petición de lectura de datos. La barrera de coincidencia 214 está además conectada a las líneas de lectura nula y de terminación de transferencia. Así, al satisfacerse estas condiciones de modo de datos, lectura nula y terminación de transferencia, da una señal para generar la
 15 petición de final de lectura en el circuito 190 descodificador de respuestas. La barrera de coincidencia 215 está además conectada a las líneas de datos dispuestos y lectura nula, y suministra una señal para generar la petición de lectura de datos en el codificador de respuestas 190.

La orden de lectura de datos recibida del circuito 187 descodificador de órdenes se aplica a una
 25 barrera de coincidencia 216 cuya otra entrada está conectada a la salida de activación del cerrojo 210 y da la señal para generar un acuse de recibo de datos en el descodificador de respuestas 190. Las líneas de órdenes de leer datos, muestreo de datos y salida de activación del cerrojo 210 están aplicadas, a través de un circuito de

375153

11 MAR



coincidencia 217, a la entrada de activación de un cerrojo 218. La salida de activación del cerrojo 218 suministra una de las entradas de un circuito de coincidencia 219, cuyas otras dos entradas son las líneas de byte 5 y de reloj de carga. La salida de este circuito de coincidencia da la señal de datos recibidos, y el cerrojo 218 es repuesto por la salida de reposición del contador de bytes 181.

La orden de final de lectura, recibida del circuito descodificador de órdenes 187, da directamente y sin alteración la generación del acuse de recibo de final de lectura. La señal de barrera o activación de datos viene suministrada directamente desde la línea de datos dispuestos que viene del terminal conectado al enlace de terminales, y la de operación de lectura en actividad se deriva de la salida de activación del cerrojo 210.

La parte restante del circuito de la fig. 23 tiene relación con una operación de inscribir, y con la secuencia de órdenes de inscribir que se recibe del controlador de la central. Al recibirse la orden de inscribir, desde el circuito descodificador de órdenes 187, genera directamente el acuse de recibo de la orden de inscribir suministrando una señal al descodificador 190 de respuesta de órdenes. Además, la orden de inscribir se aplica a una de las entradas de una barrera de coincidencia 220. La otra entrada de la barrera de coincidencia 220 está conectada a la línea de muestreo de datos, de modo que con la orden de inscribir y la señal de muestreo de datos se activa el cerrojo 221. Este cerrojo es esencialmente igual al cerrojo 210 y desempeña en esencia las

375153



petición de inscripción de datos. Cuando vuelva la petición de inscripción de datos, la siguiente orden a recibir será de la inscribir datos. Esta orden vendrá acompañada del byte de datos en quinta posición del cuadro. La orden de inscribir datos se aplica directamente a la barrera de coincidencia 222, y genera el acuse de recibo de inscripción de datos en el codificador 190 de respuesta a las órdenes, ya que la barrera 222 es habilitada o condicionada por la salida de activación del cerrojo 221.

La orden de inscribir datos genera también el estrobo (impulso selector) de datos en el instante de byte 5. La orden de inscribir datos se aplica a un circuito de coincidencia 226, en unión de la salida de activación del cerrojo 221, y de la señal de muestreo de datos. La salida así generada activa un cerrojo 227, que condiciona una barrera de coincidencia 228. Esta barrera de coincidencia 228 da la señal de estrobo de datos en byte 5 y de muestreo de datos al activarse el cerrojo 227. El cerrojo 227 es repuesto al final del byte 5 por la señal de reposición que viene del contador de bytes 181, impidiendo con ello que aparezca otro estrobo de datos hasta que se recibe la siguiente orden de inscribir datos.

La salida de activación del cerrojo 221 da asimismo la señal de operación de inscribir en actividad, utilizada por el terminal conectado al enlace de terminales. Después de terminada la operación de inscribir bajo el control de la calculadora, se suministra la orden de final de inscripción, que genera directamente en el circuito 190 el acuse de recibo del final de inscripción. Además, se aplica por medio de una barrera de coincidencia

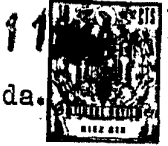
229 a la entrada de reposición del cerrojo 221, durante
el muestreo de datos conectado a la otra entrada de dicha
barrera de coincidencia 229. Con ello se repone el cerro-
jo 221, lo que da por terminada la operación de inscribir.



5 FUNCIONAMIENTO

La fig. 6 es un esquema de circulación de una secuencia típica de inscripción. La secuencia viene siempre instituida por la calculadora, y la calculadora ejecuta esta secuencia introduciendo un cuadro en un bloque dado, al que se ha tenido acceso, en un complejo de terminales y un terminal de salida específicos. El primer cuadro introducido en el bloque seleccionado incluye una orden de inscribir. En el instante apropiado, la sección de salida transmite por la línea esta orden de inscribir dirigida al terminal concreto y específico. Cuando el complejo de terminales específico recibe su propia dirección de acceso seguida de la orden de inscribir, modifica la orden cambiándola en un acuse de recibo de orden de inscribir, y genera la señal de operación de inscribir en actividad (o en curso), que es enviada al terminal específico definido por la dirección de acceso de terminal decodificada, o bien al terminal único si es uno solo el que tiene conectado. Esto indica al terminal que se va a efectuar una operación de salida.

25 , Cuando el controlador central recibe el acuse de recibo de la orden de inscribir emitida, suministra una orden de inscripción nula en el cuadro siguiente. Esta orden es generada en la sección de entrada al recibirse el cuadro, y luego almacenada en la dirección de acceso del bloque apropiado, como nuevo cuadro para ese blo-



que, donde espera su transmisión por la sección de salida.
Al recibir el complejo de terminales la orden de inscripción nula, generará un acuse de recibo de inscripción nula si el dispositivo terminal no está dispuesto para el
5 byte de datos, y seguirá haciéndolo así, a medida que reciba órdenes de inscripción nula, hasta que el dispositivo terminal esté dispuesto.

Cuando el dispositivo terminal esté dispuesto, a la inmediata orden de inscripción nula que venga del controlador central, responderá con una petición de inscripción de datos, como se indica en el esquema de la fig. 23. Al recibir el controlador del sistema esta petición de inscripción de datos, genera una orden de inscribir datos e interrumpe a la calculadora, para cargar o introducir
15 el byte de datos. La orden de inscribir datos y el byte de datos se introducen a continuación en la memoria de cuadros, en la dirección de acceso de bloque adecuada. Este cuadro es transmitido en debida forma por la sección de salida. El complejo de terminales, al recibir esta orden,
20 genera el acuse de recibo de inscripción de datos, y el estrobo de datos. El estrobo de datos se envía al dispositivo terminal, que muestrea el byte de datos durante el byte 5 que viene de la barra de salida del registro de desplazamiento 177. Este bucle continuará de la misma
25 manera, hasta la recepción de todos los bytes de datos dirigidos al terminal específico. Si el controlador central pide un byte de datos de la calculadora después de enviado por esta el último byte de datos, la calculadora notificará al controlador central que se ha terminado la
30 operación de inscribir, y que no hay más datos. En este

11 MAY



momento, el circuito codificador 66 de final de inscripción introducirá la orden de final de inscripción en el cuadro, como antes se ha dicho. Esta orden se enviará a la memoria de cuadros y se transmitirá al complejo de terminales. Al recibirse la orden de final de inscripción, se devuelve al controlador central el acuse de recibo de final de inscripción, y se repone el cerrojo 221 como antes se ha dicho al describir la fig. 23. La fig. 7 es un diagrama de circulación de una operación tipo de escrutinio, seguida de una operación de lectura. La calculadora controla la carga o introducción de los cuadros en un bloque dado cualquiera de la memoria de bloques 20, y suministrará, bajo el control del programa, bloques de escrutinio. Entre éstos se incluirán el de "cualquier dirección de acceso" de la parte de byte 2 o de acceso de terminales del cuadro, y el de "lectura nula" de la parte de mando o de órdenes del byte 4 del cuadro. Cuando un complejo de terminales tenga un terminal que requiera servicio, busca el código de "cualquier dirección" en la segunda posición de byte del cuadro de cualquier bloque dado que reciba. Cuando necesita servicio, ello viene indicado por la señal de la línea de "servicio necesario" que venga de cualquiera de los terminales conectados. En cuanto recibe un código de "cualquier dirección" en byte 2 y tiene activada la línea de "servicio necesario", introduce su propia y singular dirección de acceso en la posición de byte 2 y altera el código de orden de lectura nula, cambiándolo por el de petición de lectura. Los circuitos para efectuar esto se ilustran en la fig. 23. El controlador central recibe el cuadro, y se da cuenta de haber sido cambiada

375153



la dirección de acceso, desde "cualquier dirección" a una
 concreta y específica, y de haber sido introducida una or-
 den apropiada, a saber, la depetición de lectura. Conser-
 va la dirección de acceso específica recibida, y modifica
 5 el byte de orden cambiándolo a orden de lectura, y guarda
 el cuadro en la memoria de cuadros 20, donde la sección -
 de salida, en un momento dado, transmite este cuadro.

El complejo de terminales recibe el cuadro
 cambiado, en el ciclo inmediato sucesivo de dicho bloque,
 10 y genera el acuse de recibo de la orden de lectura, que
 es i~~n~~troducido en la cuarta posición de byte del cuadro.
 A este punto, el complejo de terminales ha capturado el
 bloque para el dispositivo que requiere servicio. Cuando
 el controlador del sistema recibe la respuesta o acuse de
 15 recibo de la orden de lectura, desde el complejo de termi-
 nales, modifica el byte de orden o de instrucción que hay
 en el cuadro, cambiándolo por la orden de lectura nula an-
 tes citada. El cuadro modificado se guarda en la dirección
 de acceso de bloque apropiada de la memoria de cuadros,
 20 y la sección de salida trata este cuadro de la misma mane-
 ra que ha tratado los cuadros anteriores.

Al ser recibido el cuadro de lectura nula
 por el complejo de terminales, el cerrojo 210 (fig. 23)
 se la activado con anterioridad, y señala al terminal la
 25 operación de lectura que está en actividad, o en trata-
 miento. El terminal, si está dispuesto para enviar datos,
 habrá activado la línea de "datos dispuestos". En cambio,
 si el terminal no está dispuesto, dicha línea de datos
 dispuestos no se habrá activado, y el complejo de termina-
 30 les generará el acuse de recibo de "lectura nula". Esta

es la secuencia de inactividad: lectura nula, acuse de recibo de lectura nula.



Tan pronto como el terminal se halle dispuesto para enviar los datos, se activará la línea de datos dispuestos, y el complejo de terminales responderá, a la siguiente señal de lectura nula, con la petición de lectura de datos como respuesta. Esta se transformará en la orden de lectura de datos en la central, orden que se volverá a transmitir. A la orden de lectura de datos se responderá con el acuse de recibo correspondiente, y desde el terminal se introducirá el byte de datos, en la posición de byte 5 del cuadro del bloque en tratamiento. A este punto, el circuito de coincidencia 219 (fig. 23) generará la señal de recepción de datos, como antes se ha dicho, para que el terminal pueda prepararse para transmitir el siguiente byte de datos. Cuando el controlador del sistema recibe el acuse de recibo de lectura de datos, el byte de datos en posición de byte 5 se transmite a la calculadora como antes se ha dicho, cambiándose el código de orden a la de lectura nula. En el ciclo inmediato sucesivo de este bloque, si el terminal no se halla dispuesto con el siguiente byte de datos, se genera la respuesta de acuse de recibo de lectura nula antes descrita, y se produce una secuencia de inactividad, o funcionamiento en vacío. En cuanto el siguiente byte de datos está dispuesto, aparece la señal de "datos dispuestos" y se genera la respuesta de petición de lectura de datos, repitiéndose el ciclo anteriormente descrito.

Terminada la transferencia de datos, el terminal envía a los controles 186 de transferencia de datos

17425



la señal de haberse terminado dicha transferencia, y los citados controles 186 de transferencia de datos ocasionan la generación de un código de petición de final de lectura, tras la inmediata señal de lectura nula recibida del controlador central. El controlador central responde con una orden de final de lectura a la cual, una vez recibida en el siguiente ciclo de este bloque, se responde con un acuse de recibo de final de lectura, dando fin de ese modo la operación de lectura.

Si bien la invención se ha ilustrado y descrito en particular respecto a una de sus formas de ejecución preferidas, se sobrentiende para las personas versadas en la materia que pueden hacerse en ella diversos cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 15 de Enero de 1.969, bajo el número 791.334, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Sistema de comunicaciones de datos, para

11 MAR.



transmitir datos entre un puesto de control situado cen-
tralmente y una pluralidad de terminales alejados, conec-
tados en configuración de bucle en serie, que comprende:
un medio de transmisión de dos conductores, que conecta
5 dicho puesto de control central y un primer terminal, me-
dios adicionales de transmisión de dos conductores, que
interconectan dichos terminales restantes en serie, y otros
medios de transmisión de dos conductores, que conectan el
último terminal de los terminales conectados en serie al
10 puesto de control central, formando así un bucle en serie,
caracterizado porque: dicho puesto de control central in-
cluye medios de datos para recibir, de un manantial de da-
tos en paralelo, una pluralidad de bitios que definen un
elemento de información y transmiten los bitios de datos
15 en forma de serie al primer terminal; y por que dichos ter-
minales incluyen cada uno medios para recibir bitios de
datos en serie y ensamblar dichos bitios de datos en forma
paralela, para examen en dicha forma, con lo cual dichos
bitios de datos en paralelo pueden ser, dependiendo del
20 contenido del elemento de información, retransmitidos, inal-
terados/o alterados, en forma de serie, al siguiente dis-
positivo del bucle de la serie.

2.- Sistema según la reivindicación 1, carac-
terizado por medios para recibir los bitios en serie pro-
cedente del último terminal en el bucle de terminales en
25 serie, y para ensamblar los bitios de datos en serie reci-
bidos, que comprenden una entidad de información en forma
paralela, y medios que responden a los bitios en serie re-
cibidos para transferir la entidad de información en para-
lelo ensamblada, recibida, al manantial de datos; e inclu-
30

375153



yendo cada uno de dichos medios de terminal alejados: medios para recibir bitios de datos en serie del medio de transmisión conectado, y ensamblar los bitios en entidades de información; medios para examinar las entidades de información ensambladas; y medios para retransmitir la entidad de información ensamblada en forma de serie al siguiente terminal conectado, o alterar la entidad de información y transmitir la entidad de información alterada al siguiente terminal conectado, dependiendo del contenido de al menos una entidad de información recibida y ensamblada.

3.- Sistema según la reivindicación 1, caracterizado porque dicho puesto central incluye un manantial de datos bajo control del computador, para almacenar un número predeterminado de bloques de información en posiciones secuenciales, incluyendo cada uno de dichos bloques al menos una palabra de información de múltiples bitios, que define la dirección, control y datos para efectuar la comunicación entre el terminal central y uno o más terminales; una sección de salida para recibir los datos en forma de bloque procedentes de dicho manantial de datos, y transmitir dicha serie de datos por bitio al primer terminal en el bucle en serie, y medios de reloj para proporcionar primeros impulsos de regulación del tiempo que establecen un régimen de bitio, segundos impulsos de regulación de tiempo que establecen un régimen de palabras de información de múltiples bitios, que es una función del número de bitios en una palabra de información y terceros impulsos que establecen un régimen de bloque.

4.- Sistema según la reivindicación 3, ca-

375153



racterizado porque los medios de reloj comprenden primeros
ros medios que responden a los terceros impulsos para
formar los bloques secuenciales en el manantial de datos
disponible, segundos medios que responden a los segundos
5 impulsos para seleccionar secuencialmente las palabras
en los bloques, y terceros medios que responden a los
primeros impulsos para propagar los bitios comprendidos
en cada palabra, en serie al primer terminal; una sección
de entrada para recibir los datos en serie del último
10 terminal en el bucle en serie y para reunir dichos datos
en palabras en paralelo.

5.- Sistema según la reivindicación 4, ca-
racterizado porque la sección de entrada comprende medios
que responden a los datos recibidos del último terminal,
15 para derivar un régimen de reloj de bitios, medios que
responden a los datos y al régimen del reloj de bitios
derivado, para reunir los datos en serie en palabras en
paralelo, y medios que responden al régimen de reloj de
bitios para generar impulsos de régimen de palabra y blo-
20 que, para transferir las palabras de información en para-
lelo al manantial de datos.

6.- Sistema según la reivindicación 1, ca-
racterizado porque dichos terminales incluyen cada uno:
medios que responden a los bitios de datos recibidos de
25 la unidad previamente conectada del bucle en serie, para
derivar impulsos de régimen de bitios y palabra; medios
de almacenamiento para recibir al menos tantos bitios de
datos como estén comprendidos en una palabra, bajo el con-
trol de dichos impulsos de régimen de bitios, y transmitir
30 dichos bitios desde los medios de almacenamiento a la si-



guiente unidad conectada en el bucle en serie, medios que responden a dichos impulsos de régimen de palabras y a los contenidos de los medios de almacenamiento para examinar cada una de dichas palabras, para detectar la dirección, control y datos, y para alterar selectivamente los contenidos de los medios de almacenamiento en este momento, dependiendo de los datos recibidos.

7.- Sistema según la reivindicación 1, caracterizado porque dicho puesto central incluye medios para establecer una pluralidad de bloque de comunicación secuenciales, teniendo cada bloque un número predeterminado de bitios de datos que incluyen información inicial de bloque, información de dirección relativa a los terminales en el bucle conectado, información de control, y datos; medios para transmitir los bitios de datos en los bloques secuenciales, en forma de serie, al primer terminal, a través del medio de transmisión de interconexión; y medios para recibir bitios en serie procedentes del último terminal, a través del medio de transmisión de interconexión y para indicar los bloques secuenciales; incluyendo cada uno de dichos terminales, medios para recibir los bitios de datos en serie de las unidades precedentes en el bucle y para retransmitir bitios de datos después de un determinado retraso, medios para examinar en sucesión los componentes de datos definidos de cada bloque, para alterar o retransmitir de forma inalterada los datos de bloque como una función de la dirección, control y datos en el bloque referido.

375153



8.- Sistema según la reivindicación 1, ca-
racterizado porque dicho puesto central incluye una memo-
ria que tiene una pluralidad de direcciones secuenciales
para almacenar bitios de datos en paralelo, transmitir
5 al menos a uno de los terminales alejados, definiendo
cada una de dichas direcciones un bloque de información
que incluye información de partida, información de direc-
ciones, información de control y datos; un transmisor pa-
ra recibir en secuencia, los bitios de datos en paralelo
10 que definen un bloque, y transmitirlos en forma de serie
predeterminada, sobre el medio de transmisión, al primer
terminal; medios que responden al transmisor para el ac-
ceso secuencial a los bloques de la memoria y proporcio-
nar los datos contenidos en la misma al transmisor, para
15 su transmisión; un receptor conectado al medio de trans-
misión, para recibir los datos en serie procedentes del
último terminal en el bucle en serie; medios de circuito
que responden a los datos recibidos para alterar los da-
tos de una forma predeterminada, como una función de
20 los datos recibidos, y para insertar los datos tratados
en la misma posición en la memoria que ocupaban antes
de la transmisión; y medios que responden a los datos
suministrados por un computador y a dichos medios de
circuito, para insertar datos procedentes del computa-
25 dor en la dirección especificada en la citada memoria,
y para transmitir datos predeterminados recibidos al com-
putador.

9.- Sistema de comunicaciones de datos.

30

375153

3-3-70

- 30 -



Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y con los fines que se han especificado.

5 La presente Memoria consta de ochenta y una hajas escritas a máquina por una sola cara.

Madrid, 11 MAR. 1970
P.A.

Alberto de Alburquerque
For Royal *Alburquerque*