

374600

1621



SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>H-01</u>
SUBCLASE <u>L</u>

PATENTE DE INVENCION

Your File F-1050-Sp

Memoria Descriptiva

sobre:

Perfeccionamientos en la construcción de dispositivos de semiconductor de óxido metálico.

.=.=.=.=.=.=.=..

Solicitante FAIRCHILD CAMERA & INSTRUMENT CORPORATION, entidad norteamericana, residente en 464 Ellis Street, Mountain View, California 94040, EE.UU. de A.

.=.=.=.=.=.=.=..

Esta invención se refiere a dispositivos de semiconductor de óxido metálico (SOM) y en particular a dispositivos SOM que utilizan material semiconductor apropiadamente adulterado como electrodo

5. de puerta.

- 2 - 374600 16 DIC 1963



- Un dispositivo SOM, denominación en la cuál, según se indicó antes, las letras "SOM", significan semiconductor de óxido metálico, es esencialmente una resistencia con regulación de voltaje o
5. "región de canal" que eslabona o une dos regiones de fuente y de consumo de un primer tipo de conductividad, eléctricamente separadas y altamente conductoras, difundidas en un substrato de material semiconductor de un tipo opuesto de conductividad. La región
 10. de canal es formada aplicando un voltaje seleccionado a un electrodo metálico de puerta superyacente al substrato pero aislado del mismo, de tal manera que se invierta el tipo de conductividad de la región subyacente del substrato. Mediante la variación del voltaje
 15. aplicado al electrodo de puerta después de la inversión, el número de portadoras móviles (es decir, electrones o lagunas) en ésta región de canal, y en tal virtud la conductividad del propio canal, son variadas.
 20. Los dispositivos de SOM son comúnmente utilizados como condensadores o transistores. Cuando se usa como condensador, la carga almacenada en el electrodo de puerta es igualada por una carga equivalente de polaridad opuesta almacenada en el substrato
 25. bajo el electrodo de puerta. Cuando se usa como transistor, el flujo de corriente entre la fuente y el consumo o salida es controlado mediante el control de ambos de los voltajes de polarización aplicados a la fuente y a la salida o consumo, y
 30. del voltaje aplicado al electrodo de puerta superya-



16 D. 2

cente a la región de canal.

- Existen dos tipos de transistores de SOM:
5. un transistor de "tipo de ampliación" en el cual la región de canal, aunque normalmente no es conductora, invierte y aumenta en conductividad en respuesta a un voltaje de puerta aplicado; y un transistor de "tipo de tránsito", en el cual la región de canal, aún cuando normalmente es conductora, puede aumentar o disminuir su conductividad en respuesta a un voltaje de puerta aplicado.
- 10.

- Un transistor de SOM de canal P del tipo de ampliación contiene materiales semiconductores de tipo N entre las regiones de fuente y de salida o consumo de tipo P. La aplicación de un voltaje negativo seleccionado al electrodo de puerta superyacente a la
15. región de canal pero aislado de la misma, efectúa una inversión del material semiconductor en el canal del tipo N al tipo P. En tal virtud, la conductividad de ésta región de canal cambia de un valor bajo
20. a un valor alto, teniendo ello por resultado un flujo controlado de corriente de la región de fuente de tipo P a la región de consumo o salida de tipo P.

- En el transistor de tránsito de tipo P, la región de canal es normalmente conductora. La
25. aplicación de un voltaje positivo al electrodo metálico superyacente a la región de canal pero aislado de la misma, agota las portadoras móviles positivas de la región de canal subyacente al electrodo de entrada, con el resultado de que ésta región se torna de
30. tipo N. Los uniones P-N aislarán entonces las regiones



de fuente y de consumo o salida, lo cuál tendrá por resultado una muy alta resistencia entre éstas regiones.

- En la operación de un transistor de SOM,
5. el voltaje aplicado al electrodo metálico de puerta debe exceder de un voltaje de umbral para obtener la inversión de la región de canal bajo el electrodo de puerta. Este voltaje llamado "de conexión", indicado comúnmente mediante el símbolo V_T , depende,
 10. entre otros factores variables, de la diferencia en la "función de trabajo" Φ_{MS} entre el metal usado en el electrodo de entrada y el material semiconductor, de la carga de superficie Q_{SS} atrapada en el aislamiento entre el electrodo de puerta y la región de
 15. canal subyacente, y del espesor y de la constante dieléctrica de éste aislamiento. (La función de trabajo se define como la energía requerida para sacar un electrón del nivel Fermi en un material dado al vacío. El nivel Fermi, a su vez, es aquél nivel de energía en un material que tiene un 50% de
 20. probabilidad de ocupación por un electrón), Consecuentemente, hasta ahora, para cambiar el voltaje de conexión de un dispositivo de SOM, se tenían varias posibilidades. En primer lugar, los materiales utilizados para el electrodo de puerta o para el sub-
 25. trato de semiconductor podían ser cambiados. Alternativamente, el método utilizado para acrecentar el óxido térmico, el cuál afecta a la Q_{SS} , podía ser variado. Por último, el espesor y/o el tipo de aislante podían ser cambiados. De éstas técnicas, la
 - 30.



- que se emplea con mayor frecuencia es la última, o sea la de cambiar el espesor del aislante. En el caso típico, el aislante bajo el electrodo de puerta es hecho más delgado en un factor de 10 que el aislante bajo el conductor depositado hacia el electrodo de puerta.
5. Esto permite que se aplique el suficiente voltaje al electrodo de puerta para invertir la región de canal situada bajo este electrodo de puerta, sin invertir al mismo tiempo porciones del substrato de semiconductor que se encuentran bajo el conductor o línea que vá a éste electrodo. Desafortunadamente, el espesor del aislante no siempre se controla en forma precisa. Como resultado de ello, un voltaje aplicado a un electrodo de puerta a veces invierte
10. no solamente el material semiconductor seleccionado situado bajo este electrodo, sino también el material semiconductor situado bajo el conductor o línea al electrodo. Este caso modifica las características y el funcionamiento del circuito que contiene al
15. dispositivo de SOM.
- 20.

- Una medida de la probabilidad de invertir el material semiconductor situado bajo éste conductor o línea es la relación o proporción del voltaje de conexión V_{TL} para el material semiconductor bajo
25. el conductor o línea del electrodo de puerta, con respecto al voltaje de conexión V_{TG} para el material semiconductor situado bajo la puerta misma. Cuando el aislante bajo el conductor o línea es de un micrón (10.000 angstroms) de espesor, el aislante bajo
30. el electrodo de puerta es de 1000 angstroms, de espe-

- 6 - 374600



sor, la materia constituyente del electrodo de puerta es aluminio, y el material semiconductor es silicio, ésta proporción es de aproximadamente 7. Consecuentemente, un voltaje grande combinado con un

5. aislante del conductor o línea excesivamente delgado es suficientemente dañoso para invertir porciones no deseadas del material semiconductor.

- De acuerdo con ésta invención, por otra parte, el voltaje de conexión de un transistor de
10. SOM es controlado utilizando material semiconductor apropiadamente "adulterado" para el electrodo de puerta. Esto aumenta la relación o proporción de V_{TL} con respecto a V_{TG} desde un poco menos de 7 a más de 11, o sea un factor de casi el 70 por ciento,
15. cuando el aislante de la puerta es de 0.1 micrón de espesor, el aislante del conductor o línea es 10 veces más grueso que el aislante de la puerta, y se utiliza silicio tanto para el electrodo de puerta como para el material semiconductor subyacente. Además,
20. cambiando la concentración de impurezas en el material de la puerta, la diferencia en la función de trabajo entre el electrodo de entrada y el material semiconductor subyacente es variada, variándose en tal virtud el voltaje de conexión del transistor. Las
25. variaciones en el voltaje de conexión logradas en ésta forma cubren una gama de voltaje próxima a cada uno de los extremos del potencial de separación de banda del material semiconductor de puerta. Para el silicio, esta gama o margen es de aproximadamente
30. 0.2 voltios.



En una realización práctica de ésta invención el electrodo de puerta de un dispositivo de SOM es hecho de silicio amorfo de tipo P, en tanto que el material semiconductor es silicio monocristalino de tipo N conteniendo regiones de fuente y de consumo o salida de tipo P. La concentración de impurezas de la puerta de silicio de tipo P es de aproximadamente 10^{17} átomos por centímetro cúbico o mayor.

En otra realización práctica de ésta invención, el electrodo de puerta es hecho de silicio amorfo de tipo N, en tanto que el material semiconductor es silicio monocristalino de tipo N conteniendo regiones de fuente y de salida o consumo de tipo P. La concentración de impurezas es asimismo de aproximadamente 10^{17} átomos por centímetro cúbico o mayor.

Resulta interesante que, cuando los electrodos de puerta de semiconductor de ésta invención, algunos "adulterados" con impurezas de tipo N y algunos adulterados con impurezas de tipo P, son combinados para formar un sólo circuito integrado, se obtienen estructuras de características únicas en cuanto a su adecuación para usarse como inversores, circuitos lógicos complementarios y circuitos de onda variable para citar sólo algunos ejemplos. En éstos circuitos, el substrato de semiconductor subyacente a cada electrodo de puerta es adulterado ya sea con impurezas de tipo P o de tipo N, según sea el voltaje de conexión deseado para el canal subyacente a cada puerta de silicio. A continuación se describe e ilustra en detalle un inversor de SOM básico complementa-

- 8 - 374600 16



rio en el que se utilizan tanto electrodos de puerta de silicio amorfo de tipo P como de tipo N, sobre un substrato adulterado de silicio monocristalino.

- Aún cuando la invención se describe haciendo referencia a silicio adulterado como el electrodo de puerta, pueden utilizarse otros materiales semiconductores en lugar de silicio. Dado que el nivel FERMI del electrodo de puerta de semiconductor adulterado debe estar próximo a cualquiera de los dos límites del potencial de separación de banda del semiconductor a fin de que el semiconductor tenga una conductividad lo suficientemente baja para funcionar como un electrodo de puerta sustancialmente equipotencial, el potencial de separación de banda de un material semiconductor determinado limita el margen de variación del voltaje de conexión obtenible con ese material. El potencial de separación de banda del silicio es de aproximadamente 1.1 ev a la temperatura ambiente. Pero el potencial de separación de banda del arseniuro de galio es de aproximadamente 1.4 ev a temperatura ambiente, en tanto que el potencial de separación de banda del fosforo de galio es de aproximadamente 2.4 ev a temperatura ambiente. Combinado adecuadamente el arseniuro de galio y el fosforo de galio se obtienen compuestos con potenciales de separación de banda que van de 1.4 a 2.4 ev. Además, el carburo de silicio tiene un potencial de separación de banda de 3. a temperatura ambiente. Así pues, seleccionando el material semiconductor adecuado para el electrodo de puerta y adulterando debidamente este material, pue-
- 5.
 - 10.
 - 15.
 - 20.
 - 25.
 - 30.



de lograrse un amplio margen de voltajes de conexión.

Para llevar a efecto esta invención, se describen procesos para hacer dispositivos de SOM con material semiconductor adulterado como electrodo de

5. puerta. En un proceso se deposita una capa delgada de bióxido de silicio sobre una cara de una oblea de silicio monocristalino que contiene impurezas de un primer tipo. Después, se deposita sobre ésta capa de bióxido de silicio una capa de silicio amorfo y se rea-
10. lizan mediante grabado ventanillas a través de éstas capas de silicio y de bióxido de silicio para exponer las futuras regiones de fuente y de consumo o salida del dispositivo de SOM. Después, impurezas ya sea de un primer o de un segundo tipo son difundidas
15. en las regiones de fuente y de consumo o salida, así como en la capa superyacente de silicio amorfo que habrá de servir como electrodo de puerta. Enseguida-
20. mente, se deposita bióxido de silicio sobre la superficie de la oblea, cubriendo las regiones de fuente y de consumo o salida y el silicio. Ventanillas grabadas o través de ésta capa de bióxido de silicio de-
25. jan expuestas porciones de las superficies de las regiones de fuente y de consumo o salida y la puerta de silicio adulterado. Después, se evapora sobre éstas ventanillas contactos de aluminio a las regiones de fuente, de consumo o salida y al silicio.

- La puerta de silicio adulterado es separada de una región de canal entre las regiones de fuente y de consumo o salida mediante el bióxido de silicio
30. subyacente. Dado que las regiones de fuente y de con-



- sumo o salida difundidas en el silicio monocristalino se extienden lateralmente bajo la capa de bióxido de silicio como resultado de la difusión lateral de impurezas, el electrodo de puerta de silicio, adulterado descansa sobre, y esta centrada precisamente entre las orillas interiores de las regiones de fuente y de consumo o salida. Esta alineamiento preciso del electrodo de puerta reduce la capacitancia en las orillas del electrodo de puerta, mejorando en esa forma el funcionamiento a alta frecuencia del dispositivo de SOM resultante.

Esta invención será comprendida en forma más completa a la luz de la siguiente descripción detallada, tomada conjuntamente con los dibujos anexos.

15. En los dibujos:

Las FIGURAS 1a y 1b muestran la distribución de potencial en una estructura de aluminio-bióxido de silicio-silicio, para el caso en el que el voltaje de puerta V_G es de 0 y para el caso en el que el voltaje de puerta es igual a la diferencia en la función de trabajo ϕ_{MS} entre el electrodo metálico de puerta y el cuerpo semiconductor de silicio;

25. Las FIGURAS 2a, 2b y 2c ilustran la distribución de potencial en una estructura de silicio-bióxido de silicio-silicio cuando el voltaje del electrodo de puerta V_G es de cero para dos espesores diferentes de bióxido de silicio entre el electrodo de puerta de silicio y el substrato subyacente de silicio, y cuando el voltaje del electrodo de entrada es igual a la diferencia en la función de trabajo ϕ_{SS} entre la

374600



puerta de silicio y el material semiconductor de silicio;

5. Las FIGURAS 3a a 3e ilustran en corte transversal etapas de la construcción de un dispositivo de SOM utilizando un electrodo de puerta de silicio selectivamente adulterado con impurezas de tipo P;

10. Las FIGURAS 4a a 4d proporcionan vistas por la parte superior durante diversas etapas de la construcción del dispositivo de SOM ilustrado en las FIGURAS 3a a 3e;

La FIGURA 5 ilustra el cambio en la curva de voltaje V_g . capacitancia de un dispositivo de SOM utilizando un electrodo de puerta de silicio;

15. La FIGURA 6 traza el nivel FERMI E_F , menos el nivel FERMI intrínseco E_i en comparación con la concentración de impurezas tanto para impurezas donantes comoceptoras en la puerta de silicio;

20. Las FIGURAS 7a a 7e ilustran un proceso para hacer dispositivos de SOM con un electrodo de puerta de silicio selectivamente adulteradas con impurezas de tipo N;

25. Las FIGURAS 8a, 8b y 8c ilustran, respectivamente vistas superiores y en corte transversal de un inversor complementario de SOM y el diagrama esquemático de éste inversor;

Las FIGURAS 8d a 8g muestran las relaciones de señales de entrada y de salida del inversor de las FIGURAS 8a, 8b, y 8c; y

30. La FIGURA 9, demuestra la mejora obtenida en la relación o proporción del V_{TL} con respecto al V_{TG}

- 12 374600₁₆₀



utilizando un electrodo de puerta de silicio con un substrato de silicio, en comparación con un electrodo de puerta de aluminio con un substrato de silicio.

5. Las FIGURAS 1a y 1b ilustran la distribución de potencial, en términos de energía de electrones, en una estructura de SOM de aluminio-bióxido de silicio-silicio del tipo empleado en las técnicas anteriormente conocidas, en el momento en que el voltaje de puerta aplicado al aluminio es de cero. Las abscisas representan diversas posiciones a lo largo de un corte transversal al través de la estructura de capas múltiples. La puerta de aluminio está representada a la izquierda, el aislante de bióxido de aluminio en medio y el silicio monocristalino de tipo N a la derecha. Las tres capas de material están en equilibrio y en tal virtud el nivel Fermi de energía, ilustrado mediante la línea recta marcada como E_f en la FIGURA 1a, es uniforme a todo lo largo de esta estructura. El aluminio, siendo un conductor, está a un potencial sustancialmente uniforme en toda su extensión y sus electrones son muy fácilmente sacados de sus enlaces de valencia. De hecho, como es bien sabido, la conducción y las bandas de energía de valencia del aluminio se superponen. Así, el área rallada del lado izquierdo del bióxido de silicio representa el potencial uniforme de los electrones del aluminio como una función de la distancia desde el bióxido de silicio. Siendo el bióxido de silicio un aislante, contiene electrones que requieren cantidades de ener-
- 10.
- 15.
- 20.
- 25.
- 30.



gía mucho mayores para ser sacados de la banda de energía de valencia a la banda de energía de conducción que las que requieren los electrones de aluminio similares. Esta diferencia en energías es representada ilustrando que la banda de energía de conducción E_c del bióxido de silicio es mucho mayor que la banda de energía de conducción E_c tanto del aluminio como del silicio monocristalino adulterado.

5. Como se ilustra en la FIGURA la, cuando se
10. juntan materiales con electrones a diferentes niveles de energía electrónica, las distribuciones normales de potencial en estos materiales cambian como resultado del flujo de electrones de un material al otro. Este flujo inter-material de electrones se detiene cuando las fuerzas de difusión y de cambio
15. en éstos electrones se equilibran a cero. Así, cuando se juntan aluminio, bióxido de silicio y silicio monocristalino, como se ilustra en la FIGURA la, los electrones se agrupan en una región del silicio adyacente a la superficie de contacto del bióxido de silicio y el silicio. Como resultado de éste agrupamiento, la distribución de electrones en cada banda de energía del silicio carece de uniformidad con respecto a la distancia y las bandas de energía
20. se inclinan hacia abajo, en la forma ilustrada, conforme la superficie de unión del silicio y el bióxido de silicio es alcanzada desde el silicio. Cuando se llega al equilibrio, el nivel Fermi de energía E_F es uniforme a través de la estructura.

30. Al aplicar el voltaje negativo correcto al



- aluminio, las bandas de energía del silicio se enderezan, tal como se ilustra en la figura 1b, para producir la llamada "condición de banda plana", una condición en la cuál no es inducida carga alguna en el material semiconductor de silicio. Este fenómeno es discutido por A.S. Grove en el Capítulo 9 de su libro "Física y Tecnología de Dispositivos Semiconductores" (Physics and Technology of Semiconductor Devices), publicado en 1967 por John Wiley & Sons.
- 5.
10. La condición de banda plana se presenta cuando el voltaje de puerta V_g es igual a la diferencia en el voltaje de barrera entre el metal y el material semiconductor; es decir, cuando $V_g = \phi_{MS}$, en la cual $\phi_{MS} = \phi_M - \phi_S$, para una carga de superficie Q_{SS} de cero. ϕ_M es el voltaje de barrera del metal, en tanto que ϕ_S es el voltaje de barrera del semiconductor. Estas energías de barrera son definidas y descritas por Grove en las páginas 345 y 346 de su libro arriba citado. El aumento en el voltaje negativo sobre el electro de entrada de aluminio impulsa a los electrones en la región de silicio adyacente a la superficie de contacto del bióxido de silicio y el silicio, alejando a los electrones de dicha superficie de contacto, enderezando en tal virtud las bandas de valencia, conducción y energía intrínseca del silicio. Conforme el voltaje de puerta es hecho más negativo, los electrones en ésta región próxima a la superficie de contacto son agotados más aún y, si el voltaje de puerta es hecho suficientemente más negativo, la región situada precisamente bajo ésta super-
- 15.
- 20.
- 25.
- 30.



1969

- ficie de contacto se invierte, es decir cambia de silicio de tipo N a silicio de tipo P. Esto ocurre cuando la banda de energía intrínseca E_i atraviesa la banda Fermi de energía E_f . A estas alturas la probabilidad de un electrón en la banda de energía de conducción se torna menor que la misma probabilidad en el silicio intrínseco, en tanto que la probabilidad de una laguna en la banda de energía de valencia se vuelve mayor que esta probabilidad en el silicio intrínseco.
- 5.
 - 10.
 - 15.
 - 20.
 - 25.
 - 30.
- Las FIGURAS 2a, 2b y 2c muestran la distribución de potencial a través de un dispositivo de SOM que contiene silicio amorfo de tipo P como electrodo de puerta. De aquí en adelante deberá entenderse que el silicio utilizado como electrodo de puerta es silicio amorfo, aún cuando no se exprese en forma explícita, a menos que, desde luego se requiera explícitamente otro tipo de silicio. La distribución de potencial a través del silicio de tipo P es aproximadamente uniforme debido a que el silicio de tipo P ha sido altamente adulterado con impurezas aceptoras a una concentración de 10^{17} a 10^{18} átomos por centímetro cúbico. Así pues, la resistividad de éste silicio es bastante baja, siendo típicamente menor de 0,3 ohm por centímetro. Como resultado de él uso de silicio de tipo P para el electrodo de puerta, los electrones del silicio de tipo N son repelidos de la superficie de contacto del bióxido de silicio y el silicio de tipo N, tal como se ilustra en la FIGURA 2a. Esto ocurre porque el nivel Fermi en los tres materiales debe ser

374600



- uniforme cuando los materiales están en equilibrio. Para que ésto ocurra, las bandas de energía en el silicio de tipo N deben doblarse hacia arriba conforme se realiza el acercamiento a la superficie de contacto del silicio y el bióxido de silicio desde el silicio. Cuando la banda de energía intrínseca E_i atraviesa el nivel Fermi de energía E_F , tal como se ilustra en la FIGURA 2a, la región de éste silicio de tipo N adyacente a la superficie de contacto del bióxido de silicio y el silicio se invierte a silicio de tipo P. El espesor del bióxido de silicio en la FIGURA 2a es de aproximadamente 500 angstroms.
- La FIGURA 2c muestra la configuración de la banda de energía cuando el bióxido de silicio tiene de 700 a 800 angstroms de espesor. La banda de energía intrínseca del silicio monocristalino E_i de tipo N se encuentra precisamente bajo el nivel Fermi de energía E_F . En esta situación, la superficie de silicio de tipo N, aún cuando está próxima a la inversión, no se ha invertido. Cuando se aplica un voltaje negativo a la puerta de silicio de tipo P, los electrones son impulsados desde la superficie de contacto del silicio y el bióxido de silicio y se traen lagunas a esta superficie de contacto. Como se ilustra por la proximidad de E_i con respecto a E_F en la superficie de silicio, solo se requiere un pequeño voltaje negativo para invertir la región de silicio adyacente a la superficie de contacto de silicio y bióxido de silicio. Como resultado de ello, el voltaje de conexión del dispositivo de SOM de canal P es reducido significativa-



mente.

- La FIGURA 9 compara la variación en el voltaje de conexión entre un electrodo de puerta de aluminio y un electrodo de puerta de silicio amorfo de tipo P con un aislamiento de 1000 angstroms de espesor bajo el electrodo de puerta y un aislamiento de 10,000 angstroms de espesor bajo el conductor o línea del electrodo de puerta. El substrato subyacente es silicio monocristalino de tipo N, orientación (111). Para una entrada de silicio de tipo P, el voltaje de conexión V_{TG} es de -1.4 voltios, en tanto que el voltaje de conexión del conductor o línea (linealmente proporcional al espesor del óxido) es de aproximadamente -15.8 voltios. Así, la proporción o relación de V_{TL} con respecto a V_{TG} es mayor de 11. Para una puerta de aluminio, el V_{TG} es de -2.5 voltios, el V_{TL} es de -16.9 voltios y la relación de V_{TL} con respecto a V_{TG} es menor de 7. Así pues; la puerta de silicio de tipo P con un substrato de tipo N proporciona una mayor protección contra las capas no deseadas de inversión en el substrato de silicio que el electrodo de puerta de aluminio.

- Cuando se aplica un voltaje de puerta positivo a la puerta de silicio de tipo P, tal como se ilustra en la FIGURA 2b, los electrones son atraídos a esta superficie de contacto desde el silicio de tipo N. Como resultado de ello, las bandas de valencia, de conducción e intrínseca del silicio de tipo N se aplanan.

- Dado que la función de trabajo de la entrada de silicio de tipo P puede ser variada en aproximada-

374600



mente 0.2 ev como una función de la concentración de impurezas de adulteración sin perder la alta conductividad esencial para un electrodo, el voltaje de puerta requerido para invertir la región de superficie del silicio de tipo N puede ser variado en una cantidad igual variando la adulteración hecha a la puerta de silicio. Esta variación de la función de trabajo del silicio mediante adulteración, expresada como un cambio en el nivel Fermi de energía E_F con respecto al nivel Fermi intrínseco E_i tanto para las impurezas de tipo P como de tipo N, se ilustra en la FIGURA 6. La ordenada de la FIGURA 6 es $E_F - E_i$, en electrón voltios. La abcisa es la concentración de impurezas en el silicio, en átomos por centímetro cúbico, en una escala logarítmica. Estas curvas son calculadas por la ecuación:

- 5.
- 10.
- 15.

$$E_F - E_i = kT \ln \frac{\left[N_D - N_A + \sqrt{(N_D - N_A)^2 + 4n_i^2} \right]}{2n_i} \quad (1)$$

20.

cunado predominan impurezas donantes, o por la ecuación:

$$E_i - E_F = kT \ln \frac{\left[N_A - N_D + \sqrt{(N_A - N_D)^2 + 4n_i^2} \right]}{2n_i} \quad (2)$$

- 30.
- cunado predominan impurezasceptoras. En éstas ecuaciones, E_F y E_i ya han sido definidos anteriormente, k es la constante de Boltzmann, T es la temperatura en

374600



grados Kelvin, N_D y N_A son las concentraciones de impurezas donantes y aceptoras en el silicio, en átomos por centímetro cúbico, respectivamente, y n_i es la concentración intrínseca de portadoras del silicio, también en átomos por centímetro cúbico.

5. Cuando la concentración de impurezas, ya sean donantes o aceptoras, es menor de 10^{10} átomos por centímetro cúbico, el cristal de silicio se comporta en forma muy similar al silicio intrínseco y el nivel Fermi E_F del silicio es aproximadamente el nivel Fermi intrínseco E_i del silicio.

10. Conforme la concentración de impurezas aumenta, el nivel Fermi E_F se desvía logarítmicamente del nivel Fermi intrínseco E_i . Para las impurezas donantes, el nivel Fermi se eleva con relación al nivel Fermi intrínseco. Un cambio máximo del nivel Fermi de aproximadamente 0.55 electrón voltios del nivel intrínseco de energía ocurre conforme la concentración de "carga" o adición se aproxima a 10^{19} átomos por centímetro cúbico. Para las impurezas aceptoras, el nivel Fermi decae con respecto a el nivel Fermi intrínseco. Con una adulteración superior a 10^{19} átomos por centímetro cúbico, el silicio degenera y las ecuaciones utilizadas para calcular en la FIGURA 6 ya no son válidas.

15. Solamente una concentración de impureza donante o aceptora mayor de aproximadamente 10^{17} átomos por centímetro cúbico proporciona al silicio una conductividad lo suficientemente alta para permitir al silicio ser utilizado como electrodo de puerta en un

20. silicio ser utilizado como electrodo de puerta en un

25. silicio ser utilizado como electrodo de puerta en un

30. silicio ser utilizado como electrodo de puerta en un



- dispositivo de SOM. Variando la concentración de impureza en el silicio de 10^{17} a aproximadamente 10^{19} átomos por centímetro cúbico, la relación E_F a E_i varía de aproximadamente 0.35 ev a aproximadamente 0.55 ev para impurezas de tipo N y de aproximadamente -0.35 ev a aproximadamente -0.55 ev para impurezas de tipo P. Las resistividades asociadas a éste margen de concentraciones de impureza varían de aproximadamente 0.3 ohm-centímetros a aproximadamente 0.01 ohm-centímetros. Es
5. interesante notar que las resistividades del silicio asociado a impurezas de tipo N son aproximadamente de la mitad a menos que las resistividades del silicio asociado a impurezas de tipo P.

- Como lo discute Grove en el Capítulo 9 de su
15. libro, el voltaje de conexión V_T de un dispositivo de SOM es una función de la carga del estado superficial Q_{ss} en el bióxido de silicio en la superficie de contacto entre el bióxido de silicio y el substrato de silicio subyacente, de la carga total Q_B en la región de agotamiento al inicio de la fuerte inversión, de la capacitancia C_o del aislante entre el electrodo de puerta y el substrato de la diferencia en la función de trabajo ϕ_{MS} ó ϕ_{SS} para un electrodo de puerta de silicio, entre el electrodo de puerta de metal o de semiconductor y el substrato de silicio subyacente, y del potencial de superficie del semiconductor $2\phi_F$ al inicio de la fuerte inversión, siendo $\phi_F = E_F - E_i$. Así:

$$V_T = - \frac{Q_{ss}}{C_o} + \phi_{MS} + 2\phi_F - \frac{Q_B}{C_o} \quad (3)$$

30.

374600



1969

C_0 es la capacitancia nominal por área de unidad de la capa de bióxido de silicio y es inversamente proporcional al espesor del bióxido de silicio. En un substrato de tipo P adulterado una concentración de impureza de aproximadamente 10^{15} átomos por centímetro cúbico, los efectos de Q_B y Q_{SS} sobre V_T se cancelan; en un substrato de tipo N con la misma concentración de impureza, éstos efectos se adicionan.

Las causas de la carga de estado superficial

- 10. Q_{SS} no son actualmente plenamente comprendidas. Sin embargo, los parámetros del procesamiento de silicio y bióxido de silicio que afectan a la Q_{SS} son discutidos por Deal, Sklar, Snow y Grove en un documento titulado "Características de la Carga de Estado de Superficie (Q_{SS}) de Silicio Térmicamente Oxidado", publicado en Marzo de 1967 en las páginas 266 a 274 del Diario de la Sociedad Electroquímica (Journal of the Electrochemical Society). La carga Q_B , por otra parte, es una función del adiciónamiento del substrato. Para dispositivos de tipo de ampliación de canal N, una Q_B de 4 ó 5 por 10^{11} electrón cargas por centímetro cúbico es típica; para dispositivos de canal P, una Q_B de 0.8 a 2.5×10^{11} electrón cargas por centímetro cúbico es probable.
- 25. La Tabla I muestra la relación de voltaje de conexión con respecto a la diferencia en la función de trabajo Φ_{SS} entre una puerta de silicio amorfo adulterado y un substrato de silicio monocristalino subyacente, para un aislante de 1000 angstroms de bióxido de silicio que separa la puerta y el substrato. El
- 30.

374600

16 DIC.



voltaje de conexión V_T es dado para dos orientaciones de substrato de silicio monocristalino, las orientaciones (111) y 100).

T A B L A I

5.

Substrato de silicio		Puerta de silicio		Φ_{ss}	V_T *	
Tipo de impureza	Concentración de impureza	Tipo de impureza	Concentración de impureza		Orientación (111) del substrato	Orientación (100) del substrato
P	10^{15}	P	10^{19}	+0,25	+0,05	+0,85
P	10^{15}	N	10^{19}	-0,85	-1,05	-0,25
N	10^{15}	P	10^{19}	+0,85	-1,35	-0,55
N	10^{15}	N	10^{19}	-0,25	-2,45	-1,65

10.

15.

* $Q_{ss} = 3 \times 10^{11}$ átomos/cc, para (111) y 10^{11} átomos/cc para (100).

20.

$Q_B = 10^{11}$ átomos/cc tanto para la (111) como para la (100)

25.

Las FIGURAS 3a a 3e y 4a a 4d ilustran un método por el cual se produce el dispositivo semiconductor de ésta invención. Un substrato 11 de silicio monocristalino de tipo N, cortado en el plano (111) y con una resistividad entre 5 y 8 ohm-centímetros, lleva sobre sí una capa 12 de bióxido de silicio. La capa 12 es típicamente depositada térmicamente a un espesor de un micrón en la región a y a un espesor de 0.1 micrón en la región b. De aquí

30.



374600

en adelante, el silicio ,junto con cualesquiera capas superyacentes de metal y/o aislante, será denominado oblea 10. La FIGURA 4a muestra una vista por la parte superior de la oblea 10 con la capa de bióxido de silicio 12 depositada sobre ella. La porción de la oblea 10 de la cual es derivada la vista en corte transversal A-A en la FIGURA 3a, está claramente marcada en la FIGURA 4a.

Seguidamente, como se ilustra en la FIGURA 3b, una capa 13 de silicio amorfo es depositada sobre porciones seleccionadas de la capa 12 de bióxido de silicio. La capa de silicio 13 típicamente es depositada a un espesor de 0.5 micrones descomponiendo térmicamente silano en silicio e hidrógeno en una atmósfera de hidrógeno mantenida entre 630° y 680°C.

Se tiene un cuidado extremo en limpiar la superficie de la capa 12 de bióxido de silicio antes de depositar el silicio amorfo 13, debido a que las partículas extrañas sobre esta superficie hacen que aparezcan centros de nucleación y esquemas cristalinos filamentosos en el silicio amorfo. Para limpiar la superficie de la capa 12, la oblea 10 es sumergida durante 10 segundos en un enjuague fluorhídrico de 10 a 1 a temperatura ambiente. Después, la oblea es sometida durante 5 minutos o más a un enjuague de aspersion de agua desionizada. Aún cuando 5 minutos son adecuados para limpiar la superficie de la capa 12, se emplean típicamente 15 minutos para proporcionar un margen de seguridad. En seguida, se elimina el agua de la superficie de la capa de bióxido de silicio 12 mediante



- la exposición de la oblea 10 a vapores de alcohol isopropílico. Estos vapores secan la superficie de la capa 12 sin dejar humedad residual sobre la superficie. Inmediatamente después de ésta etapa de secado, se
5. realiza el depósito de la capa de silicio 13. Alternativamente, la oblea 10 es extraída directamente del horno de oxidación y colocada inmediatamente en el reactor de depósito de silicio para la formación de la capa de silicio 13.
10. Debe hacerse notar que la capa de silicio 13 es formada sobre la capa de bióxido de silicio 12, en lugar de ser evaporada sobre ésta capa. Se ha encontrado que el silicio evaporado es insatisfactorio para la capa 13 debido a que el silicio evaporado se rompe al ser depositado. Aún cuando la naturaleza de éstas rupturas no es comprendida completamente, las subsecuentes etapas de grabado y difusión hacen mayores tales rupturas y hacen que se presenten circuitos abiertos en el silicio evaporado, haciendo inoperantes
15. los dispositivos resultantes que llevan éste silicio.
20. Después, el silicio formado 13 y las superficies expuestas de la capa de bióxido de silicio son enmascarados y se eliminan mediante grabado porciones seleccionadas del silicio y del bióxido de silicio para exponer las porciones 14 y 41 (FIGURA 4b) del substrato 11 de silicio subyacente.
25. La oblea 10 es después colocada en un horno de difusión e impurezas de tipo P, típicamente de boro, son difundidas en las porciones 14 y 41 (FIGURA
30. 4b) del silicio 11 a una concentración de aproximadamen-



374600

te 10^{17} a 10^{19} átomos por centímetro cúbico. Estas impurezas de tipo P se difunden igualmente en el silicio depositado 13. Esta última difusión es esencial para obtener el electrodo de puerta de silicio altamente conductivo de ésta invención. La FIGURA 4b muestra una vista desde arriba de la oblea 10 despues de esta difusión.

En seguida, una capa 15 de bióxido de silicio es depositada sobre la capa de silicio 12 expuesta, las regiones P+ 14 y 41 y la capa de silicio 13. La capa 15 tiene un espesor típico de 0.6 a 0.8 micrones. Las ventanillas 16, 42 y 17 son grabadas al través de ésta capa de bióxido de silicio 15 depositada para exponer porciones de las regiones de tipo P 14 y 41, así como una porción de silicio 13. La FIGURA 4c muestra la vista de la parte superior de la oblea 10 desde la cual se obtiene la vista en corte transversal "C-C" ilustrada en la FIGURA 3c.

Después que las ventanillas 16, 42 y 17, han sido grabadas en la capa 15, la oblea 10 es enmascarada y el contacto de aluminio 18, ilustrado en la FIGURA 3d, es evaporado sobre la oblea a manera de hacer contacto con la porción expuesta de la región P+ 14. Además, el contacto de aluminio 48, ilustrado en la FIGURA 4d, es evaporado al través de la ventanilla 42 sobre una correspondiente región P+ 41 (ilustrada en las FIGURAS 4b y 4d) para hacer contacto similar con una porción de la región 41. Y como se ilustra en la Figura 4d, se evapora selectivamente aluminio 49 sobre el bióxido de silicio 15

374600



para entrar en contacto con el electrodo de puerta de silicio subyacente 13 al través de la ventanilla 17 cortada en la capa 15. La FIGURA 3e muestra en corte transversal esta capa de aluminio 49 en contacto con el electrodo de silicio 13. Un espesor típico para las capas de aluminio 18, 48 y 49 es de uno a uno y medio micrones.

Como se ilustra en la FIGURA 4d, la estructura resultante consiste en un dispositivo de SOM con regiones de fuente y de consumo o salida P+ 14 y 41 y con un electrodo de puerta de silicio 13 conectado mediante aluminio 49 a una fuente de voltaje de puerta. Dado que el electrodo de puerta de silicio 13 es formado con anterioridad a la difusión de las regiones de fuente y de consumo o salida, la puerta 13 queda automáticamente alineada en forma correcta entre la fuente y la salida. Y dada la simetría del dispositivo de SOM, las regiones 14 y 41 pueden ser utilizadas intercambiabilmente como fuentes o como salidas, dependiendo del voltaje de polarización que se les aplique. Al aplicarse al electrodo de puerta de silicio un voltaje de puerta negativo ligeramente mayor en un sentido absoluto que el voltaje de conexión (-1.35 voltios) del dispositivo, una región de canal situada bajo el electrodo de puerta es agotada en sus portadoras de tipo N y en tal virtud es invertida a material de tipo P, con el resultado de que la región se convierte en altamente conductiva. La corriente fluye entonces de la fuente a la salida.

374600¹⁶ DIC. 1969

- La FIGURA 5 muestra el cambio en el trazo del voltaje de puerta en comparación con la relación de capacitancia (V_g vs. C/C_0) para un dispositivo de SOM que utiliza un electrodo de puerta de silicio
5. adulterado con impurezas aceptoras en una concentración entre 10^{17} y 10^{19} átomos por centímetro cúbico. Capacitancia C_0 es la capacitancia inicial del condensador de SOM, la cual, para un área de electrodo determinada, es una función del espesor y de la constante dieléctrica del dieléctrico interviniente. C es la
10. capacitancia real del dispositivo de SOM. La FIGURA 5 muestra que el electrodo de entrada de silicio adulterado reduce el voltaje de conexión del dispositivo de SOM en aproximadamente 1.1 voltio en comparación
15. y en exceso del voltaje del dispositivo que tiene un electrodo de puerta de aluminio.

Las FIGURAS 7a a 7e ilustran un método para construir una realización práctica alternativa de esta invención utilizando un electrodo de puerta de silicio adulterado con impurezas de tipo N.

20.

En la FIGURA 7a, el silicio de tipo N 101 lleva formada térmicamente sobre sí una capa de bióxido de silicio 102. La capa 102 tiene típicamente un espesor de un micrón en la región a y un espesor de 0.1 micrón en la región b. El silicio 101 es del tipo monocristalino cortado en el plano (111). El silicio monocristalino 101 puede, si se desea, ser cortado en la orientación (100). De aquí en adelante al silicio 101 conjuntamente con cualesquiera capas super-

25.

30.

374600



yacentes de metal y/o aislante, se le denominará oblea 100.

5. Enseguida, como se ilustra en la FIGURA 7b una capa 103 de silicio amorfo es formada sobre la capa de bióxido de silicio 102 hasta un espesor de aproximadamente 0.5 micrones. Impurezas de tipo N son entonces difundidas en la capa de silicio 103 a una concentración de aproximadamente 10^{19} átomos por centímetro cúbico. Sigue después, según se muestra en la
10. FIGURA 7c una capa 104 de bióxido de silicio depositada sobre el silicio 103.

15. La mayor parte de la capa de bióxido de silicio 104 y del silicio 103 subyacente es eliminada mediante grabado para dejar la región 110 consistente de una capa de silicio 103 sobre la cuál vá una capa de bióxido de silicio 104 (FIGURA 7d). Se realizan mediante grabado las ventanillas 109 al través de la capa de bióxido de silicio 102 para dejar expuestas regiones del silicio monocristalino 101 subyacente. Impurezas de tipo P son después difundidas a través de estas ventanillas para formar las regiones de fuente y de consumo o salida 111 y 112 de tipo P en el sustrato subyacente de silicio de tipo N. El bióxido de
20. silicio 104 impide que estas impurezas de tipo P cambien el tipo de conductividad de la entrada de silicio
25. 103 del tipo N al tipo P.

30. Enseguida, una capa delgada de bióxido de silicio 113 es formada sobre la superficie de la oblea 100. Después se realizan ventanillas mediante grabado al través de la capa 113 para exponer áreas de superficie

37460Q₆



de las regiones 111 y 112 y el electrodo de puertas de silicio 103. Por último, se depositan los electrodos de aluminio 105, 106 y 107 sobre las áreas de superficies expuestas para proporcionar contacto eléctrico a las regiones de fuente y de salida o consumo del dispositivo de SOM y al electrodo de puerta 103.

- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- La FIGURA 8a muestra un circuito integrado que contiene dispositivos de SOM que utilizan los electrodos de puerta de silicio adulterado de ésta invención. En dicha FIGURA 8a se ilustra la vista superior esquemática de un inversor de SOM básico complementario. Este inversor contiene en su substrato semiconductor tanto silicio de tipo N 215 como silicio de tipo P 212. Este substrato es preferiblemente cortado en la orientación (100), para reducir al mínimo la Q_{ss} . La región 215 tiene una concentración de impurezas de aproximadamente 10^{15} átomos por centímetro cúbico. La región 212 es formada dentro de la región 215 mediante la difusión de impurezas de tipo P en el substrato de tipo N, a una concentración de aproximadamente 10^{16} átomos aceptores por centímetro cúbico. Las regiones de fuente y de consumo o salida 210 y 211 de tipo N, son difundidas en la región de tipo P 212 a una concentración de aproximadamente 10^{19} átomos por centímetro cúbico. El electrodo de puerta de silicio 217 contiene impurezas de tipo N difundidas igualmente a una concentración de aproximadamente 10^{19} átomos por centímetro cúbico. El electrodo 217 está separado del substrato subyacente de silicio



de tipo P mediante una capa de aislante 224 ilustrada en la FIGURA 8b.

5. Contenidas dentro del silicio 215 de tipo N se encuentran las regiones de fuente y de consumo de salida 219 y 220. Las regiones 219 y 220 consisten en impurezas de tipo P difundidas en un substrato de silicio de tipo N 215 a una concentración de aproximadamente 10^{19} átomos por centímetro cúbico. Descansando sobre la región de canal entre las regiones 219 y 220, y separado de las mismas mediante el aislante 224, se encuentra el electrodo de puerta de silicio 218. El electrodo 218, al contrario que el electrodo 217, está adulterado con impurezas de tipo P a una concentración de aproximadamente 10^{19} átomos por centímetro cúbico. Conectados o unidos a las regiones de fuente y de salida o consumo de tipo P 219 y 220, al través de las ventanillas 221 y 222, se encuentran los electrodos de aluminio 202 y 203, respectivamente. Unidos a las regiones de fuente y de salida o consumo de tipo N 210 y 211, al través de las ventanillas 213 y 214, se encuentran los electrodos de aluminio 205 y 203, respectivamente. Así pues, la región 211 está al mismo potencial que la región 220. El substrato de silicio de tipo P 212 está polarizado a un potencial seleccionado mediante el conductor de aluminio 204 que hace contacto con el substrato 212 al través de la ventanilla 223 en la capa de bióxido de silicio 224. El contacto de aluminio 201 está unido a los electrodos de puerta de silicio 217 y 218. La línea 216 hace la unión NP entre los electrodos de puerta 217 y 218.
- 10.
- 15.
- 20.
- 25.
30. La FIGURA 8c muestra el circuito esquemático del



- circuito integrado ilustrado en la FIGURA 8a. Para usar se como un inversor, el conductor línea 201 sirve como la línea de entrada al dispositivo, en tanto que la línea 203 sirve como línea de salida del dispositivo. El empalme PN entre la región de tipo P 212 y la región de tipo N 215 en el substrato de silicio es polarizado inversamente mediante la aplicación de un voltaje negativo al través de la línea 204 a la región de tipo P 212. La línea 225, ilustrada en la FIGURA 8b unida a la parte inferior de la región de tipo N 215, hace tierra. La línea 202 a la región de tipo P 219 también es puesta a tierra eléctricamente, y la línea 205 a la región de tipo N (FIGURA 8a) está eléctricamente unida al voltaje negativo de suministro.
- 5.
- 10.
15. Cuando una señal de entrada, tal como la onda cuadrada ilustrada en la FIGURA 8d, es aplicada a la línea o conductor 201, la señal de salida sobre la línea o conductor 203 tiene la misma forma que esta señal de entrada, pero está invertida en polaridad. Los dos dispositivos de SOM ilustrados en la FIGURA 8c con dispositivos de tipo de ampliación; es decir, las regiones de canal entre las regiones de fuente y de consumo o salida de los dos dispositivos son normalmente no conductoras. Pero cuando un voltaje positivo, tal como la onda cuadrada ilustrada en la FIGURA 8d, es aplicado a la línea 201, la señal de salida tomada de la línea 203 se asemeja a la señal de entrada en su forma pero es de polaridad opuesta. Esto ocurre debido a que cuando un voltaje positivo es suministrado a la línea de entrada 201, una región inmediatamente subyacente e incluyendo la superficie de
- 20.
- 25.
- 30.



la región 212 se invierte y crea una región de canal en la cual predominan las portadoras minoritarias entre la fuente y la salida 211 y 210. La conductividad de este canal de tipo N es mucho mayor que la conductividad del

5. silicio de tipo P. Como resultado de ello, la línea de salida 203 rápidamente decae casi al potencial del voltaje negativo de suministro. Este decaimiento, el cual genera la señal de salida, se ilustra en la FIGURA 8. Por otra parte, cuando el voltaje de entrada sobre la línea
10. 201 se vuelve negativo, este voltaje no tiene efecto alguno sobre el canal de agotamiento entre las regiones de fuente y de salida o consumo 211 y 210, sino que más bien agota los electrones de la región de canal entre la fuente y la salida 219 y 220. La fuente 219 hace tierra. Al
15. agotarse estos electrones de la región de canal, la región de canal se invierte y se torna de tipo P, con una conductividad de varios órdenes de magnitud más alta que la poseída por la misma región de canal con impurezas de tipo N. Como resultado de ello, el voltaje de salida sobre la línea 203 se eleva al potencial de tierra. Este
20. circuito es, pues, un inversor.

- Aun cuando la invención ha sido descrita con un substrato subyacente consistente de silicio de un solo cristal cortado ya sea en la orientación (111) o en la
25. (100), otros substratos de silicio monocristalino cortados en otras orientaciones también pueden utilizarse en esta invención. Y aun cuando se ha descrito como electrodo de puerta silicio amorfo selectivamente adulterado, puede usarse también como electrodo de puerta polisilicio
 30. selectivamente adulterado. Además, también pueden usarse

374600



5. como electrodos de puerta otros materiales semiconductores, tales como arseniuro de galio o fosfuro de galio, o combinaciones de los mismos. Por último, aun cuando se ha descrito un inversor utilizando dispositivos de SOM que contienen electrodos de puerta de silicio adulterados tanto con impurezas de tipo P como de tipo N, pueden construirse otros circuitos integrados más complicados utilizando electrodos de puerta similares.

N O T A

10. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También
15. se hace constar que el invento corresponde a una solicitud de patente presentada en Norteamérica con el nº Ser. No. 784.144 de 16 de Diciembre de 1968, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN LA CONSTRUCCION DE DISPOSITIVOS DE SEMICONDUCTOR DE OXIDO METALICO; caracterizándose por lo siguiente:
20. 1.- Perfeccionamientos en la construcción de dispositivos de semiconductor de óxido metálico del tipo que contienen regiones de fuente y de salida o consumo de un tipo de conductividad en un substrato semiconductor del tipo opuesto de conductividad y con un electrodo de puerta superyacente a, pero separado de, la región de canal
25. entre las regiones de fuente y de consumo o salida median
- 30.



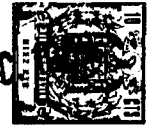
te una capa aislante, caracterizados porque dicho electrodo de puerta se forma con material semiconductor selectivamente adulterado.

5. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichas regiones de fuente y de salida o consumo son de conductividad de tipo P, dicho material semiconductor en el cual dichas regiones de fuente y de salida o consumo son situadas es material semiconductor de tipo N y dicho electrodo de puerta es material semiconductor de tipo P.
- 10.

15. 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichas regiones de fuente y de consumo o salida son de conductividad de tipo P, dicho material semiconductor en el cual dichas regiones de fuente y de consumo o salida son situadas es material semiconductor de tipo N y dicho electrodo de puerta es material semiconductor de tipo N.

20. 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichas regiones de fuente y de consumo o salida son de conductividad de tipo N, dicho material semiconductor en el cual dichas regiones de fuente y de consumo o salida son situadas es material semiconductor de tipo P y dicho electrodo de puerta es material semiconductor de tipo P.

25. 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichas regiones de fuente y de consumo o salida son de conductividad de tipo N, dicho material semiconductor en el cual dichas regiones de fuente y de salida o consumo son situadas es material semiconductor de tipo P y dicho electrodo de puerta es
- 30.



16 DIC

material semiconductor de tipo N.

5. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque dicho substrato semiconductor es un substrato de silicio y dicho electrodo de puerta es silicio selectivamente adulterado.
- 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque dicho electrodo de puerta es silicio preferentemente amorfo, adulterado con una impureza aceptora.
10. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque dicho electrodo de silicio amorfo es adulterado con una impureza aceptora a una concentración mayor de 10^{17} átomos por centímetro cúbico.
15. 9.- Perfeccionamientos según la reivindicación 6, caracterizados porque dicho electrodo de puerta de silicio es preferentemente silicio amorfo selectivamente adulterado con una impureza donante.
20. 10.- Perfeccionamientos según la reivindicación 9, caracterizados porque dicho electrodo de puerta de silicio amorfo es adulterado con una impureza donante a una concentración mayor de 10^{17} átomos por centímetro cúbico.
- 11.- Perfeccionamientos según la reivindicación 7 y 8, caracterizados porque dicha impureza aceptora es boro.
25. 12.- Perfeccionamientos según la reivindicación 9 y 10, caracterizados porque dicha impureza donante es fósforo.
30. 13.- Perfeccionamientos en la construcción de dispositivos de semiconductor de óxido metálico, tal y como queda sustancialmente descrito en la presente Memo-

- 36 =

37460016



ria y en los dibujos adjuntos.

Esta Memoria consta de treinta y seis hojas escritas a máquina por una sola cara.

Madrid, 16 Dic. 1939

FAIRCHILD CAMERA & INSTRUMENT
CORPORATION.

W. GOMEZ ACEBO Y MODEY
Por: Firmado: F. Hernández Rula



FIG.1a

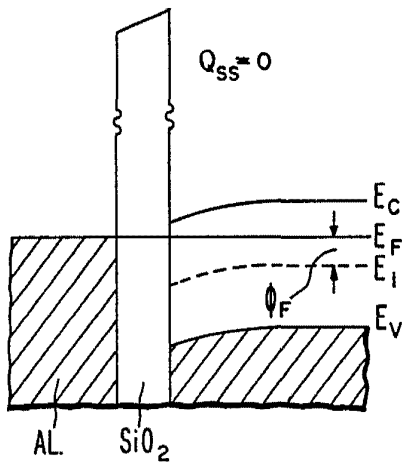


FIG.1b

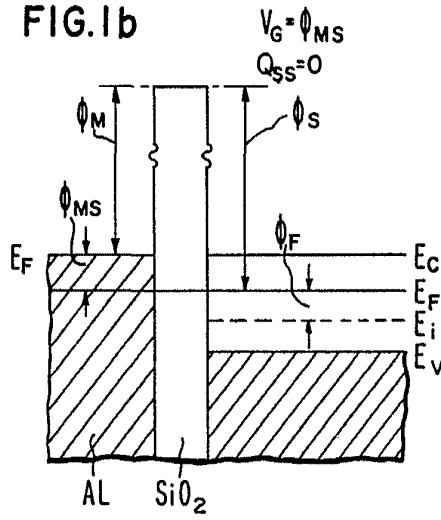


FIG.2a

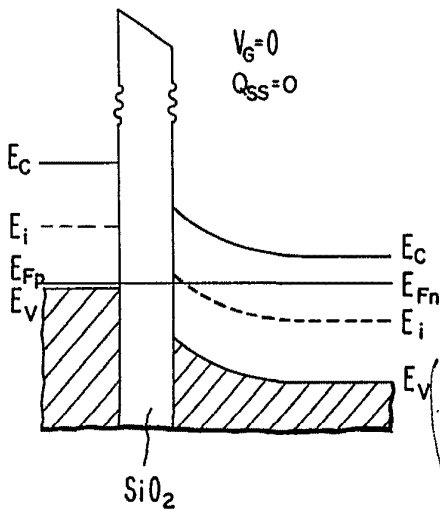
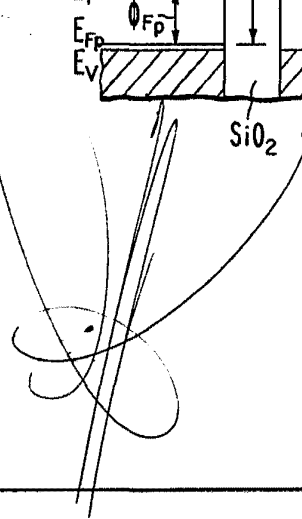
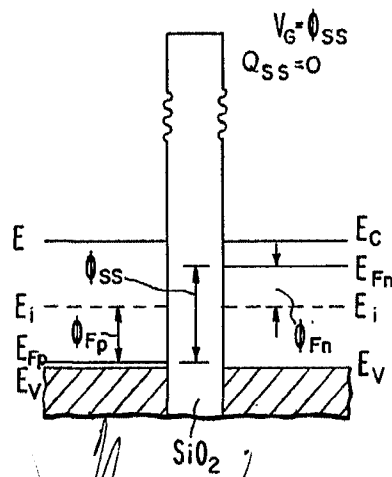
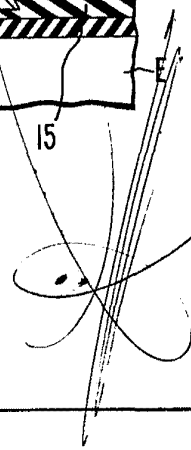
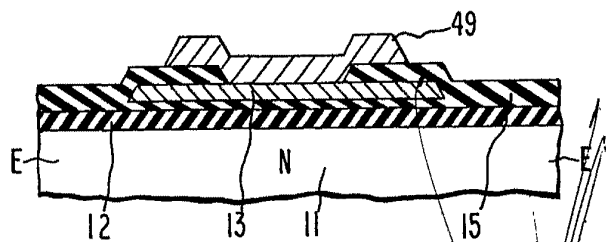
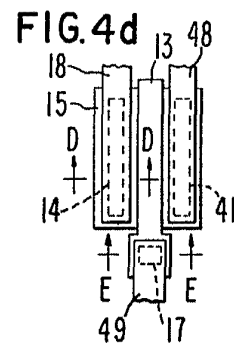
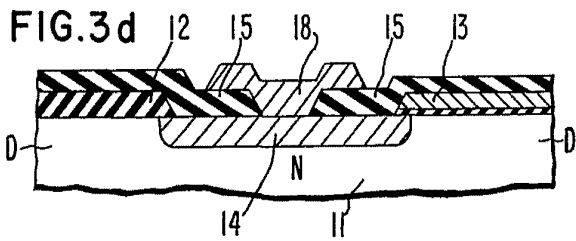
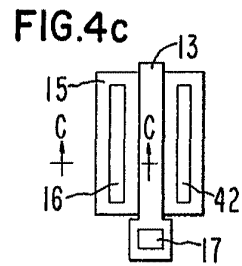
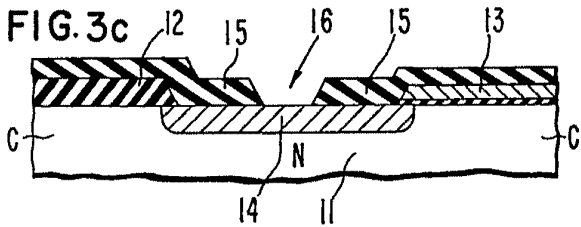
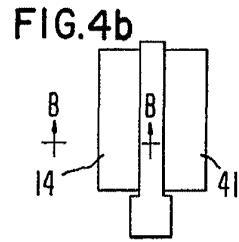
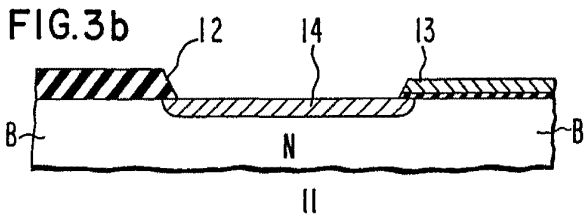
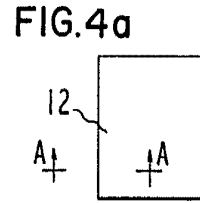
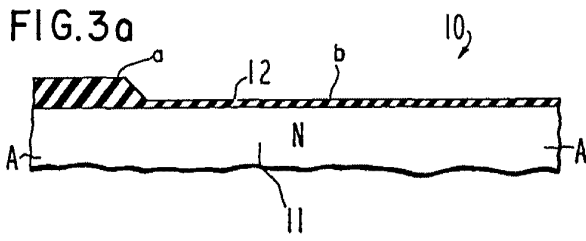


FIG.2b





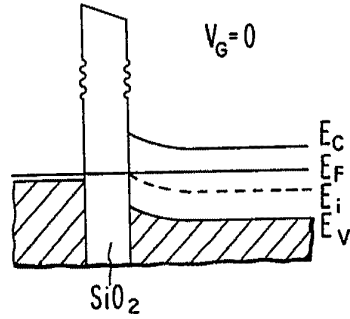
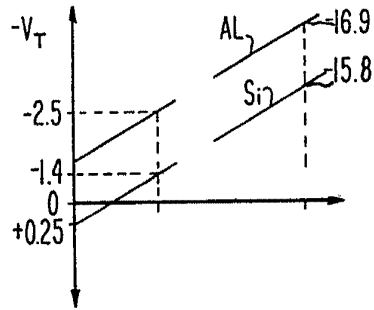


FIG.9

FIG.2c

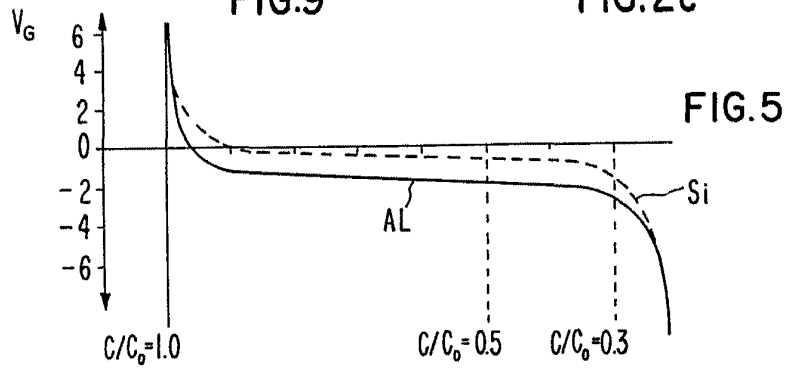


FIG.5

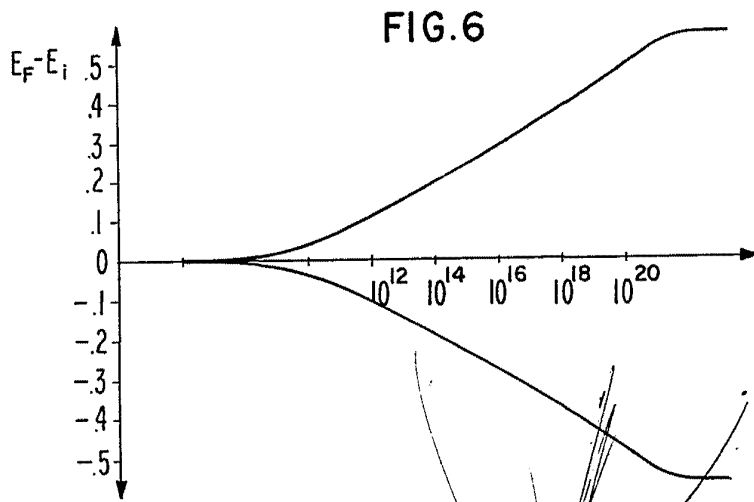


FIG.6

