

374194



J. M. Clark - 1

374194

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>H-04</u>
SUBCLASE <u>J</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION  
EN ESPAÑA POR: "SISTEMA DE SINCRONIZACION DE CUADRO", A  
NOMBRE DE STANDARD ELECTRICA, S. A., DOMICILIADA EN  
MADRID, CALLE DE RAMIREZ DE PRADO, 5.

-----

Este invento se refiere a sistemas de comunicación digitales, tal como equipos multiplex digitales de división de tiempo incluyendo equipos de modulación de impulsos codificada (PCM) y más particularmente a los sistemas de sincronización de cuadro utilizados en los mismos.

5

Antes de continuar ha de observarse que tal como se utiliza en esta descripción la expresión "cuadro" se define como uno de una serie de períodos de tiempo contingentes durante los cuales hay impulsos de datos y uno o más impulsos de sincronización sin que estén presentes impulsos de datos entre los impulsos de sincronización. Además, un "multicuadro" es un período de tiempo que incluye uno o más "cuadros" y suficiente para incluir una característica de sincronización completa.

10

En general, los impulsos de las claves de sincronización varían de un cuadro a otro dentro del multicuadro pero se

15



374 104

2.

duplican de un multicuadro al siguiente.

Hay tres tipos generales de claves de sincronización a los que responderá el presente invento. Primero, una clave de sincronización de tipo distribuido que incluye un impulso por cuadro y generalmente dos o más cuadros por multicuadros. Por ejemplo, tal clave podría incluir "1" en un cuadro del multicuadro y un "0" en el otro cuadro del multicuadro. Segundo, una clave de sincronización de tipo aglomerado (carácter) incluyendo más de algunos impulsos (un carácter) por cuadro, pero un cuadro es un multicuadro. Tercero, una clave de sincronización que queda entre el primero y el segundo tipo. Este tipo de clave de sincronización combinada tendría dos o más impulsos por cuadro, así como dos o más cuadros por multicuadro con los impulsos de sincronización diferentes en cada cuadro del multicuadro.

El problema general es establecer y mantener la sincronización de cuadro en un enlace de comunicación digital en presencia de ruido o error de impulsos. Un circuito de sincronización de cuadro controla los contadores de tiempo de un multiplex digital para hacer el tiempo del contador síncrono con el formato de los datos recibidos. Este circuito tiene dos funciones primordiales (1) detectar la pérdida de sincronización y (2) cambiar la fase de los contadores, según se requiera, hasta que se consigue la sincronización. Una característica de sincronización de referencia generada desde los contadores se compara con la señal entrante para detectar si los contadores están o no están sincronizados. Si se ha perdido la sincronización el equipo se conmuta a un modo de búsqueda, en el cual se cambia la fase de los contadores hasta que se detecta que se ha conse-



374194

3.

45 guido el sincronismo después de lo cual el sistema de sincroni-  
zación de cuadro cambiará a un modo sensor para detectar una pér-  
dida de sincronización subsiguiente.

50 Con la clave de sincronización de tipo distribuido,  
el procedimiento usual es seleccionar un impulso de cada cuadro,  
avanzando la fase de los contadores un impulso cada vez que se  
55 selecciona un desequilibrio, excepto cuando un circuito promedia-  
dor o integrador, que responde al promedio de ritmo de desequi-  
librios, tiene una salida que excede de un límite fijado. La  
fase de los contadores se avanza usualmente, suprimiendo un im-  
pulso de reloj a la entrada de los contadores, haciendo, así,  
60 que estos se detengan momentáneamente. El nivel de entrada del  
circuito de decisión será excedido cuando el desequilibrio es  
bajo y permanecerá excedido cuando se alcanza la fase correcta.  
Esto evita posterior detención.

65 Cuando se utiliza la clave de tipo aglomerado o combi-  
nado, la señal de entrada se cambia en un registrador de cambio  
en una longitud de un carácter. Cuando la clave en el registra-  
dor de cambio equilibra la clave de sincronización esperada, los  
contadores se reponen a una indicación que corresponde al tiempo  
normal de llegada del carácter de sincronización. Si la clave  
65 de sincronización siguiente no se recibe como se esperaba, se  
repite como antes el cambio y la comparación.

70 Como puede determinarse por lo que antecede, los cir-  
cuitos de sincronización de cuadro convencionales, particular-  
mente para la clave de sincronización de tipo distribuido, no  
responden inmediatamente, esto es, dentro del tiempo de un impul-



374194

4.

so de la entrada digital porque la acción se centra en la carga y descarga de un condensador cuya constante de tiempo asociada es mayor que el tiempo de un impulso. Esto es, para el circuito convencional, cuando un impulso de cifra entrante se compara con  
75 la señal de referencia de sincronización local y no concuerdan, el siguiente impulso digital que se ha de examinar es el impulso siguiente del cuadro siguiente.

La solicitud de patente española (J. M. Clark (2) )  
Nº 374.158 , registrada el 2 de Diciembre de 1.969,  
80 titulada "Sistema de sincronización de cuadro", describe una forma de sistema de sincronización de cuadro que funciona a base de una clave de sincronización de tipo distribuido que reducirá el tiempo de búsqueda a la mitad del tiempo empleado por los sistemas de sincronización convencionales mencionados anterior-  
85 mente que funcionan con el mismo tipo de clave de sincronización.

Un fin de este invento es proporcionar un sistema de sincronización de cuadro que con respecto a la mencionada solicitud de patente, reduce aún más el tiempo para conseguir la  
90 sincronización deseada.

Otro fin de este invento es proporcionar un sistema de sincronización de cuadro que funciona con una clave de sincronización de tipo distribuido que reduce el tiempo en  $1/(2\sqrt{N+1})$  en comparación con los sistemas de sincronización de cuadro convencionales antes mencionados que funcionan con  
95 el mismo tipo de clave de sincronización.

Una característica de este invento es proporcionar un sistema de sincronización de cuadro que comprende: un sumi-



374194

5.

100 nistro de señal de información binaria que tiene un ritmo de im-  
pulsos dado y que contiene una componente de sincronización;  
primeros medios para producir varias señales de tiempo; segun-  
dos medios acoplados al suministro y a los primeros medios para  
examinar impulsos sucesivos de la señal de información para reco-  
nocer la componente de sincronización y producir una señal de sa-  
105 lida resultante; y terceros medios acoplados a los segundos me-  
dios y a los primeros que responden al estado actual de la se-  
ñal de salida resultante y una de  $N$  funciones acumulativas de  
estados precedentes de la señal de salida resultante, siendo  $N$   
un entero igual a por lo menos 1, para proporcionar una señal  
110 de control para el ajuste de tiempo de las señales de tiempo  
cuando la señal de salida resultante indica una condición de  
fuera de sincronismo hasta que se consigue la sincronización.

Otra característica de este invento consiste en la  
provisión del sistema de sincronización de cuadro según el inven-  
115 to en el que los primeros medios producen además una señal de  
referencia de sincronización binaria local; y los segundos me-  
dios incluyen medios de comparación digitales acoplados al su-  
ministro y a los primeros medios para comparar la condición bi-  
naria de impulsos sucesivos de la señal de información y la  
120 condición binaria de la señal de referencia y producir la señal  
resultante.

Los anteriores y otros fines y características de  
este invento serán evidentes por referencia a la siguiente  
descripción dada con relación a los adjuntos dibujos, en los  
125 cuales:



La fig. 1 ilustra un "cuadro" y un "multicuadro" tal como se ha definido.

La fig. 2 es un diagrama en bloque del sistema de sincronización de cuadro de acuerdo con los principios del invento.

130 La fig. 3 es un diagrama de tiempo que ilustra el funcionamiento de una forma de un vaivén que puede utilizarse en el sistema de la fig. 2.

135 Las figs. 4 a 8 son diagramas de tiempo que ilustran el funcionamiento del sistema de sincronización de cuadro del invento para cinco situaciones típicas que pueden ocurrir en el mismo.

La fig. 9 es una tabla que ilustra el efecto acumulativo cuando la función de desequilibrio pasa en condición OR con la salida del registrador de cambio de la fig. 2.

140 Las figs. 10A, 10B y 10C ilustran la acción acumulativa del registrador de cambio de la fig. 2.

145 La fig. 11 es un diagrama en bloque de una disposición que puede sustituir a la indicada entre las líneas A-A y B-B de la fig. 2 para conseguir sincronización según el invento para una clave de sincronización de tipo aglomerado como se ha definido, y

150 La fig. 12 es un diagrama en bloque de una forma de una disposición que puede sustituir a la indicada entre la línea A-A y la B-B de la fig. 2 para conseguir sincronización según este invento para una clave de sincronización de tipo distribuido y aglomerado combinados tal como se ha definido.

Con referencia a la fig. 1, las expresiones "cuadro" y "multicuadro" tal como se han definido se ilustran para el caso general.



374 194

7.

155 Para fines de ilustración, cada cuadro, tal como los cuadros 1 y 2 incluye impulsos de datos y uno o más impulsos de sincronización en la secuencia ilustrada. En los casos de las claves de sincronización distribuida y aglomerada combinadas y en la distribuida, un multicuadro incluye dos o más cuadros, tal como los cuadros 1 y 2. Por otra parte, en el caso de una clave de sincronización aglomerada, un multicuadro incluye sólo un cuadro, tal como el cuadro 1 o el cuadro 2. El tipo distribuido tiene sólo un impulso de sincronización por cuadro. Suponiendo una característica de clave de sincronización específica de 10 para la clave de sincronización de tipo distribuido, habría dos cuadros por multicuadro y el cuadro 1 incluiría el impulso de sincronización "1" en su tiempo de sincronización y el cuadro 2 incluiría el impulso de sincronización "0" en su tiempo de sincronización. Suponiendo una característica de clave de sincronización específica de 101101 para la clave de sincronización de tipo aglomerado, todos los seis impulsos aparecerían una vez en un cuadro y en un multicuadro. Suponiendo una característica de clave de sincronización específica de 101101, 010010 para la característica de clave aglomerada y distribuida combinada, habría dos cuadros por multicuadro y el cuadro 1 incluiría los impulsos de sincronización 101101 en su tiempo de sincronización y el cuadro 2 incluiría los impulsos de sincronización 010010 en su tiempo de sincronización. Las comas entre las partes de las claves de sincronización representan espacios para los datos intermedios. Los datos preceden y siguen también a la clave de sincronización. El número de impulsos de datos en cada espa-

160

165

170

175

180

374 194



8.

cio es el mismo.

185 Como ha sido indicado anteriormente hay tres tipos generales de claves de sincronización. El sistema de este invento se describirá por completo primero utilizando una clave o señal de sincronización del tipo distribuido con los impulsos de sincronización de cada cuadro alternando entre "1" y "0". Así, la característica de sincronización será 1, 0 en cada multicuadro.

190 El presente invento describe un método sencillo de extraer más información de sincronización de la entrada de información (binaria) digital en un período de tiempo dado y utilizar la información adicional para acelerar la búsqueda de sincronización.

195 Cuando se busca la sincronización de cuadro, esto es, cuando se trata de determinar los impulsos que son impulsos de sincronización, todos los impulsos tienen posibilidad de ser de sincronización y por lo tanto todos tienen información útil. Sin embargo, es práctica común suponer que un impulso determinado es un impulso de sincronización y transferir esta suposición a otro impulso cuando el supuesto "impulso de sincronización no empareja con la señal de referencia de sincronización local. Haciendo esto, se ignoran todos los otros impulsos y la única razón para desperdiciar esta información es por economía de equipos.

200

205 Sin embargo, un registrador de cambio proporciona medios económicos de comprobar varios impulsos en cada cuadro porque permite realizar la lógica en serie. Esto es esencialmente fácil porque la información binaria es en serie. Si el registrador de cambio tiene una longitud de  $(N+1)$  impulsos o pa-

374194



9.

210        sos los N impulsos de información que siguen inmediatamente a  
      continuación del supuesto impulso de sincronización se trans-  
      fieren en serie al registrador de cambio una vez por cuadro.  
      De acuerdo con este invento, sin embargo, esta transferencia  
      se realiza comparando digitalmente, como por ejemplo exclusiva-  
215        mente en condición OR, los impulsos de información con la señal  
      de referencia de sincronización local y pasando en condición OR  
      la salida exclusiva OR con la salida del registrador de cambio  
      como se describirá con más detalle posteriormente.

      Con referencia a la fig. 2 se ilustra en la misma un  
      diagrama en bloque de una forma del sistema de sincronización  
220        de cuadro del invento. El reloj 3 produce impulsos al ritmo  
      de impulsos de la señal de información digital (binaria) de en-  
      trada, desde el suministro 4 y se aplica a la puerta de inhibi-  
      ción 5 y, por lo tanto, a los contadores binarios y circuitos  
      de lógica de descifrado 6 para producir diferentes señales de  
225        tiempo necesarias en el funcionamiento del sistema de sincroni-  
      zación de cuadro, así como las señales de tiempo necesarias pa-  
      ra otras funciones tal como desmultiplicar la señal multiplada  
      recibida del suministro 4. Para fines de explicación se supon-  
      drá que el ritmo de cuadro de la señal de información es de 8  
230        kc., que la clave de sincronización distribuida de un impulso,  
      recibida tiene la característica en cuadros adyacentes de 1,0  
      y que la señal de referencia de sincronización local REF es una  
      onda cuadrada de 4 Kc. Otras señales de tiempo necesarias en  
      el funcionamiento del sistema de sincronización de cuadro son  
235        generadas por los circuitos 6, esto es, la señal de tiempo de  
      impulso de sincronización ST que tiene un ancho constante de

374 194



10.

un período de reloj, la señal de tiempo de parada HT que tiene un ancho variable igual al ancho del impulso de parada mas el ancho de un período de reloj y la señal de tiempo del registrador de cambio SH que tiene un ancho variable igual al ancho de N períodos de reloj más el ancho del impulso de parada. La relación de tiempo de estos impulsos con relación a la lectura de los contadores de los circuitos 6 y las anteriores relaciones de ancho se ilustran en las figs. 4 a 8.

245 La señal de tiempo de parada HT se utiliza para evitar que el sistema de sincronización de cuadro se bloquee en una condición estacionaria y fuera de sincronismo al conectar la energía, pues los componentes 8, 11 y  $B_N$  podrían de otra forma adoptar una combinación de estados que detendría los contadores de los circuitos 6. La falta de señales de tiempo evitaría que el vaivén 8 y el  $B_N$  del registrador de cambio 18 abandonasen la anterior combinación de estados. Utilizando la señal de tiempo de parada HT, se permite que los contadores de los circuitos 6 se detengan sólo cuando hay señales de tiempo disponibles para el vaivén 8 y el  $B_N$  del registrador de cambio 18.

255 La señal de información del suministro 4 y la señal de referencia de sincronización local REF del circuito 6 se aplican a la puerta OR exclusiva 7 que compara las condiciones binarias de impulsos sucesivos de la señal de información y la señal REF. 260 La puerta 7 producirá entonces una señal de salida resultante que indica equilibrio y desequilibrio entre las condiciones binarias de las señales de entrada aplicadas a la misma. La señal MMF es la señal resultante en la salida de la puerta 7. La señal MMF se aplica directamente al vaivén 8 que será disparado por la señal 265 MT producida en la salida de la puerta AND 9 que tiene sus entra-



374 194

11.

das acopladas al reloj 3 y a la señal ST del circuito 6. La señal acoplada desde la puerta 7 al vaivén 8 será relacionada por éste en el flanco inicial de la señal MT y el estado del vaivén 8 se modificará en el flanco final de la señal MT para el tipo de vaivén supuesto para ilustración. Así, si la señal MMF es un "1" binario representativo de un desequilibrio, la salida del vaivén 8 será un "1" coincidente en tiempo con el flanco final de la señal MT. La salida de la puerta 7 está también acoplada a un NOT o circuito inversor 10. Así, cuando la señal MMF es "0", la salida del NOT 10 será un "1" que será seleccionado en el flanco inicial de la señal MT y su flanco final hará que 8 cambie de condición produciendo, así, en la salida "1" del vaivén 8 una condición binaria "0".

La salida de 8 está acoplada al circuito de decisión 11 que determina si las selecciones presentadas de muestra al mismo indican una condición sincronizada. El circuito de decisión 11 es un circuito integrador que puede adoptar muchas formas, tal como un circuito de filtro integrador, un circuito integrador de tipo Miller o un contador reversible. Un circuito integrador Miller se describe por completo en la solicitud de patente antes mencionada.

La salida del circuito 7 está también acoplada a una puerta OR 12 y, por lo tanto, directamente a la entrada "1" del primer vaivén  $B_N$  del paso (N+1) registrador de cambio 18 y a través de un NOT 15 a la entrada "0" del mismo vaivén. Los impulsos disparadores SHC del vaivén  $B_N$  y los otros pasos del registrador 18 se producen por AND 13 que tiene una entrada acoplada a la salida del reloj 3 y la otra entrada acoplada a

374 194



12.

295 la salida de OR 14 cuyas dos entradas están acopladas a las salidas ST y SH de los circuitos 6.

300 La salida del vaivén  $B_N$  está acoplada a AND 16 cuya salida está acoplada al paso siguiente del registrador de cambio 18 directamente y no a través de NOT 17 como se ilustra. En resto del registrador 18, las salidas "1" y "0" de un paso están acopladas a las entradas "1" y "0", respectivamente, del paso siguiente. La salida del registrador 18 está acoplada a AND 19 estando la otra entrada provista por NOT 20 acoplado a la salida ST del circuito 6. Así, la puerta AND 19 se habilitará solamente cuando la señal ST está en la condición binaria "0" y se deshabilita cuando está en condición "1". Esto permite que la información relativa a todas las muestras previas menos la primera de las (N+1) de la señal MMF se cambien a través de AND 19 y a la otra entrada de OR 12 para proporcionar una función OR acumulativa de la señal MMF de la fase de cada cuadro, que a su vez se almacena en el registrador 18. El cambio de información del paso  $B_N$  al paso  $B_0$  y de nuevo al paso  $B_N$  se dispara por la señal SHC que incluye N+1+H impulsos de reloj consecutivos por cuadro, siendo H el número de impulsos de reloj inhibidos por la señal de parada. Sin embargo, la información se modifica durante este recorrido por las puertas 19, 12 y 16 como se describe.

315 La puerta AND 16 está acoplada a la salida de NOT 21 cuya entrada está acoplada a la salida de AND 22. Así, en ausencia de la señal de parada en la salida de AND 22, AND 16 permitirá el cambio de información desde el paso  $B_N$  al paso  $B_{N-1}$  del registrador de cambio 18 y la cuenta normal continua en los con-

320



# 374 194

13.

tadores de los circuitos 6. En este caso, la señal SHC tiene  
(N+1) impulsos de reloj por cuadro que tienen lugar mientras se  
cuenta de 0 a N en los contadores 6. Como este es también el nú-  
mero de pasos del registrador 18, cada impulso de información  
325 en el mismo será cambiado exactamente en un recorrido completo y  
volverá a su posición original en cada período de cuadro. El im-  
pulso de información que se origina desde y vuelve al paso  $B_S$   
pasa por la puerta OR12 con la señal MMF cuando los contadores  
6 están en posición S siendo S un entero entre 1 y N. Sin em-  
330 bargo, el impulso que se origina en  $B_0$  es inhibido por la puerta  
AND 19 porque la señal ST está en condición "1" cuando los con-  
tadores 6 están en posición 0 (ver fig. 4).

Después de un número de cuadros, cada paso  $B_S$  almace-  
na una condición OR acumulada de desequilibrios seleccionados en  
335 el contador S de cada período de cuadro.

Cuando ocurre una señal de parada en la salida de AND22,  
se deshabilita AND 16 y la información desde el paso  $B_N$  se reem-  
plaza por una condición cero cambiada al paso  $B_{N-1}$  de modo que  
cuando la condición cero se cambia posteriormente fuera del paso  
340  $B_0$ , puede pasar por la puerta OR 12 con nueva información. En  
este caso, también los impulsos de reloj adicionales H por cua-  
dro de la señal SHC hacen que la información en el registrador  
de cambio 18 se cambie en H posiciones más de un curso completo.  
El control de tiempo es tal que los impulsos que se originan  
345 desde los pasos H más a la derecha del registrador de cambio  
18 se pasan por la puerta OR 12 (excepto el primer impulso) con  
H impulsos consecutivos de la señal MMF; los impulsos H resul-  
tantes se sustituyen por ceros en la puerta AND 16; entonces



374 194

343972

14.

350        estos ceros H pasan por la puerta OR 12 con impulsos H de la se-  
ñal MMF en H fases (posiciones de impulso dentro del período de  
cuadro de la información de entrada) no previamente selecciona-  
dos. Cuando se detiene el cambio los impulsos H resultantes se  
encuentran en los pasos H más a la izquierda del registrador de  
cambio 18.

355                La puerta AND 22 tiene tres entradas; la señal SL des-  
de el circuito de decisión 11, la salida del vaivén  $B_N$  y la señal  
HT desde los circuitos 6. La señal de salida del circuito de de-  
cisión 11 está en condición "1" cuando el potencial en el mismo  
es inferior al potencial del nivel de decisión y está en condi-  
360        ción "0" cuando el potencial en el mismo está sobre el nivel de  
decisión. Debe observarse también que cuando la función OR de  
OR 12 indica un desequilibrio ("1" binario) habrá un "1" en la  
salida de  $B_N$ . Así, cuando cualquiera de las señales de entrada  
a AND 22 están en condición binaria "0" no hay señal de parada  
365        o inhibición y los contadores de los circuitos 6 contarán normal-  
mente sin interrupción. Sin embargo, cuando todas las entradas  
a AND 22 están en la condición binaria "1", se producirá una sa-  
lida que es un impulso de parada acoplado a la puerta 5 que inhi-  
birá los impulsos de reloj del reloj 3 y detendrá la acción con-  
370        tadora de los contadores de los circuitos 6 y un cambio resultan-  
te en la fase o tiempo de las señales de tiempo producidas por  
los circuitos 6. El valor del cambio de fase depende del número  
de impulsos de reloj inhibidos como se explicará más adelante.

375                Con referencia a la fig. 3 se ilustra en la misma,  
para un tipo de vaivén que puede utilizarse en este sistema, la



374194

15.

380 relación entre la señal de Información Digital, la señal REF de referencia de sincronización local, la señal MMF del circuito (o la función OR de OR 12) de los impulsos de reloj aplicados directamente al vaivén 8 o al  $B_N$  (sin referencia a su relación con las señales de tiempo ST y SH), y la salida resultante de estos vaivenes al ser disparados. Se observará por estos diagramas de tiempo que la señal MMF está presente en la salida de estos vaivenes avanza en tiempo por un impulso.

385 La siguiente descripción se referirá al funcionamiento del circuito de la fig. 2 para cuatro situaciones típicas diferentes. Se supone para el fin de esta explicación que N es igual a 8. Las letras que identifican cada señal se encontrarán en el punto apropiado del circuito de la fig. 2.

390 Con referencia a la fig. 4, la misma ilustra el diagrama de tiempo para la situación uno en la que el potencial del circuito de decisión está por encima del nivel de decisión, produciendo así la señal SL con una condición binaria "0", en la que, independientemente de la condición del vaivén  $B_N$ , la puerta AND 22 no estará activada y no se producirá señal de parada y, por lo tanto, no habrá inhibición de los impulsos del reloj 3. Así, los contadores en los circuitos 6 contarán normalmente.

400 Haciendo referencia a la fig. 5 se ilustra un diagrama de tiempo para la situación dos en la que el potencial del circuito de decisión 11 es inferior al potencial del nivel de decisión 1c que resulta en que la señal SL sea igual a "1" binario y la primera selección sea un equilibrio. En esta situación, habrá una salida "0" del vaivén  $B_N$  debido al equilibrio durante la señal de tiempo de parada HT resultante de la inactivación de AND 22 y, por lo tanto, no hay impulso de parada 405 desde la misma, permitiendo, así, que los contadores de los cir-



33073

374 194

16.

cuitos 6 procedan contando normalmente.

Con referencia a la fig. 6 se ilustra en la misma un diagrama de tiempo para una tercera situación en la que el potencial del circuito de decisión es inferior al potencial de nivel de decisión resultando que la señal SL es igual a "1", siendo la primera muestra un desequilibrio y la segunda un equilibrio. En esta situación hay un impulso de disparo adicional en la señal SHC lo cual es debido a que las señales HT y SH de los circuitos 6 se extienden en duración debido a la parada de los contadores de 6. En otras palabras, los contadores permanecen en el estado en que se encontraban antes de la parada y así, las señales HT y SH se extienden en el tiempo del período de un impulso. En esta situación todas las entradas a AND 22, en el tiempo del impulso HT están en condición "1" recordando que la salida del vaivén  $B_N$  avanza en el período de un impulso. Así, AND 22 se habilita durante un tiempo igual al período de un impulso lo que resulta en un impulso de parada de un ancho de un período de impulso de reloj. La producción del impulso de parada se detiene pues el equilibrio en la segunda muestra y el cambio de período en un impulso en  $B_N$  resulta en un "0" a AND 22. Este impulso de parada inhibe un impulso de reloj aplicado desde el reloj 3 a los contadores de 6. Esto cambia la fase o tiempo de las señales de tiempo en la salida de los circuitos 6.

Con referencia a la fig. 7, se ilustra un diagrama de tiempo para una cuarta situación en la que el potencial del circuito de decisión es inferior al límite de nivel de decisión lo que resulta en que la señal SL tiene una condición "1" binaria, estando la primera y segunda muestra en desequilibrio y la



374 194

17.

435 tercera equilibrada. De nuevo, debido a la detención de los con-  
tadores de los circuitos 6, las señales HT y SH se extienden en  
la duración de dos períodos de impulso permitiendo así dos im-  
pulsos de disparo adicionales en la señal SHC. Así, debido al  
cambio de período de impulso en la salida de  $B_N$  con respecto a  
la señal MMF todas las entradas a AND 22 están en la condición  
440 binaria "1" lo que resulta en un impulso de parada de un ancho  
de dos impulsos o períodos de reloj lo cual inhibe dos impulsos  
de reloj del suministro 3 previo a la aplicación de los contado-  
res binarios de los circuitos 6. La producción del impulso de pa-  
rada se detiene pues el equilibrio en la tercera muestra y el  
445 cambio de período de un impulso en  $B_N$  da por resultado un "0"  
a AND 22.

Con referencia a la fig. 8 se ilustra un diagrama  
de tiempo de una quinta situación en la que el potencial del  
circuito de decisión es inferior al potencial de nivel de deci-  
450 sión resultando en una señal SL en estado binario "1", las mues-  
tras primera, segunda y tercera están en desequilibrio y la  
cuarta equilibrada. De nuevo, debido al impulso de parada, las  
señales HT y SH se extienden en duración de tres períodos de  
impulso, permitiendo así tres impulsos de disparo adicionales  
455 en la señal SHC. Así, al cambio de período de impulso en la sa-  
lida de  $B_N$  con respecto a la señal MMF todas las señales aplica-  
das a AND 22 están en condición "1". Esto resulta en un impulso  
de parada que tiene un ancho de tres impulsos o períodos de re-  
loj en la salida de AND 22 que a través de la acción de INHIBIT  
460 5 inhibe la aplicación de tres impulsos de reloj a los contado-  
res de los circuitos 6. La producción del impulso de parada HALT

374194



18.

se detiene pues el equilibrio de la cuarta muestra y el cambio de período de un impulso en  $B_N$  resulta en un "0" a AND 22.

465 En la fig. 9 se ilustra una tabla que representa el proceso acumulativo en OR 12 cuando AND 19 se habilita por ausencia de la señal de tiempo ST. Para esta tabla se supone que  $N = 3$  y que no hay impulso de parada. El valor de la señal MMF cuando la señal ST es igual a "1" se denomina impulso 0 y los valores de MMF en los siguientes períodos de tres impulsos se designan impulsos 1, 2 y 3. Debido a que AND 19 se inhibe durante 470 la presencia de la señal ST, el primer impulso aplicado a  $B_N$  y, por lo tanto, al registrador de cambio 18, en la condición de la señal MMF en la salida de la puerta 7 sin pasar por puerta OR con la salida del registrador de cambio 18. Esto se muestra en la última columna de la tabla de la fig. 8. El primer impulso (impulso 0) de OR 12 aparece en el último paso B del registrador 18 y el cuarto impulso (impulso 3) de OR 12 aparece en el primer paso  $B_N$  del registrador 18. Las otras columnas ilustran el efecto acumulativo de la puerta OR 12 cuando se saca la información del registrador de cambio 18 bajo control de los impulsos disparadores 480 SHC a través de OR 12.

Las figs. 10A a 10C son otra ilustración de la acción acumulativa del registrador 18 que es la clave a la mejora de velocidad obtenida en el sistema del invento. El registrador de cambio selector de desequilibrio 18 acumula y almacena información en las ocho fases de cuadro, siendo  $N = 8$ , a continuación 485 de la fase de cuadro tentativamente "correcta", así como la selección de la señal MMF de la puerta 7 por la señal SHC en el paso  $B_i$  del registrador 18 de la tentativamente "correcta fase de cuadro". La información almacenada para cada fase es una fun-

374194



19.

ción OR generada por OR 12 de todas las muestras en desequilibrio lo cual indica si por lo menos se ha seleccionado un desequilibrio. Un desequilibrio se almacena como un "1" y un equilibrio se almacena como un "0". Por ejemplo, la función de desequilibrio para la fase tentativamente correcta y las  $N = 8$

495 fases siguientes podría así, como se ilustra en la fig. 10A, designada cuadro previo. Como el primer "0" indica un equilibrio, no hay parada. Los unos y ceros de este ejemplo se almacenan y un período de cuadro después se pasan por la puerta OR 12 con

500 la señal MMF de las muestras de la puerta 7 en el paso  $B_N$  del registrador 18 en fases correspondientes que en este cuadro siguiente podrían, por ejemplo, como se ilustra en la fig. 10A, designarse cuadro actual. La función OR se genera por OR 12 como se indica en la fig. 10A. A medida que se genera la función

505 OR, también se utiliza, a través del paso  $B_N$  del registrador 18 y AND 22, para controlar la parada de INHIBIT 5. Con tal que las otras señales ST, SHC, HT, etc. estén en estado "1", el primer "1" hará que los contadores de los circuitos 6 se paren durante dos impulsos o períodos de reloj, como se indica en la fig. 10B,

510 cambiando así la fase de los contadores de los circuitos 6 en dos períodos de impulso. Esto hace también que dos impulsos circulantes en el registrador 18 se repongan a cero y que dos muestras adicionales se cambien al registrador 18. Suponiendo, por ejemplo, que estas dos muestras son 01, el diagrama de la

515 fig. 10A puede extenderse al diagrama de la fig. 10B. La fase tentativamente correcta se cambia ahora desde la primera columna a la tercera (mirando de izquierda a derecha) porque el impulso de parada de dos períodos de impulso de ancho significa

374194



20.

que las fases, representadas por las dos primeras columnas han  
520 sido rechazadas. Un cuadro después, la función OR de OR12 se  
genera como se ilustra en las tres líneas finales de la fig.  
10C. En este ejemplo hay una parada durante cinco períodos de  
impulso, se reponen cinco impulsos, y se almacenan cinco mues-  
tras adicionales. Há de observarse también, que la primera pa-  
525 rada la producen muestras desequilibradas, de cuadro actual,  
pero la segunda parada es producida por un desequilibrio alma-  
cenado o memorizado "por el registrador 18 desde dos cuadros  
antes. La selección adicional de la salida del registrador 18  
hace que la búsqueda de la fase de cuadro correcta proceda en  
530 un promedio de seis veces más rápidamente que la técnica ante-  
rior para el caso en que  $N = 8$ .

Se ha determinado que a causa de la inserción del re-  
gistrador 18, el tiempo requerido para reponer el sistema a sin-  
cronismo después de perder la sincronización se disminuye a un  
535 valor de  $1/(2\sqrt{N+1})$  (relación empírica) del tiempo requerido  
normalmente por la técnica anterior de sincronización de cuadro  
funcionando con clave de sincronización distribuida, por lo me-  
nos cuando  $N$  es pequeña, en comparación con el número de impul-  
sos de datos por cuadro. Además, deberá observarse que esta dis-  
540 posición de circuito al utilizar el registrador de cambio produ-  
ce también una reducción adicional de  $1/\sqrt{N+1}$  con respecto al  
tiempo requerido por el sistema de sincronización de cuadro  
descrito en la solicitud de patente antes mencionada.

En la fig. 11 se ilustra un medio de comparación digi-  
545 tal que puede sustituir al EXCLUSIVE OR 7 de la fig. 2 entre



374 194

21.

las líneas A-A y B-B para hacer que el sistema de sincronización del invento sea aplicables a la clave de sincronización de tipo aglomerado. Como se ha supuesto anteriormente para fines de explicación la característica de la clave de sincronización aglomerada es 101101. Impulsos sucesivos de la señal de información se cambian a un registrador de cambio de seis pasos <sup>24</sup>, incluyendo cada paso, por ejemplo, un vaivén. La salida "1" o "0" apropiada de cada vaivén del registrador <sup>24</sup> se acopla a la puerta AND 25, como se ilustra, para reconocer la característica de clave aglomerada supuesta. La puerta AND 25 también tiene acoplada la señal REF de los circuitos 6 que en esta forma del invento y para el ejemplo utilizado, sería una onda cuadrada de 8 kc. con fase adecuada para tener estado "1" cuando la clave de sincronización esté presente. Cuando aparece un "1" en todas las entradas a AND 25 hay equilibrio y aparece un "1" en la salida de AND 25. Cuando aparece "0" en cualquiera de las entradas a AND 25, hay d.sequilibrio y aparece "0" en la salida de AND 25. Sin embargo, estas salidas de AND 25 son opuestas a los requisitos de la función MMF de la puerta 7 en la que un equilibrio se representa por "0" y un desequilibrio es representado por un "1". Para evitar esta inversión, la señal de salida de AND 25 se acopla a NOT 26 para proporcionar una señal MMF en la salida del medio de comparación digital de la fig. 11 que tiene representación idéntica a la señal de salida MMF de la puerta 7, fig. 2. Por lo tanto, el resto del circuito de la fig. 2 funcionará como ya se ha descrito.

La utilización del sistema de la fig. 2 con el medio de comparación digital de la fig. 11 para una clave de sincro-



374 194

22.

575, nización aglomerada producirá una reducción del tiempo de búsqueda con relación a los sistemas de la técnica anterior pero no se deduce que la reducción sea mayor que la conseguida por el sistema de la fig. 4 para una clave de sincronización distribuida.

580 En la fig. 12 se ilustra un medio de comparación digital que puede sustituir a 7 de la fig. 4 entre las líneas A-A y B-B para hacer que el sistema de sincronización de este invento sea aplicable a la clave de sincronización aglomerada y distribuida combinada. Como se ha supuesto anteriormente para fines de explicación, esta característica de clave de sincronización combinada es 101101 es un cuadro de un multicuadro  
585 de dos cuadros y 010010 en el otro cuadro del mismo. Los impulsos sucesivos de la señal de información se cambian a un registrador de cambio de seis pasos 27, incluyendo cada paso, por ejemplo, un vaivén. La salida "1" o "0" apropiada de cada vaivén del registrador 27 se acopla a AND 28, como se muestra,  
590 para reconocer la característica de clave asumida 101101 y la salida apropiada "1" o "0" de cada vaivén del registrador 27 está acoplada a AND 29, como se muestra, para reconocer la característica de clave supuesta 010010. Una salida "1" de AND28  
595 indica que la clave 101101 ha sido reconocida, mientras que una salida "1" de AND 29 indica que la clave 010010 ha sido reconocida. Una entrada de AND 30 está acoplada a la salida de AND 28 y la otra entrada de AND 30 recibe la señal REF directamente de los circuitos 6 que en esta forma del invento para  
600 el ejemplo aquí utilizado, será una onda cuadrada de 4 Kc. con



374 194

23.

fase apropiada para tener un estado "1" en el tiempo en que la clave de sincronización 101101 estaría presente en uno de los cuadros del multicuadro de dos cuadros. Una entrada de AND 31 está acoplada a la salida de AND 29 y la otra entrada de AND 31  
605 recibe la señal REF desde los circuitos 6 a través de NOT 32 para proporcionar la señal REF con un estado "1" en el tiempo en que la clave de sincronización 010010 debe estar presente en el otro cuadro del multicuadro de dos cuadros. Las salidas de AND 30 y AND 31 están acopladas a OR 33. Cuando la señal REF es "0" la  
610 salida de NOT 32 será "1" permitiendo que la condición de AND 29 aparezca en la salida de AND 31, y la salida de AND 30 será "0", permitiendo que la condición de AND 31 aparezca en la salida de OR 33, que será la condición de AND 29. Sin embargo, cuando la señal REF es "1" la condición de AND 28 aparecerá en la salida  
615 de AND 30 y la salida de NOT 32 será "0" haciendo "0" la salida de AND 31 lo que permitirá que la condición de AND 30 aparezca en la salida de OR 33, que será la condición de AND 28. Así, la condición de la señal REF selecciona si la condición de AND 29 (o bien de AND 28) aparecerá en la salida de OR 33. Como las  
620 salidas de AND 28 y AND 29 indican un equilibrio (si "1") o un desequilibrio (si "0") de la información de entrada y las claves asociadas, la salida de OR 33 indicará en la misma forma un equilibrio o desequilibrio de la información de entrada con la clave seleccionada por la condición de la señal REF. Deberá observarse que la señal de salida de OR 33 es opuesta a los requerimientos de la función de MMF de la puerta 7 en la que un equilibrio está representado por "0" y un desequilibrio por "1". Para contrarrestar esta inversión la señal de salida de OR 33 se



374 194

630 acopla a NOT 34 para proporcionar una señal MMF en la salida del medio de comparación digital de la fig. 12 que tiene representaciones idénticas que la señal de salida MMF de la puerta 7, fig. 2. Por lo tanto, el resto del circuito de la fig. 2 funcionará como ya se ha descrito.

635 La utilización del sistema de la fig. 2 con el medio de comparación digital de la fig. 12 para una clave de sincronización distribuida y aglomerada combinada dará por resultado una reducción del tiempo de búsqueda con relación al tiempo de búsqueda de la técnica anterior que es de la misma magnitud, por lo menos en algunos casos, que la conseguida por el sistema de la fig. 2 para una clave de sincronización distribuida.

640 Si bien se han descrito los principios del invento con relación a aparatos determinados, ha de quedar claramente entendido que esta descripción se hace solamente a modo de ejemplo y no como límite de su alcance como se expone en los fines del mismo y en las adjuntas reivindicaciones.

645 Este invento corresponde a una solicitud de patente formulada en Estados Unidos el 4 de Diciembre de 1.968 señalada con el Núm. 780.981 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

650 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

- 655 1 - Un sistema de sincronización de cuadro que comprende: un suministro de señal de información binaria que tiene un ritmo de impulsos dado y que contiene una componente de sin-



374194

25.

660 cronización; primeros medios para producir un número de señales de tiempo; segundos medios acoplados a dicho suministro y a dichos primeros medios para examinar impulsos sucesivos de dicha señal de información para reconocer dicha componente de sincronización y producir una señal de salida resultante en cada examen; y terceros medios acoplados a dichos segundos medios y a dichos primeros medios que responden al estado actual de dicha señal de salida resultante y a una de N funciones acumulativas de estados previos de dicha señal de salida resultante, siendo N  
665 un número entero igual a por lo menos 1, para proporcionar una señal de control para el ajuste de tiempo de dichas señales de tiempo cuando dicha señal de salida resultante indica una condición de fuera de sincronismo hasta que se consigue la sincronización.

670 2 - Un sistema según el punto 1 en el que dichos primeros medios producen además una señal de referencia de sincronización binaria local; y dichos segundos medios incluyen medios de comparación digital acoplados a dicho suministro y a dichos primeros medios para comparar la condición binaria de impulsos  
675 sucesivos de dicha señal de información y la condición binaria de dicha señal de referencia y para producir dicha señal resultante.

3 - Un sistema según el punto 2 en el que dichos medios de comparación digital incluyen una puerta OR exclusiva.

680 4 - Un sistema según el punto 2 en el que dichos primeros medios incluyen: un suministro de señales de reloj que tienen un ritmo dado; medios contadores binarios; medios descifradores acoplados a dichos medios contadores para producir dichas señales de tiempo y dicha señal de referencia; y medios de



374104

26.

685 inhibición acoplados entre dicho suministro de señales de reloj  
y dichos medios contadores y a dichos terceros medios que res-  
ponden a dicha señal de control para efectuar dicho ajuste de  
tiempo.

690 5 - Un sistema según el punto 2 en el que dichos ter-  
ceros medios incluyen cuartos medios que tienen un nivel de de-  
cisión acoplados a dichos segundos medios para producir una sali-  
da binaria "1" cuando el potencial en los mismos resultante de  
dicha señal de salida resultante es inferior a dicho nivel de  
decisión y una salida binaria "0" cuando el potencial en los mis-  
mos resultante de dicha señal de salida resultante es superior  
695 a dicho nivel de decisión.

6 - Un sistema según el punto 5 en el que dichos ter-  
ceros medios incluyen además un registrador de cambio de  $(N+1)$   
pasos para almacenar dichas  $N$  funciones acumulativas de muestras  
previas.

700 7 - Un sistema según el punto 6 en el que dichos ter-  
ceros medios incluyen además una puerta OR con dos entradas es-  
tando una entrada acoplada a dichos segundos medios y la otra  
a la salida de dicho registrador de cambio y quintos medios aco-  
plados a dichos cuartos medios y a la salida del primer paso de  
705 dicho registrador de cambio para producir dicha señal de control  
cuando dichos cuartos medios producen una salida binaria "1" y  
simultáneamente la señal de salida de dicho primer paso es "1"  
binario.

710 8 - Un sistema según el punto 7 en el que dichos quin-  
tos medios incluyen una puerta AND.

9 - Un sistema según el punto 8 que incluye además me-



374 194

27.

dios biestables acoplados entre dichos segundos y cuartos medios.

10 - Un sistema según el punto 2 en el que dichos quin-  
715 tos medios incluyen: un suministro de señales de reloj que tie-  
nen dicho ritmo dado; medios contadores binarios; medios descif-  
fradores acoplados a dichos medios contadores para producir di-  
chas señales de tiempo y dicha referencia; y medios de inhibi-  
ción acoplados entre dicho suministro de señales de reloj y  
720 dichos medios contadores, incluyendo dichos medios de compara-  
ción digital incluyen una puerta OR exclusiva; y dichos terce-  
ros medios incluyen cuartos medios que tienen un nivel de deci-  
sión acoplado a dicha puerta OR exclusiva para producir una  
salida binaria "1" cuando el potencial en el mismo, resultante  
725 de dicha señal de salida resultante, es inferior a dicho ni-  
vel de decisión y una salida binaria "0" cuando el potencial en  
el mismo resultante de la señal de salida resultante es supe-  
rior a dicho nivel de decisión; un registrador de cambio de  
(N+1) pasos para almacenar dicha N muestras previas de funcio-  
730 nes acumulativas; una puerta OR con dos entradas estando una  
acoplada a dicha puerta OR exclusiva y la otra a la salida de  
dicho registrador de cambio y una puerta AND acoplada a dichos  
cuartos medios y a la salida del primer paso de dicho registra-  
dor de cambio para producir dicha señal de control para aco-  
735 plar dichos medios de inhibición para efectuar dicho ajuste de  
tiempo, produciéndose dicha señal de control cuando dichos  
cuartos medios producen una salida binaria "1" y simultánea-  
mente la señal de salida de dicho primer paso es "1" binario.



374104

28.

11 - Sistema de sincronización de cuadro.

740

Tal y como se ha descrito en la Memoria que antecede,  
y representado en los dibujos que se acompañan y a los fines  
especificados.

Esta Memoria consta de veintiocho hojas escritas por  
una sola cara.

745

Madrid,

3 DIC 1969

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL





37440A

FIG. 1

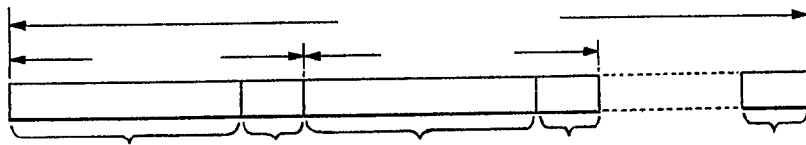
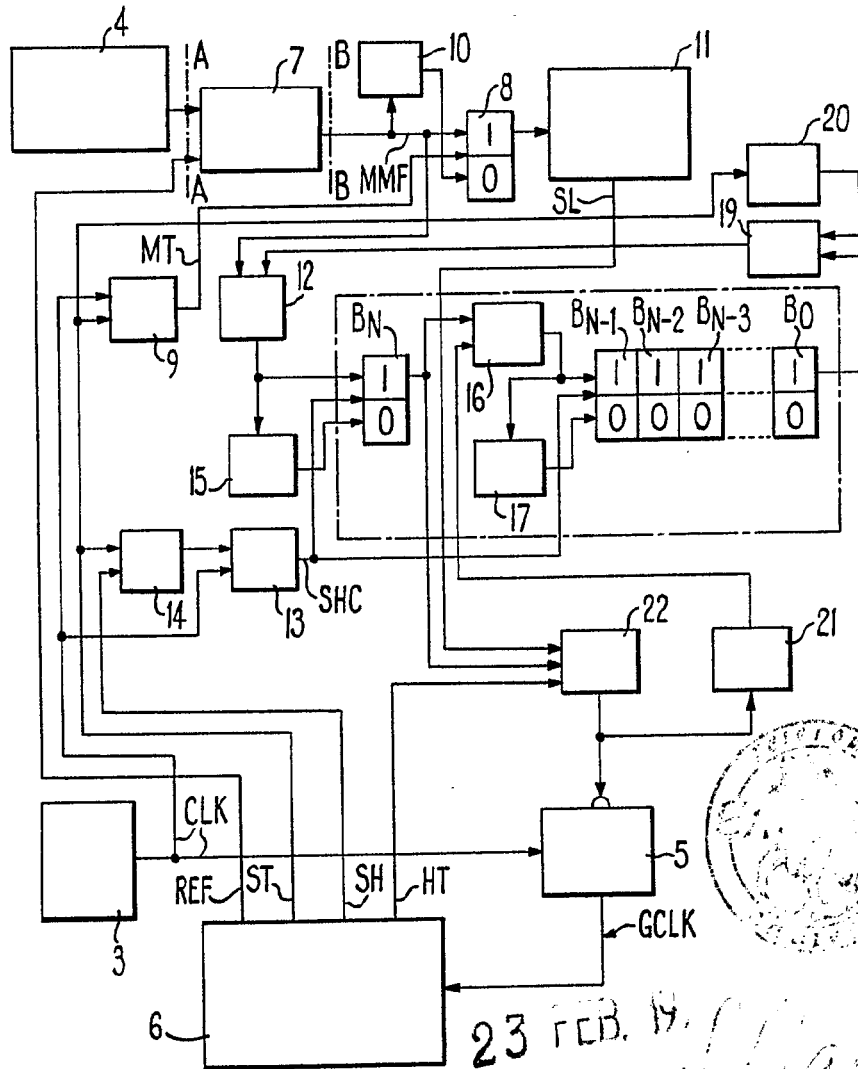


FIG. 2



23 FEB. 19

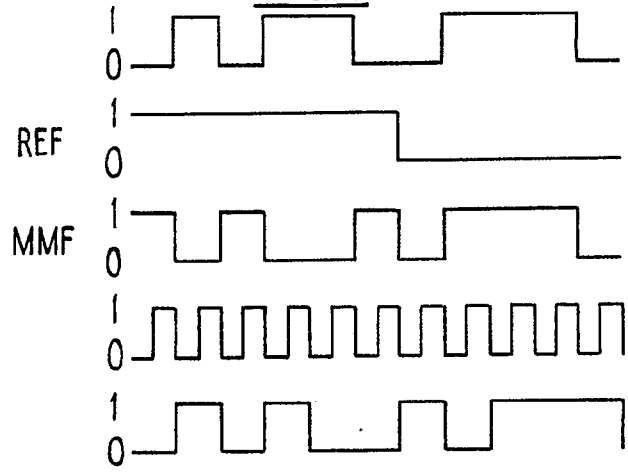
EUGENIO BARROSO  
Secretario General



9/2

374106

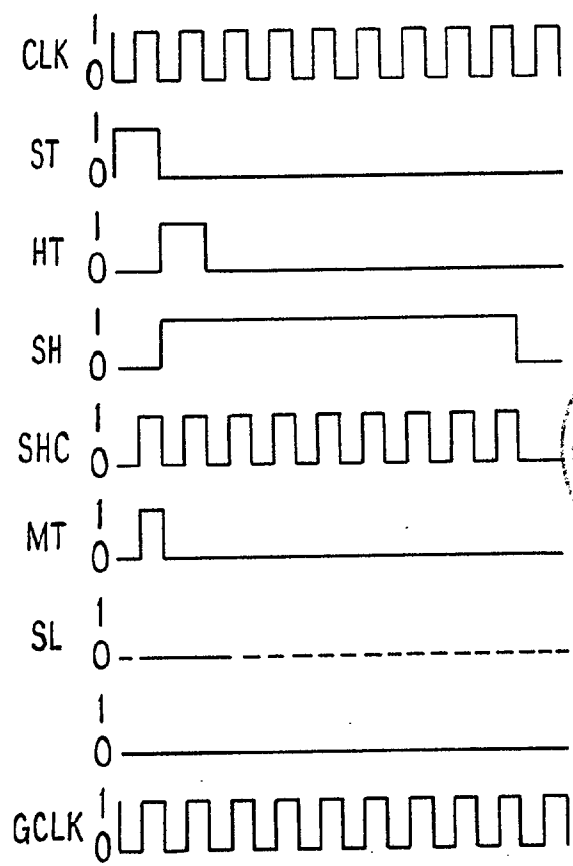
**FIG.3**



**FIG.4**

0	1	2	3	4	5	6	7	8	9
---	---	---	---	---	---	---	---	---	---

0	1	2	3	4	5	6	7	8	9
---	---	---	---	---	---	---	---	---	---

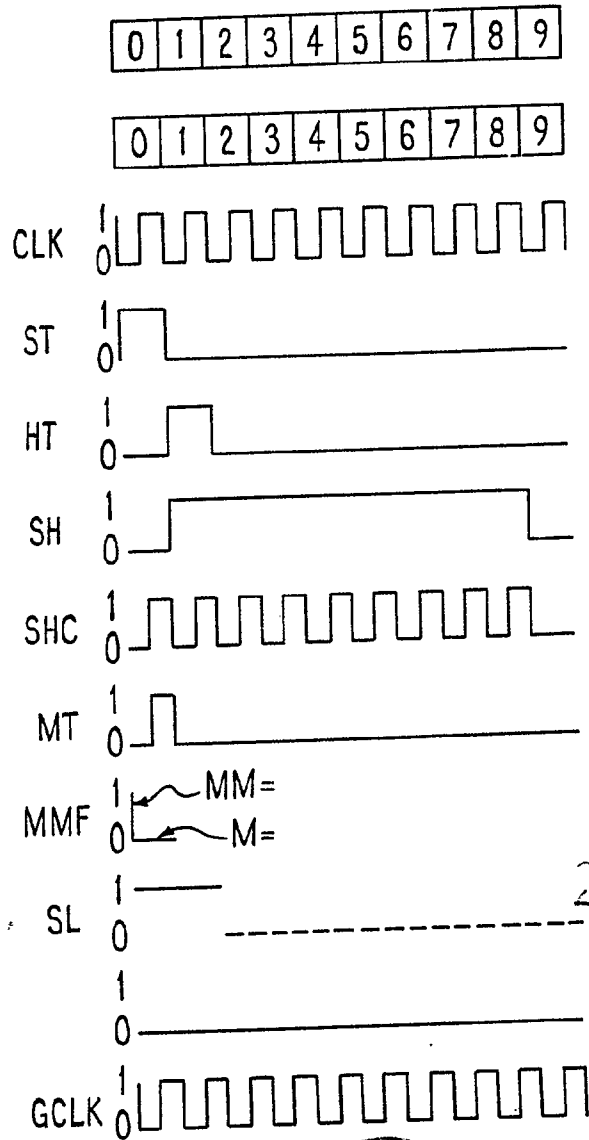


*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General



374106

FIG.5



23 FEB. 1970



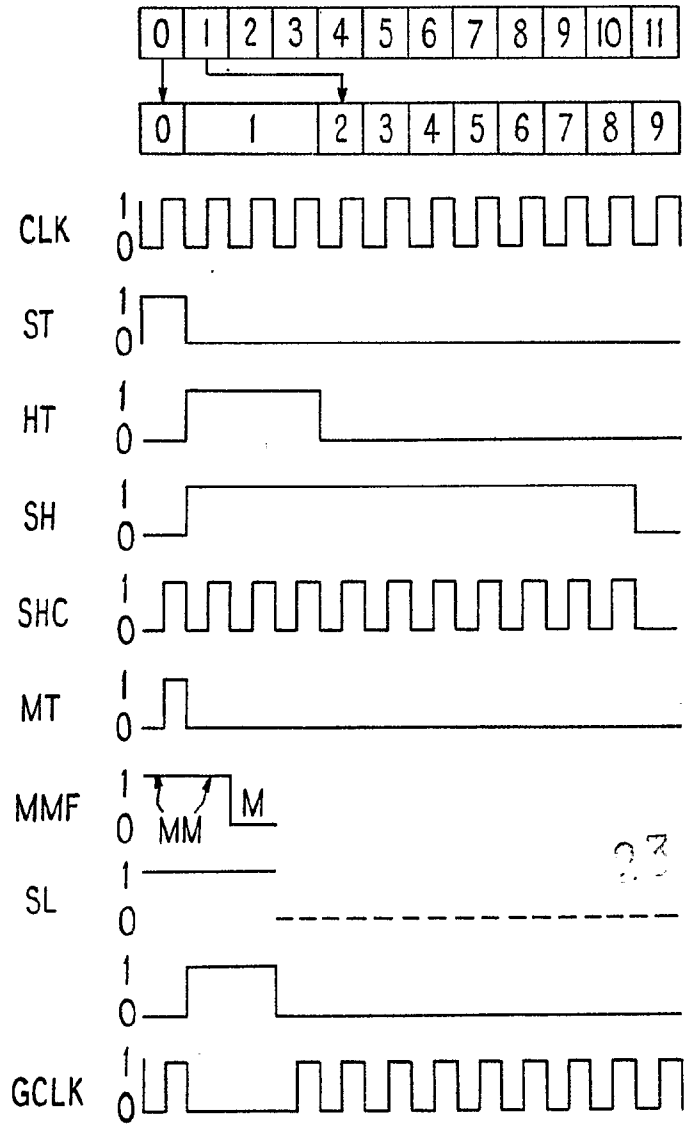
*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General





376104

FIG. 7



23 FEB. 1970

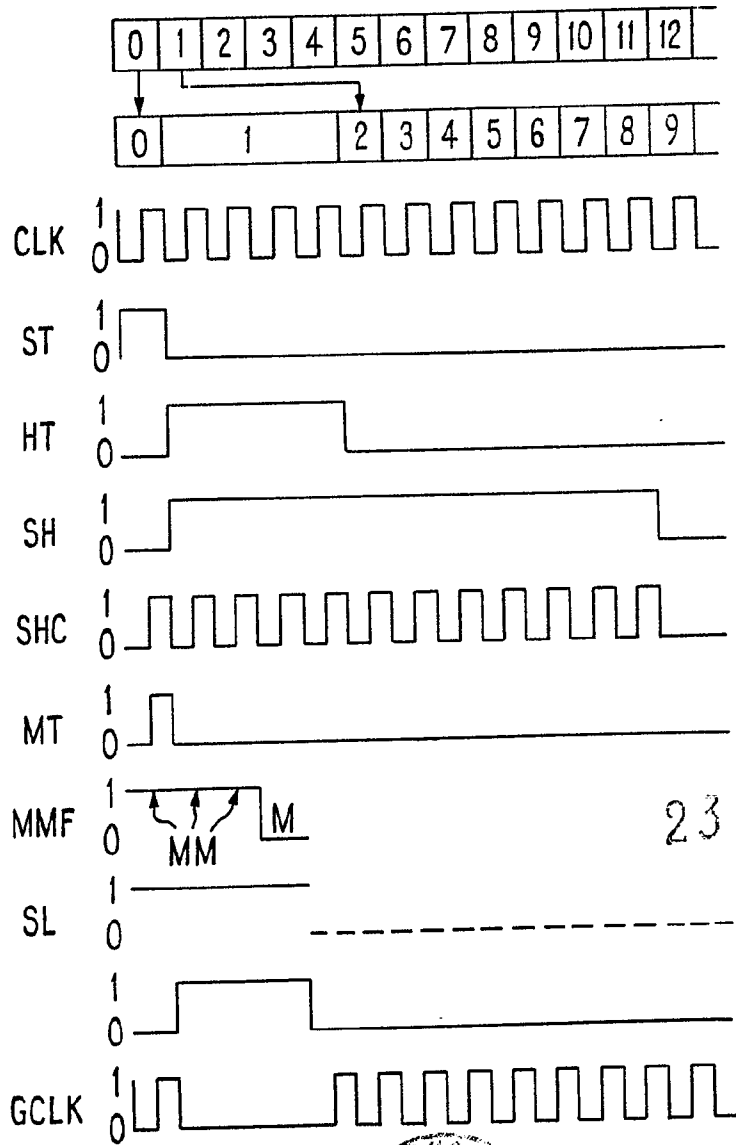


*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General



374004

FIG.8



*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General

7/7



374104

FIG.9

N=3				
	O	O	O	O
	D	C	B	A
	D	C	B	A
	H	G	F	E
	H+D	G+C	F+B	E
	L	K	J	I
	L+H+D	K+G+C	J+F+B	I
	Q	P	N	M
	Q+L+H+D	P+K+G+C	N+J+F+B	M

FIG.10A

23 FEB. 1970

```

0 1 0 1 0 1 1 0 0
1 0 0 0 1 1 0 0 1
-----
1 1 0 1 1 1 1 0 1

```



*Eugenio Barros*  
**EUGENIO BARROS**  
 Secretario General

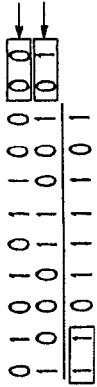
8

STANDARD ELECTRICAL



374107

FIG.10B



376008

FIG.10C

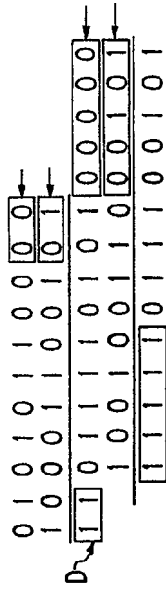


FIG.11

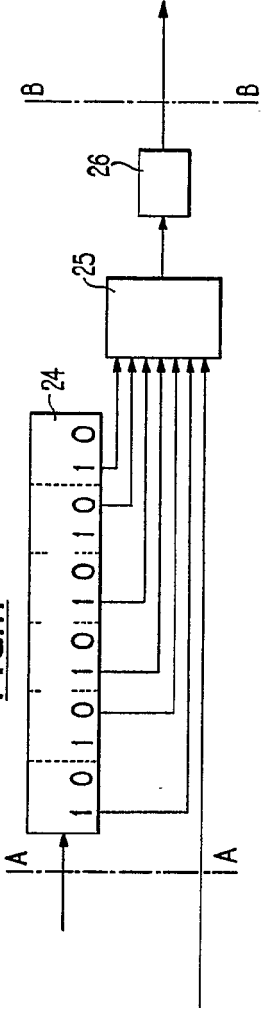
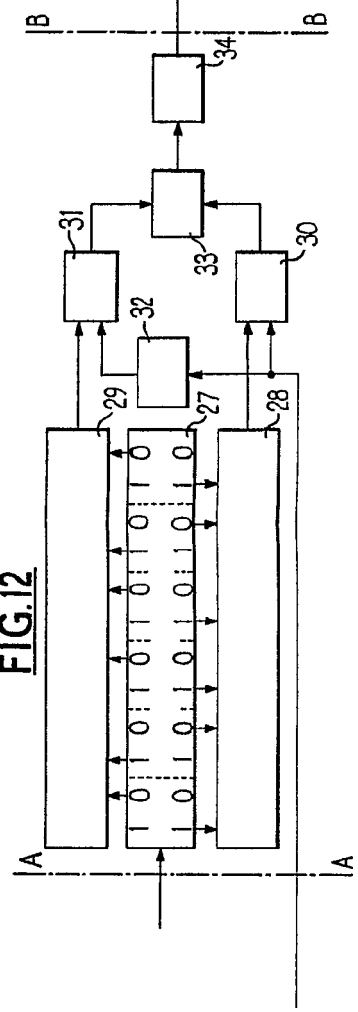


FIG.12



23 FEB. 1970



EUSEBIO BARRERO  
SECRETARY

374104

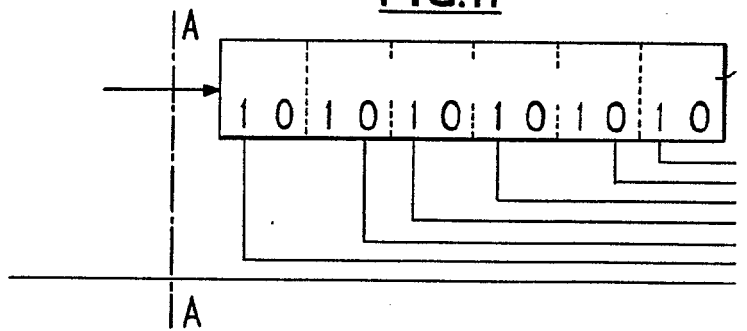
**FIG.10B**

0	1	0	1	0	1	1	0	0	0	0	←
1	0	0	0	1	1	0	0	1	0	1	←
<hr/>											
1	1	0	1	1	1	1	0	1			

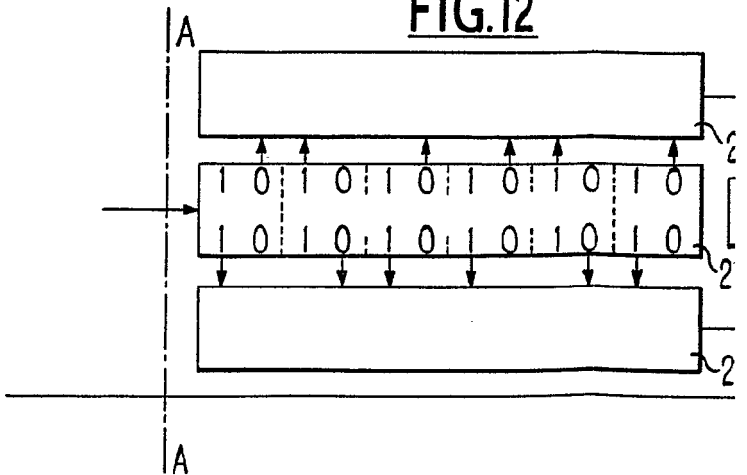
**FIG.1**

0	1	0	1	0	1	1	0	0	
1	0	0	0	1	1	0	0	1	
<hr/>									
D	1	1	0	1	1	1	1	0	1
<hr/>									
1 0 0 1 0 0 1									
<hr/>									
1 1 1 1 1 0 1									

**FIG.11**



**FIG.12**





374194

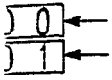
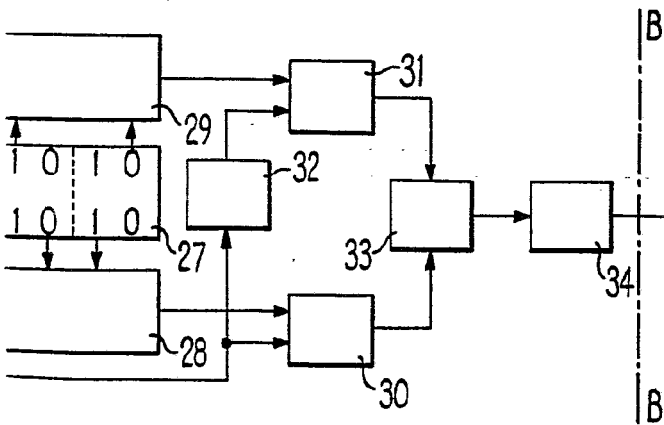
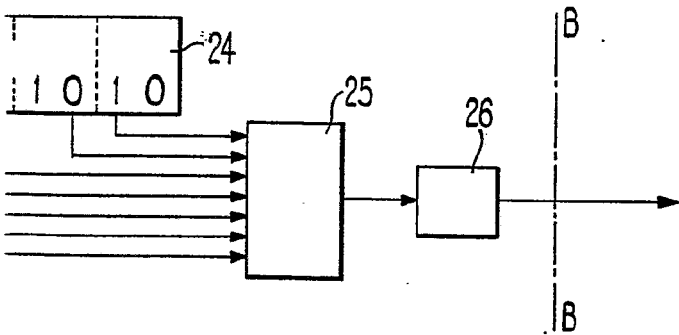
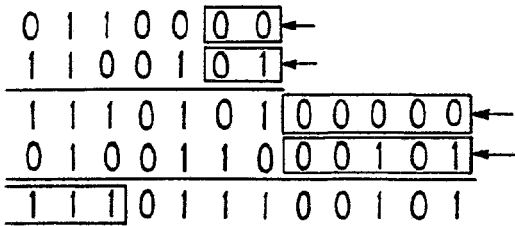
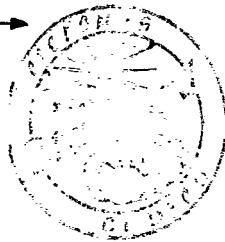


FIG. 10C



23 FEB. 1970



EUGENIO BARROSO  
Secretario General