

374158



J.M. Clark - 2

374158

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>H-04</u>
SUBCLASE <u>J</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR: "SISTEMA DE SINCRONIZACION DE CUADRO", A NOMBRE DE STANDARD
ELECTRICA, S.A., DOMICILIADA EN MADRID, CALLE DE RAMIREZ DE PRADO

NUMERO 5.

El invento se refiere a un sistema de comunicación digital tal como equipos multiplex digitales de división de tiempo incluyen do equipos de modulación de impulsos codificados (PCM) y más particularmente a los sistemas de sincronización de cuadro utilizados en los mismos.

5

Antes de continuar ha de observarse que tal como se utiliza en esta descripción la expresión "Cuadro" se define como uno de una serie de períodos de tiempo contingentes durante los cuales hay impulsos de datos y uno o más impulsos de sincronización sin que esten presentes impulsos de datos entre los impulsos de sincronización. Además, un "multicuadro" es un período de tiempo que incluye uno o más "cuadros" y suficiente para incluir una característica de sincronización completa.

10

En general, los impulsos de las claves de sincronización



374158

2.

15 varían de un cuadro a otro dentro del multicuadro, pero se duplican de un multicuadro al siguiente.

Hay tres tipos generales de claves de sincronización a los que reponderá el presente invento. Primero, una clave de sincronización de tipo distribuido que incluye un impulso por cuadro y generalmente dos o más cuadros por multicuadro. Por ejemplo, tal clave podrá incluir "1" en un cuadro del multicuadro y "0" en el otro cuadro del multicuadro. Segundo, una clave de sincronización de tipo aglomerado (carácter) incluyendo más de algunos impulsos (un carácter) por cuadro, pero un cuadro es un multicuadro, Tercero una clave de sincronización que queda entre el primero y el segundo tipo de claves. Este tipo de clave de sincronización combinada tendrá dos o más impulsos por cuadro así como dos o más cuadros por multicuadro con los impulsos de sincronización diferentes en cada cuadro del multicuadro.

30 El problema general es establecer y mantener la sincronización de cuadro en un enlace de comunicación digital en presencia de ruido o error de impulsos. Un circuito de sincronización de cuadro controla los contadores de tiempo de un multiplex digital para hacer el tiempo del contador síncrono con el formato de los datos recibidos. Este circuito tiene dos funciones primordiales (1) detectar la pérdida de sincronización y (2) cambiar la fase de los contadores, según se requiera hasta que se consigue la sincronización. Una característica de sincronización de referencia generada desde los contadores se compara con la señal entrante para detectar si los contadores están o no están sincronizados. Si se ha perdido la sincronización, el equipo se conmuta a un modo de búsqueda, en el cual se cambia la fase de los con-



374158

3.

tadores hasta que se detecta que se ha conseguido el sincronismo después de lo cual el sistema de sincronización de cuadro cambia-
45 rá a un modo ~~sensor~~ para detectar una pérdida de sincronización subsiguiente.

Con la clave de sincronización de tipo distribuido el procedimiento usual es seleccionar un impulso de cada cuadro, avanzando la fase de los contadores un impulso cada vez que se
50 selecciona un desequilibrio, excepto cuando un circuito promediador o integrador, que responde al promedio de ritmo de desequilibrios, tiene una salida que excede de un límite fijado.

La fase de los contadores se avanza usualmente supri-
miendo un impulso de reloj a la entrada de los contadores, hacien-
55 do, así, que estos se detengan momentaneamente. El nivel de entrada del circuito de decisión será excedido cuando el desequilibrio es bajo y permanecerá excedido cuando se alcanza la fase correcta. Esto evita posterior detención.

Cuando se utilizo clave de tipo aglomerado o combinado,
60 la señal de entrada se cambia en el registrador de cambio en una longitud de un caracter. Cuando la clave en el registrador de cambio equilibra la clave de sincronización esperada, los contadores se reponen a una indicación que corresponde al tiempo normal de llegada del carácter de sincronización. Si la clave de
65 sincronización siguiente no se recibe como se esperaba, se repi-
te como antes el cambio y la comparación.

Como puede determinarse por lo que antecede, los circuitos de sincronización de cuadro convencionales, particularmente para la clave de sincronización de tipo distribuido, no



374158

4.

70 responden inmediatamente, esto es, dentro del tiempo de un impulso de la entrada digital porque la acción se centra en la carga y descarga de un condensador cuya constante de tiempo asociada es mayor que el tiempo de un impulso. Esto es, para el circuito convencional, cuando un impulso de cifra entrante se compara con la señal de referencia de sincronización local y no concuerdan, el siguiente impulso digital que se ha de examinar es el impulso siguiente del cuadro siguiente.

75
80 Un fin de este invento es proporcionar un sistema de sincronización de cuadro que durante la búsqueda cambia frecuentemente la fase de los contadores al ritmo de impulsos de la señal de entrada.

Otro fin de este invento es proporcionar un sistema de sincronización de cuadro que reduce el tiempo para conseguir la sincronización. Esta reducción, con una clave de sincronización de tipo distribuido, es de la mitad del tiempo necesario para conseguir la sincronización con la técnica convencional de sincronización mencionada.

85
90 Una característica de este invento consiste en la provisión de un sistema de sincronización de cuadro que comprende: un suministro de señal de información binaria que tiene un ritmo de impulsos dado y que contiene un componente de sincronización; primeros medios para producir varias señales de tiempo; segundos medios acoplados al suministro y a los primeros medios para examinar impulsos sucesivos de la señal de información para reconocer la componente de sincronización y producir, en cada examen, una señal de salida resultante; y terceros medios acoplados a los segundos medios y a los primeros que responden a la señal de sa-



374158

5.

lida resultante para proporcionar una señal de control para el
ajuste de tiempo de las señales de tiempo de los primeros medios
100 cuando la señal de salida resultante indica una condición de
fuera de sincronismo hasta que se consigue la sincronización.

Otra característica de este invento consiste en la
provisión de un sistema de sincronización de cuadro en el que el
primer medio produce además una señal de referencia de sincroni-
105 zación binaria local y el segundo medio incluye medios de compa-
ración digital acoplados al suministro y a los primeros medios pa-
ra comparar la condición binaria de impulsos sucesivos de la se-
ñal de información y la condición binaria de la señal de refe-
rencia y producir una señal resultante.

110 Los anteriores y otros fines y características de este
invento serán evidentes por referencia a la siguiente descripción
11 dada con relación a los adjuntos dibujos, en los cuales:

La fig. 1 es una ilustración de un "cuadro" y un "mul-
ticuadro" tal como se han definido.

115 Las figs. 2 y 3 son diagramas que comparan la técnica
de este invento con la mencionada técnica anterior.

La fig. 4 es un diagrama en bloque de una forma de sis-
tema de sincronización de cuadro de acuerdo con los principios
del invento.

120 La fig. 5 es un diagrama en bloque que ilustra una
forma de circuito de decisión de la fig. 4.

La fig. 6 es un diagrama que ilustrará el funcionamien-
to de la fig. 4.

La fig. 7 es un diagrama de tiempo que ilustra el



374158

6.

125 funcionamiento de una forma de un vaivén o inestable que puede utilizarse en el sistema de la fig. 4.

Las fig. 8 a 12 son diagramas de tiempo que ilustran el funcionamiento del sistema de sincronización de cuadro del invento para cinco situaciones típicas diferentes que pueden existir en
130 el mismo.

La fig. 13 es un diagrama en bloque de una forma de una disposición que puede sustituir a la disposición entre las líneas A-A y B-B de la fig. 4 para una clave de sincronización de tipo aglomerado tal como se ha definido, y

135 La fig. 14 es un diagrama en bloque de una forma de una disposición que puede sustituir a la mostrada entre las líneas A-A y B-B de la fig. 4 para conseguir sincronización de acuerdo con el presente invento, para una clave de sincronización de tipo aglomerado y distribuido, según ha sido definido.

140 Con referencia a la fig. 1, las expresiones "cuadro" y "multicuadro" según se han definido, se ilustran para el caso general. Para fines de ilustración, cada cuadro, tal como los cuadros 1 y 2, incluye impulsos de datos y uno o más impulsos de sincronización en la secuencia ilustrada. En los casos de claves de sincronización distribuida y aglomerada y distribuida combinadas, un
145 multicuadro incluye dos o más cuadros, tal como los cuadros 1 y 2. El tipo distribuido tiene sólo un impulso de sincronización por cuadro. Suponiendo una característica de clave de sincronización específica de 1, o para la clave de sincronización de tipo distribuido, habría dos cuadros por multicuadro y el cuadro 1 incluiría
150 un impulso de sincronización 1" en su tiempo de sincronización y



374158

7.

el cuadro 2 incluirá un impulso de sincronización "0" en su tiempo de sincronización. Suponiendo una característica de clave de sincronización específica de 101101 para la clave de sincronización de tipo aglomerado, todos los seis impulsos aparecerán una vez en un cuadro y en un multicuadro. Suponiendo una clave de sincronización específica de 101101, 010010, para la característica de clave aglomerada y distribuida combinada, habría dos cuadros por multicuadro y el cuadro 1 incluirá los impulsos de sincronización 101101 en su tiempo de sincronización y el cuadro 2 incluiría los impulsos de sincronización 010010 en su tiempo de sincronización. Las comas entre las partes de las claves de sincronización representan espacios para datos intermedios. Los datos también proceden y siguen a las claves de sincronización.

Como se ha indicado anteriormente, hay tres tipos generales de claves de sincronización. El sistema de este invento se describirá primero por completo utilizando una clave o señal de sincronización del tipo distribuido con el impulso de sincronización de cada cuadro alternando entre "1" y "0". Así, la característica de sincronización será 1, 0 en cada multicuadro.

Con referencia a las figs. 2 y 3 se ilustra en las mismas, por medio de vectores, una comparación entre la técnica anterior antes mencionada y la técnica de acuerdo con los principios del invento, en ambas de las cuales cuando hay equilibrio entre la condición binaria de la señal de información (binaria) digital de entrada y la señal de referencia de sincronización local el resultado es el mismo, esto es, el impulso siguiente examinado es el impulso correspondiente en el cuadro siguiente. Esto se ilustra por el vector AC, fig. 2 para la técnica anterior y por el vector



374158

8.

180 EG fig. 3 para la técnica del invento.

La diferencia entre la técnica anterior y la nueva técnica tiene lugar cuando hay desequilibrio. De acuerdo con la técnica anterior, cuando hay desequilibrio entre la señal de información de entrada y la señal de referencia de sincronización local, y se permite una parada, el impulso siguiente examinado es el impulso siguiente (b+1) del cuadro siguiente (f + 1) como se ilustra por el vector AB fig. 2. De acuerdo con la técnica de este invento, cuando hay desequilibrio y se permite la parada, el impulso siguiente examinado es el impulso siguiente (b+1) del mismo cuadro (f) como se ilustra por el vector EF, fig. 3.

190

Equilibrios y desequilibrios ocurren con igual probabilidad durante la búsqueda de sincronización y lo mismo ocurre con las dos direcciones en que la búsqueda puede ocurrir.

Así, el promedio de dirección de la búsqueda es el promedio vectorial mostrado por el vector de trazo discontinuo AD, fig. 2, para la técnica anterior y por el vector de trazo discontinuo EH fig. 3, para la técnica del invento. Se observará que hay una diferencia en la inclinación de estos vectores de trazo discontinuo y se ha determinado que hay una relación de dos a uno en las inclinaciones de los dos vectores que es equivalente a una relación de dos a uno del promedio del tiempo de búsqueda. En otras palabras, el tiempo de búsqueda utilizando la nueva técnica es la mitad del necesario con la técnica anterior para conseguir la sincronización utilizando la clave de sincronización distribuida.

200

205

En la fig. 4 se ilustra un diagrama en bloque del sistema de sincronización de cuadro del invento. El reloj 3 produce impulsos al ritmo de impulso de la señal de información (binaria)



374158

9.

digital del suministro 4 y se aplican a través de la puerta INHIBIT
5 a contadores binarios y circuitos lógicos descifradores 6 para
210 producir las diferentes señales de tiempo necesarias para el fun-
cionamiento del sistema de sincronización de cuadro así como las
necesarias para otras funciones tal como desmultiplicar la señal mul-
tiplada recibida del suministro 4. Para fines de la explicación,
se supondrá que el ritmo de cuadro de la señal de información es
215 de 8 Kc., que el impulso de clave de sincronización distribuida
recibido tiene la característica en cuadros adyacentes de 1, 0 y
que la señal de referencia de señalización local designada REF es
una onda cuadrada de 4 Kc. Otras señales de tiempo generadas por
los circuitos 6 son la señal de tiempo de impulso de sincronización
220 ST que tiene el ancho constante de un periodo de reloj y la señal
de tiempo de parada HT con un ancho variable igual al ancho del im-
pulso de parada HALT más el ancho de un periodo de reloj. La re-
lación de tiempo de estos dos impulsos con relación a la lectura
de los contadores de los circuitos 6 y las mencionadas relaciones
225 de ancho se ilustran en las figs. 8 a 12.

La necesidad de la señal de parada HT es para evitar que
el sistema de sincronización de cuadro se bloquee en condición fuera
de sincronismo y fija al conectar la energía, pues los componentes
8, 11 y 19 podrían de otro modo adoptar una combinación de estados
230 que detendría los contadores de los circuitos 6. La falta de señales
de tiempo evitaría que los vaivenes 8 y 19 dejaran dicha combina-
ción de estados. Utilizando la señal de tiempo de parada HT se
permite la parada de los contadores de los circuitos 6 solo cuando
las señales de tiempo están disponibles para los vaivenes 8 y 19.



374158

10.

235 La señal de información desde el suministro 4 y la señal
de referencia de sincronización local REF del circuito 6 se aplican
a un medio de comparación digital en forma de una puerta EXCLUSIVE
OR 7 que compara las condiciones binarias de impulsos sucesivos
de la señal de información, y la señal REF. La puerta 7 producirá
240 entonces una señal de salida resultante que indica equilibrio y
desequilibrio entre la condición binaria de dos señales de entrada
aplicadas a la misma. La señal de salida resultante se ha desig-
nado MMF y se aplica directamente al vaivén 8, el cual es dis-
parado por la señal MT en la salida de AND 9 para seleccionar la
245 señal MMF. AND 9 tiene sus entradas acopladas al reloj 3 y a la
salida de señal ST de los circuitos 6. La señal de la puerta 7
será seleccionada por el flanco inicial de la señal MT y el esta-
do del vaivén 8 será cambiado por el flanco final de la señal MT
para el tipo de vaivén que se supone en el ejemplo. Así, si la
250 señal MMF es un "1" binario, representativo de un desequilibrio,
la salida del vaivén 8 se cambiará a un "1" binario en coinciden-
cia de tiempo con el flanco final de la señal MT. La salida de la
puerta 7 se acopla también a un circuito NOT o inversor 10. Así,
cuando la señal MMF es "0", la salida de NOT10 será un "1" que se-
255 rá seleccionado en el flanco inicial de la señal MT y en su flan-
co final hará que el vaiven 8 cambie de estado produciendo así,
en su salida "1" una condición binaria "0".

 La salida del vaivén 8 se acopla al circuito de deci-
sión 11 que determina si las muestras seleccionadas presentadas
260 al mismo indican una condición sincronizada. El circuito de decisión
11 es un circuito integrador que puede adaptar muchas formas, tal
como un circuito de filtro integrador; un circuito integrador tipo



374158

Miller o un contador reversible.

La salida del circuito 7 está también acoplada al vaivén 19 directamente y a través de NOT20 proveyendose los impulsos de disparo desde las puertas ADN21 y OR22. La entrada a OR22 es la señal de tiempo ST del circuito 6 y la salida de la puerta AND23 cuyo funcionamiento se explicará. Las entradas a AND 21 son la salida de OR22 y la salida del reloj 3 generando, así, una señal de disparo SHC para el vaivén 19, AND23 determina si deberá acoplarse un impulso de parada HALT al terminal de inhibición de INHIBIT 5 para cambiar la fase de las señales de tiempo en la salida del circuito 6 deteniendo momentaneamente los contadores binarios. AND23 recibe la salida SL del circuito de decisión 11 y la salida del vaivén 19. Deberá observarse que cuando el circuito de decisión tiene un potencial inferior al nivel de decisión, como se muestra por la línea de puntos 17b de la fig. 6, se provee una salida binaria "1". Cuando el potencial en el circuito de decisión 11 es superior al nivel de decisión, entonces se provee una salida binaria "0". Deberá observarse que cuando hay desequilibrio como se indica por la señal MMF de la puerta 7, habrá un "1" en la salida del vaivén 19. También, la señal de tiempo HT de los circuitos 6 está acoplada a AND 23 con el fin antes mencionado. Así, cuando cualquiera de las señales de entrada a AND 23 están en la condición binaria "0" no hay señal HALT o de inhibición producida y los contadores de los circuitos 6 contarán normalmente sin interrupción. Cuando todas las señales de entrada están en condición "1", esto es, está presente la señal de tiempo HT, hay una salida "1" de vaivén 19 y la señal SL es "1", AND 23 producirá un impulso HALT que inhibirá la puerta 5 parando así la

265
270
275
280
285
290



374 158

12.

acción contadora de los contadores del circuito 4 y que resulta en un cambio de fase o de tiempo de las señales de tiempo producidas por el circuito 6. El valor del cambio de fase depende del número de impulsos de reloj inhibidos como se explicará posteriormente.

295

La fig. 5 ilustra en forma de diagrama en bloque un circuito integrador Miller para ser utilizado como circuito de decisión 11. El circuito Miller incluye el amplificador 12 que tiene su entrada inversora (-) acoplada al vaivén 8 y un circuito de realimentación que incluye el condensador 14 y el circuito de fijación 15 y que tiene un potencial de polarización proporcionado a su entrada no inversora (+) desde el potenciómetro 13. El circuito 15 utiliza realimentación negativa para evitar que la salida del amplificador 12 descienda de un potencial específico, denominado potencial de fijación". Debido a la característica de alta ganancia del amplificador 12 y del circuito de realimentación, la señal de entrada del vaivén 8 se integra y aplica al comparador 16 cuyo potencial de nivel de decisión esta provisto por el potenciómetro 17 conectado a un suministro de potencial de corriente continua.

300

305

310

La fig. 6 ilustra el funcionamiento del circuito de la fig. 5. La línea de trazo discontinuo 17 indica el potencial de nivel de decisión para una disposición según tecnica anterior. Cuando se recibe una señal de equilibrio (M) del vaivén 8, aumenta el potencial en la salida del amplificador 12 como se ilustra en la fig. 6 y para una señal de desequilibrio (MM) del vaivén 8 disminuye el potencial en la salida del amplificador 12. Sin embargo, deberá observarse que el potencial de salida del amplificador 12 no puede descender del nivel del potencial de fijación

315



374158

13.

15 a establecido por el circuito de fijación 15. En la disposición
320 de la tecnica anterior, la parada, inhibiendo los impulsos de re-
loj aplicados al contador, tiene lugar cuando el potencial es in-
ferior al del nivel de decisión y hay un desequilibrio, tal como
se indica por las partes descendentes, de la curva de potencial
de trazos discontinuos, Así, el primer desequilibrio MM. 1 en el
325 diagrama de la fig. 6 tiene lugar por debajo del potencial del
nivel de decisión 17 a y ocurre una parada. Por lo tanto, dismi-
nuye el potencial de salida del amplificador 12 pero a un valor
no inferior al nivel de potencial de fijación 15a. La parada avan-
za los contadores del circuito 6 a una nueva fase de cuadro.
330 Las tres primeras muestras inmediatamente después de la parada
son equilibrios M-1, M-2 y M-3 haciendo que aumente el potencial
en la salida del amplificador 12. La cuarta muestra es un dese-
quilibrio MM.2 y el potencial en la salida del amplificador 12
es inferior al nivel de potencial de decisión 17a resultando en
335 una parada y subsiguiente disminución de potencial en la salida
del amplificador 12.

Por razones que no necesitan ser explicadas aqui, el
potencial de nivel de decisión puede ajustarse para proporcionar
una media entre un tiempo de busqueda más rápido y menos sensibi-
340 lidad a errores de impulsos. Por ejemplo, el nivel de decisión
podría ajustarse para un promedio de tiempo de busqueda mínimo y
un ritmo de error de impulso determinado. Para el presente inven-
to, el funcionamiento del circuito de decisión del presente inven-
vto de la fig. 5, es similar a la técnica anterior según se
345 ha descrito, excepto que la primera muestra de una fase de cuadro
dado no produce efecto en el circuito de decisión. Esto es el re-



374158

14.

sultado de la posibilidad del presente invento para seleccionar más de una fase en un cuadro cuando hay una parada. Solo la primera muestra de cada cuadro se acopla al circuito de decisión y las muestras adicionales, si las hay efectúan solo la lógica de parada. Estas muestras adicionales son las primeras tomadas de sus fases de cuadro respectivas. Si tal muestra es un desequilibrio el impulso de parada continuará y se rechazará la fase de esta muestra. Así, en este caso, la falta de efecto sobre el circuito de decisión no tiene importancia. Sin embargo, si tal muestra es un equilibrio, continuará la selección de muestras de esta fase, controlada por el circuito de decisión.

La curva de potencial de la fig. 6, en trazo continuo, muestra la respuesta del circuito de decisión cuando se utiliza el presente invento, tomando como ejemplo la misma secuencia de equilibrios y desequilibrios que para el caso de la técnica anterior. Cuando ocurre el desequilibrio MM.3 en un impulso de la señal de información por debajo del potencial de nivel de decisión 17a, ocurre una parada y el potencial en la salida del amplificador 12 disminuye como muestra la línea de trazo continuo. Sin embargo, durante el impulso siguiente de la señal de información puede ocurrir un equilibrio M. 4 y cambiar el estado del vaivén 19 pero no el del 8 que es la entrada del circuito de decisión. La parada mueve los contadores de los circuitos 6 a una nueva fase de cuadro. Las dos muestras siguientes de la señal MMF por el vaivén 8 inmediatamente después de la parada están equilibradas, M5 y M6, haciendo que aumente el potencial en la salida del amplificador 12. La tercera muestra es un desequilibrio MM4 y el potencial en la salida del amplificador 12 es inferior al potencial de nivel de decisión 17a



374158

15.

375 lo que resulta en una parada y una disminución subsiguiente del po
tencial en la salida del amplificador 12. Observando la línea de
trazo continuo se verá que han ocurrido tres equilibrios igual
que en la tecnica anterior pero que los desequilibrios tenían
380 lugar a un nivel de potencial más bajo que es menos de "un paso
hacia arriba" alejándose del potencial del nivel de decisión 17a.
"Un paso hacia arriba" es el número de voltios de aumento del
potencial en el tiempo de cuadro que sigue a un equilibrio. Así,
de acuerdo con el invento, el potencial de nivel de decisión
establecido por el potenciómetro 17 se desciende en "un paso hacia
385 arriba" como se ilustra en 17b. Así, el funcionamiento del cir-
cuito de decisión se realiza precisamente como antes, y, por lo
tanto, cualquier compromiso (condición optima) u otra ventaja del
circuito de decisión que pudiera obtenerse en el caso de la téc-
nica anterior podría también obtenerse con el invento además de
390 las ventajas del mismo referentes a la lógica de búsqueda.

La fig. 7 ilustra el funcionamiento de un tipo de ele-
mento inestable o vaivén que pueda utilizarse para los elementos
8 y 19 sin considerar las señales de salida de las AND 9 y 21,
esto es, la señal de reloj se aplica directamente a los mismos
395 para fines disparadores. El fin primordial de esta ilustración
es mostrar la relación entre las salidas de 8 y 19 con relación a
la señal de entrada MMF aplicada a los mismos. La señal de in-
formación se ilustra en la curva de "Información Digital" que se
compara con la señal de referencia de información local ilustrada
400 en la curva REF que, para el ejemplo antes indicado, es una onda
cuadrada de 4 Kc. La curva MMF ilustra la señal de salida resul-



374158

16.

tante de la puerta 7, cuando se han comparado las condiciones bi-
narias de las curvas de "Información Digital" y REF. Los impulsos
de disparo de los vaivenes son los impulsos de reloj sin limitación
405 por las señales de tiempo ST y HALT. La última curva en la fig. 7
muestra las salidas de los vaivenes con relación a la señal de
entrada MMF y se observará que la salida del vaivén se cambia en
tiempo en el período de un impulso debido a la acción de cada im-
pulso de disparo que en su flanco inicial selecciona la señal
410 MMF y en su flanco final causa un cambio de estado del vaivén.

La siguiente descripción se referirá al funcionamiento
del circuito de la fig. 4 para cinco situaciones típicas, dife-
rentes. Las letras de referencia que identifican las curvas se iden-
tifican adecuadamente en el punto apropiado en el sistema de la
415 fig. 4.

La fig. 8 ilustra el diagrama de tiempo para la situa-
ción uno en la que el potencial del circuito de decisión es supe-
rior al potencial de nivel de decisión. En esta situación la
señal SL en la salida del circuito 11 es un "0" binario y, así,
420 hará inhoperante a AND23 con lo que no habrá impulso HALT y, por
lo tanto, no habrá inhibición de los impulsos de reloj del re-
loj 3.

En la fig. 9 se ilustra un diagrama de tiempo para
la situación 2 en la que el potencial del circuito de decisión
425 11 es inferior al potencial de nivel de decisión y la primera
muestra es un equilibrio. En esta situación la señal de salida
SL del circuito de decisión 11 es un "1" binario, pero la salida
del vaivén 19 debido al equilibrio es un "0" binario durante
la señal de tiempo de parada HT. Así, la salida "0" del vaivén

374158



17.

430 19 hace a AND23 inoperante y no produce impulso de parada.

La fig. 10 ilustra el diagrama de tiempo para la situación tres en la que el potencial del circuito de decisión es inferior al potencial de nivel de decisión, la primera muestra es un desequilibrio y la segunda muestra es un equilibrio.

435 En esta situación hay un impulso de disparo adicional en la señal SHC debido a que la señal HT del circuito 6 se extiende en duración por la parada de los contadores del circuito 4. En otras palabras, los contadores permanecen en el estado a que han llegado justamente antes de la parada y, así, la señal HT se extiende

440 en el período de un impulso. En esta situación hay una entrada "1" a AND 23 durante el tiempo del impulso HT desde el circuito de decisión 11 y vavién 19 pues éste avanza la condición de la señal MMF en el período de un impulso. El resultado es un impulso

445 producción del impulso HALT pues el equilibrio en la segunda muestra y el cambio de período de un impulso en el vaivén 19 resulta en un "0" a AND 23. Este impulso de parada se aplica a INHIBIT 5 que inhibe un impulso de salida del reloj 3 con anterioridad a la aplicación a los contadores binarios del circuito

450 6.

La fig. 11 ilustra el diagrama de tiempo para la situación 4 en la que el potencial del circuito de decisión es inferior al potencial de nivel de decisión, las muestras primera y segunda son desequilibrios y la tercera es un equilibrio. De nuevo, debido al impulso HALT, la señal HT se extiende en dos periodos de

455 impulsos y se proveen tres impulsos de disparo para la señal SHC para disparar el vaivén 19. Así, debido al cambio de período de un



374158

18.

impulso de la salida de 19 con respecto a la señal MMF, todas las
entradas a AND23 están en el estado binario "1" lo que resulta
460 en un impulso HALT de un ancho de dos periodos de reloj. La
producción del impulso HALT se detiene pues el equilibrio en la
tercera muestra y el cambio de periodo de un impulso en el vaivén
19 resultan en un "0" a AND23. Este impulso HALT se aplica a
INHIBIT 5 lo cual inhibe dos impulsos de reloj del suministro 3
465 con anterioridad a la aplicación a los contadores binarios de los
circuitos 6.

En la fig. 12 se ilustra una quinta situación en la
que el potencial del circuito de decisión es inferior al poten-
cial de nivel de decisión, las muestras primera, segunda y ter-
470 cera son desequilibrios y la cuarta muestra es un equilibrio.
De nuevo debido al impulso HALT la señal HT se extiende tres pe-
riodos de impulso y se proveen cuatro impulsos de disparo para la
señal SHC para disparar el vaivén 19. Debido a la presencia de
la señal HT, la salida "1" del circuito 11 y la salida "1" del
475 vaivén 19 se cambian en tiempo en un periodo de impulso con res-
pecto a la señal MMF, se activa AND 23 y el resultado es un im-
pulso HALT que tiene un ancho de tres periodos de reloj. La pro-
ducción del impulso HALT se detiene ya que el equilibrio en la
cuarta muestra y el cambio de periodo en un impulso en 19 resuelta
480 en un "0" a AND 23. Por lo anterior se verá que se cambia la fase
o lectura de los contadores al ritmo de impulso de la señal de
información lo que resulta en una reducción del tiempo de búsqueda
a la mitad del requerido por los sistemas de sincronización de
de cuadros convencionales antes mencionados cuando se utiliza una
485 clave de sincronización distribuida.



374 158

19.

En la fig. 13 se ilustra un medio de comparación digital que puede sustituir al EXCLUSIVE OR 7 de la fig. 4 entre las líneas A-A y B-B para hacer que el sistema de sincronización del invento responda a una clave de sincronización de tipo aglomerado. Como
490 ha sido supuesto, para fines de explicación, la característica de clave de sincronización aglomerada es 101101. Los impulsos sucesivos de la señal de información se cambian a un registrador de cambio de seis pasos 2^4 , incluyendo cada paso, por ejemplo, un vaivén. La salida "1" o "0" apropiada de cada vaivén del registra-
495 dor 2^4 está acoplada a una puerta AND25, como se ilustra, para reconocer la característica de clave aglomerada supuesta. AND25 tiene también acoplada la señal REF de los circuitos 6 que, en esta forma del invento y para el ejemplo indicado, sería una onda cuadrada de 8 Kc. con la fase apropiada para tener un estado
500 "1" en el tiempo en que la clave de sincronización debiera estar presente. Cuando aparece un "1" en todas las entradas a AND 25, esta presente un equilibrio y aparece "1" en la salida de AND25. Cuando aparece un "0" en cualquiera de las entradas a AND25, está presente un desequilibrio y aparece un "0" en la salida de
505 AND25. Sin embargo estas salidas de AND25 son opuestas a los requerimientos de la función MMF de la puerta 7, en la que un equilibrio está representado por un "0" y un desequilibrio por un "1". Para contrarrestar esta inversión, la señal de salida de AND25 se acopla a NOT26 para proporcionar una señal MMF en la salida.
510 del medio de comparación digital de la fig. 13 que tiene representaciones idénticas que la señal MMF de la puerta 7, fig. 4. Por lo tanto, el resto del circuito de la fig. 4 funcionara como antes se ha descrito.



374158

20.

515

520

525

530

535

540

En la fig. 14 se ilustra un medio de comparación digital que puede sustituir a EXCLUSIVE OR7 de la fig. 4 entre las líneas A.-A y B-B para hacer el sistema de sincronización del invento aplicable a la clave de sincronización aglomerada y distribuida combinada. Como ha sido supuesto para fines de explicación, esta característica de clave de sincronización combinada es 101101 es un cuadro de un multicuadro de dos cuadros y 010010 en el otro cuadro del multicuadro de dos cuadros. Los impulsos sucesivos de la señal de información se cambian a un registrador de cambio de seis pasos 27 incluyendo cada paso, por ejemplo, un vaivén. La salida apropiada "1" o "0" de cada vaivén del registrador 27 esta acoplada, como se muestra, a AND 28 para reconocer la característica de clave supuesta 101101 y la salida "1" o "0" apropiada de cada vaivén del registrador 27 está acoplada a AND 29, como se ilustra, para reconocer la característica de clave supuesta 010010. Una salida "1" de AND28 indica que la clave 101101 ha sido reconocida mientras que una salida "1" de AND 29 indica que ha sido reconocida la clave 010010. Una entrada de AND30 está acoplada a la salida de AND28 y la otra entrada de AND30 recibe la señal REF directamente de los circuitos 6, que en esta forma del invento y para el ejemplo mencionado, sería una onda cuadrada de $\frac{1}{2}$ Kc. con fase apropiada para tener un estado "1" en el tiempo en que la clave de sincronización 101101 debiera estar presente en un cuadro de los dos cuadros del multicuadro. Una entrada de AND31 está acoplada a la salida de AND29 y la otra entrada de AND31 recibe la señal REF de los circuitos 6 a través de NOT32 para proporcionar la señal REF con un estado "1" en el tiempo en que la clave de sincronización 010010 debiera estar presente en el otro



374158

21.

cuadro del multicuadro de dos cuadros. Las salidas de AND30 y AND31 están acopladas a OR33. Cuando la señal REF es "0", la salida de NOT32 será "1", permitiendo que la condición de AND29 aparezca en la salida de AND31 y la salida de AND30 será "0" permitiendo que la condición de AND31 aparezca en la salida de OR33, que será la condición de AND29. Sin embargo, cuando la señal REF es "1" la condición de AND28 aparecerá en la salida de AND 30 y la salida de NOT32 será "0", haciendo la salida de AND31 "0" lo que permitirá que la condición de AND30 aparezca en la salida de OR33, que será la condición de AND28. Así, la condición de la señal REF selecciona si la condición de AND29 (o bien AND28) aparecerá en la salida de OR33. Como las salidas de AND28 y AND29 indican un equilibrio (si "1") o un desequilibrio (si "0") de la información de entrada y las claves asociadas, la salida de OR33 indicará de la misma manera un equilibrio o desequilibrio de la información de entrada con la clave seleccionada, por la condición de la señal REF. Deberá, observarse que la señal de salida de OR33 es opuesta a los requerimientos de la función MMF de la puerta 7 en la que un equilibrio está representada por "0" y un desequilibrio por un "1". Para contrarrestar esta inversión la señal de salida de OR33 se acopla a NOT34 para proporcionar una señal MMF en la salida del medio de comparación digital de la fig. 14 con representaciones idénticas que la señal de salida MMF de la puerta 7 fig. 4. Por lo tanto, el resto del circuito de la fig. 4 con el medio de comparación digital de la fig. 14 para una clave de sincronización.aglomerada y distribuida combinada resultará en una reducción del tiempo de búsqueda con relación al requerido en la técnica anterior que es de la misma magnitud, por lo



374158

570 menos en algunos casos, que el conseguido por el sistema de la fig. 4 para una clave de sincronización distribuida.

Si bien se han descrito los principios del invento con relación a aparatos concretos, ha de quedar claramente entendido que esta descripción se hace sólo a modo de ejemplo y no como li-
575 mitación de su alcance tal como se expone en los fines del mismo y en las adjuntas reivindicaciones.

Este invento corresponde a una solicitud de patente formulada en Estados Unidos el 4 de Diciembre 1968, señalada con el Núm. 781.181 y se acoge, por lo tanto, a los beneficios que
580 otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

Los puntos de invención propia y nueva que se presen-
tan para que sean objeto de esta patente de veinte años, son los
siguientes: .

- 1.- Un sistema de sincronización de cuadro que compren-
585 de: un suministro de señal de información binaria que tiene un ritmo de impulsos dado y que contiene una componente de sincronización; primeros medios para producir varias señales de tiempo; segundos medios acoplados a dicho suministro y a dichos prime-
ros medios para examinar impulsos sucesivos de dicha señal de in-
590 formación para reconocer dicha componente de sincronización y producir una señal de salida resultante en cada examen; y ter-
ceros medios acoplados a dichos segundos y primeros medios que responden a dicha señal de salida resultante para proporcionar una señal de control para el ajuste de tiempo de dichas señales
595 de tiempo de dichos primeros medios cuando dicha señal de salida resultante indica una condición de fuera de sincronismo hasta



374158

23.

que se consigue la sincronización.

600 2.- Un sistema según el punto 1 en el que dichos primeros medios producen además una señal de referencia de sincronización binaria local y dichos segundos medios incluyen medios de comparación digital acoplados a dicho suministro y a dichos primeros medios para comparar la condición binaria de impulsos sucesivos de dicha señal de información y la condición binaria de dicha señal de referencia y producir dicha señal resultante.

605 3.- Un sistema según el punto 2, en el que dichos medios de comparación digital incluyen un circuito EXCLUSIVE OR.

610 4.- Un sistema según el punto 2 en el que dichos primeros medios incluyen: un suministro de señales de reloj con dicho ritmo dado; medios contadores binarios; medio de descifrado acoplados a dichos medios contadores para producir dichas señales de tiempo y dicha señal de referencia y medios de inhibición acoplados entre dicho suministro de señales de reloj y dichos medios contadores y a dichos terceros medios que responden a dicha señal de control para efectuar dicho ajuste de tiempo.

615 5.- Un sistema según el punto 2 en el que dichos terceros medios incluyen cuartos medios que tienen un nivel de decisión acoplados a dichos segundos medios para producir una salida binaria "1" cuando el potencial en los mismos resultante de dicha señal de salida resultante, es inferior a dicho nivel de decisión y una
620 salida binaria "0" cuando el potencial en los mismos resultante de dicha señal de salida resultante es superior a dicho nivel de decisión.

6.- Un sistema según el punto 4 en el que dichos terceros medios incluyen además quintos medios acoplados a dichos cuartos me-



374158

24.

625 dios y dichos segundos medios para producir dicha señal de control cuando dichos cuartos medios producen una salida binaria "1" y simultaneamente dicha señal de salida resultante indica un desequilibrio entre la condición binaria de dicha señal de referencia y dicha señal de información.

630 7.- Un sistema según el punto 6 en el que dichos quintos medios incluyen un circuito AND acoplado a dichos cuartos medios y a dichos segundos medios.

635 8.- Un sistema según el punto 6 en el que dichos terceros medios incluyen primeros medios biestables disparados a dicho ritmo dado acoplados entre dichos segundos medios y dichos cuartos medios, y segundos medios biestables disparados a dicho ritmo dado acoplados entre dichos segundos medios y dichos quintos medios.

640 9.- Un sistema según el punto 8 en el que dichos medios biestables primero y segundo incluyen un circuito de vaivén.

645 10.- Un sistema según el punto 2 en el que dichos primeros medios incluyen: un suministro de señal de reloj que tiene dicha frecuencia dada; medios conectadores binarios; medios descifradores acoplados a dichos medios conectadores para producir dichas señales de tiempo y dicha señal de referencia y medios de inhibición acoplados entre dicho suministro de señal de reloj y dichos medios contadores; dichos medios de comparación digital incluyen una puerta EXCLUSIVE OR; y dichos terceros medios incluyen cuartos medios que tienen un nivel de decisión acoplados a dicha puerta EXCLUSIVE OR para producir una salida binaria "1" cuando el potencial en la misma resultante de dicha señal de salida resultante es inferior a dicho nivel de decisión y una salida bi-



374158

25.

655 naria "0" cuando el potencial en la misma resultante de dicha se-
 ñal de salida resultante es superior a dicho nivel de decisión, y
 quintos medios acoplados a dichos cuartos medios y a dicho circuito
 EXCLUSIVE OR para generar dicha señal de control para acoplar
 dichos medios de inhibición para efectuar dicho ajuste de tiempo,
 generándose dicha señal de control cuando dichos cuartos medios
 producen una salida "1" binaria y simultaneamente dicha señal de
 660 salida resultante indica un desequilibrio de la condición binaria
 de dicha señal de referencia y dicha señal de información.

11.- Sistema de sincronización de cuadro

665 Tal y como se ha descrito en la Memoria que antecede,
 representado en los dibujos que se acompañan y a los fines espe-
 cificados.

Esta Memoria consta de veinticinco hojas escritas por una sola cara

Madrid, 2 DIC 1969

Eugenio Barroso
 EUGENIO BARROSO
 Secretario General





STANDARD ELECTRICAL, S

2 1 1 0



Fig. 1.

b
b+1
b+2
b+3

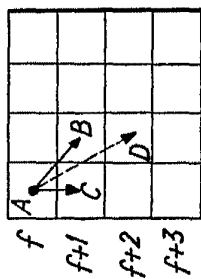


Fig. 2.

b
b+1
b+2
b+3

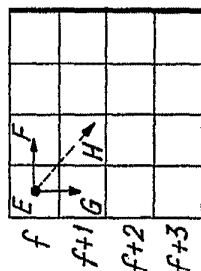
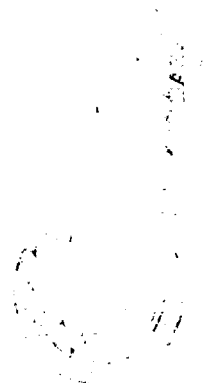


Fig. 3.

11 MAR 1970



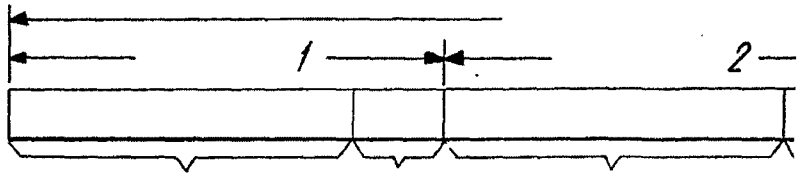


Fig. 1.

b $b+1$ $b+2$ $b+3$

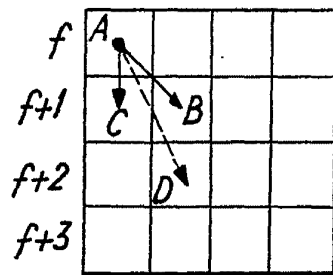
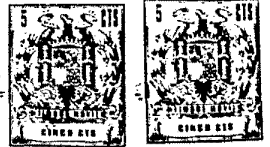
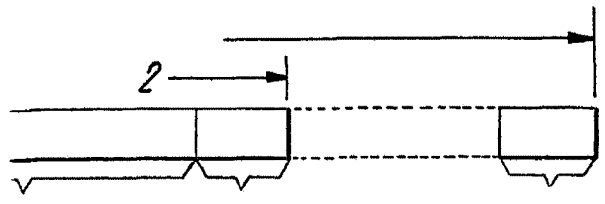


Fig. 2.



311-1-78



1.

b b+1 b+2 b+3

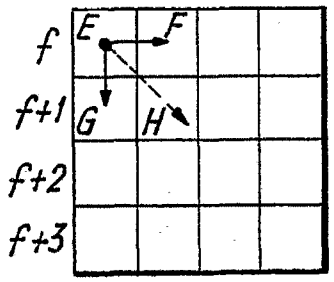


Fig.3.

11 MAR 1970



11 MAR 1970
L. J. BARROTT
Tampa, Florida



374478

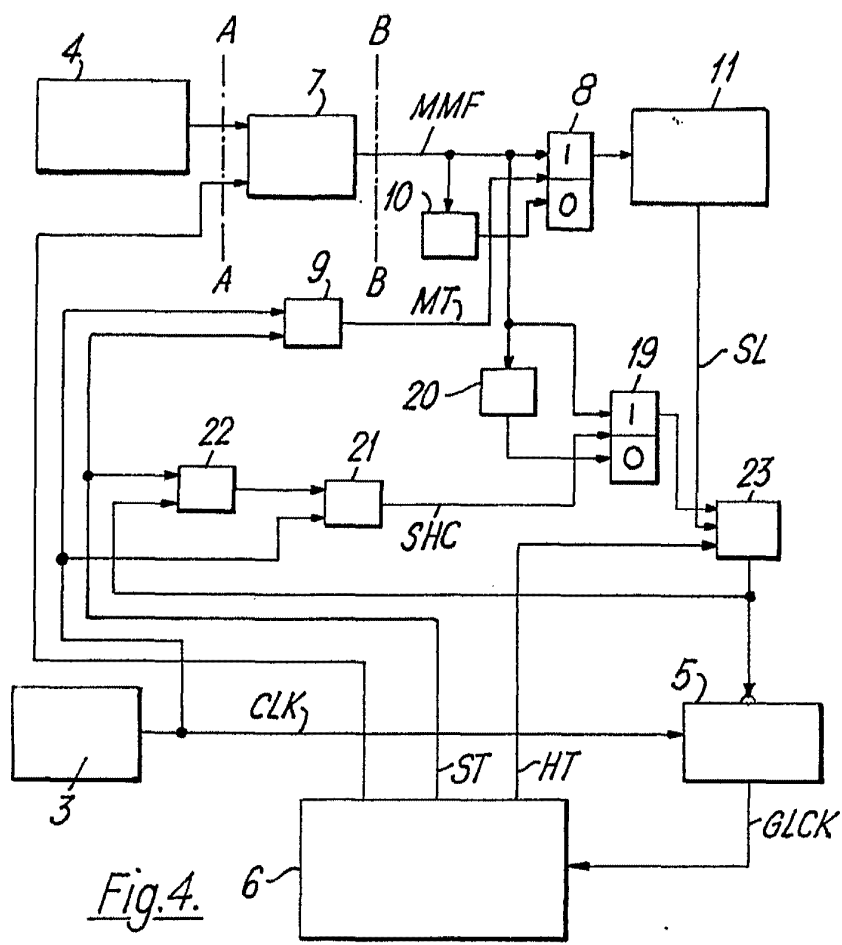
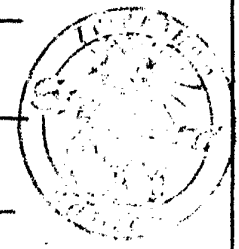
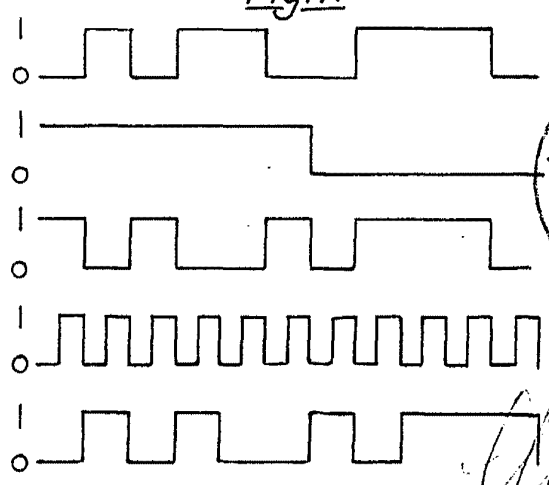


Fig. 4.

11 MAR. 1970

Fig. 7.

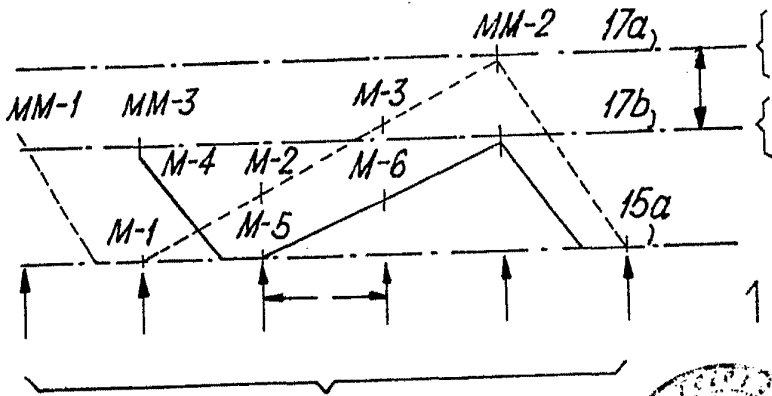
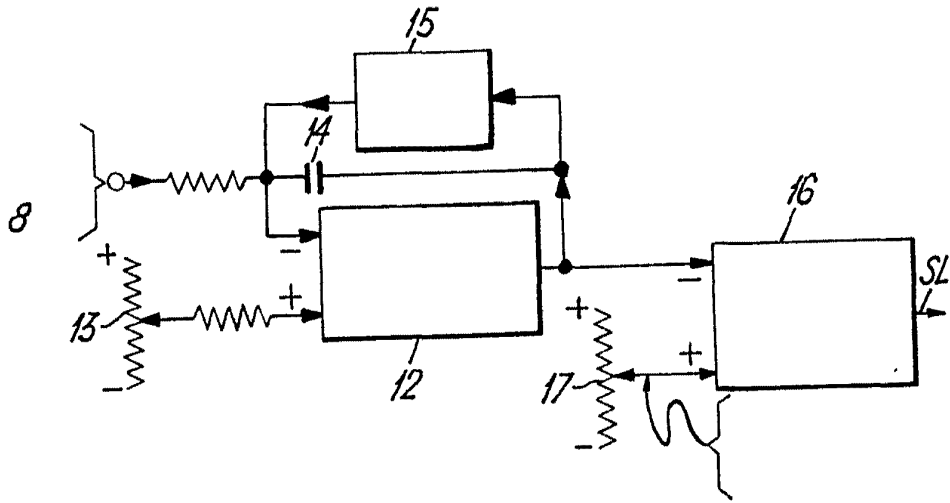


W. A. ...
STANDARD ELECTRICA S.A.



375478

Fig. 5.



11 MAR. 1970

Fig. 6.



Eugenio Rosso
EUGENIO ROSO
Secretario General



374158

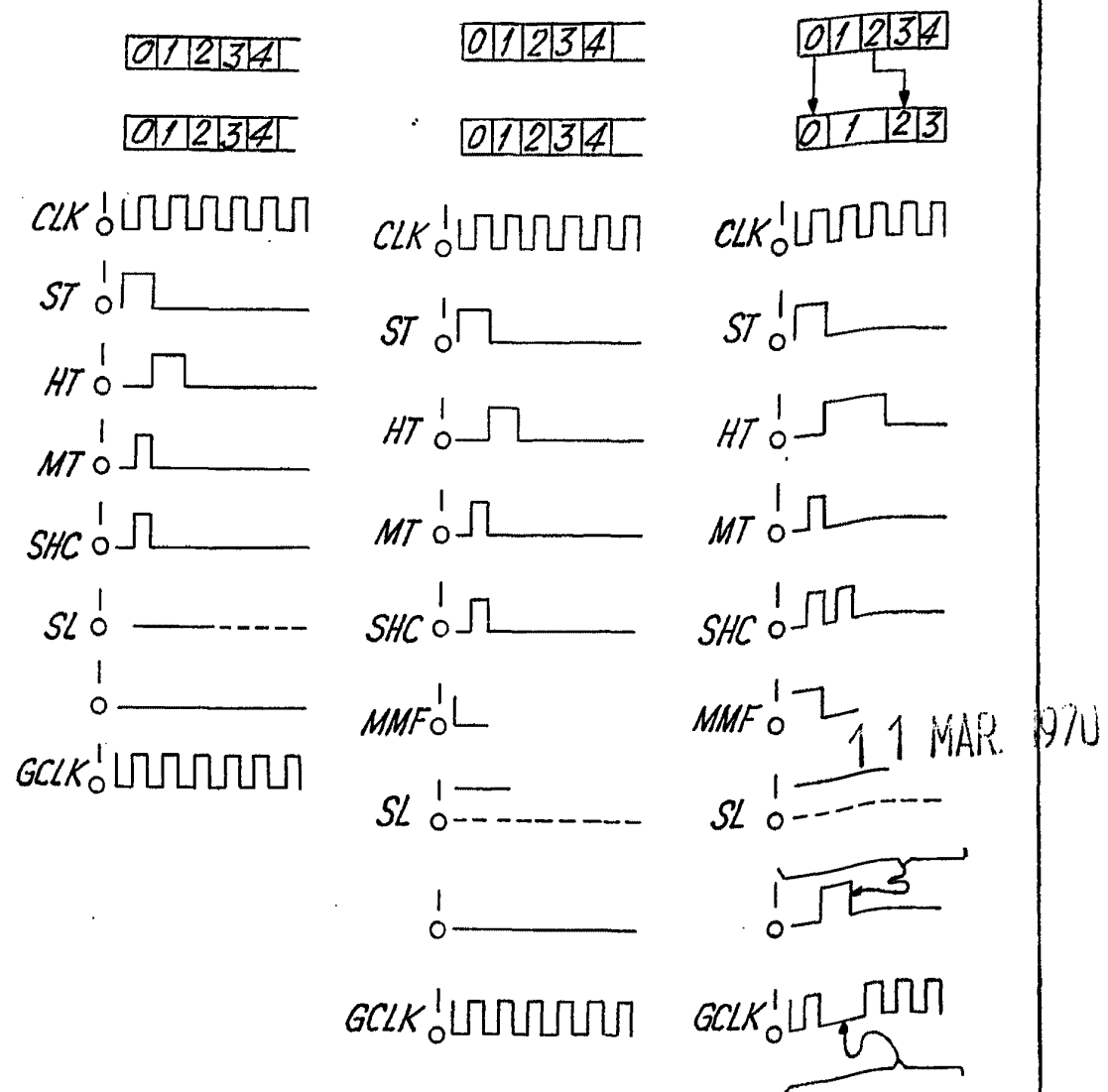


Fig. 8.

Fig. 9.

Fig. 10.

Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

EUGENIO BARROSO
Secretario General

M. Barru
Fig. 12.

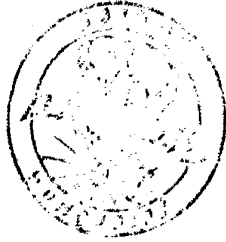
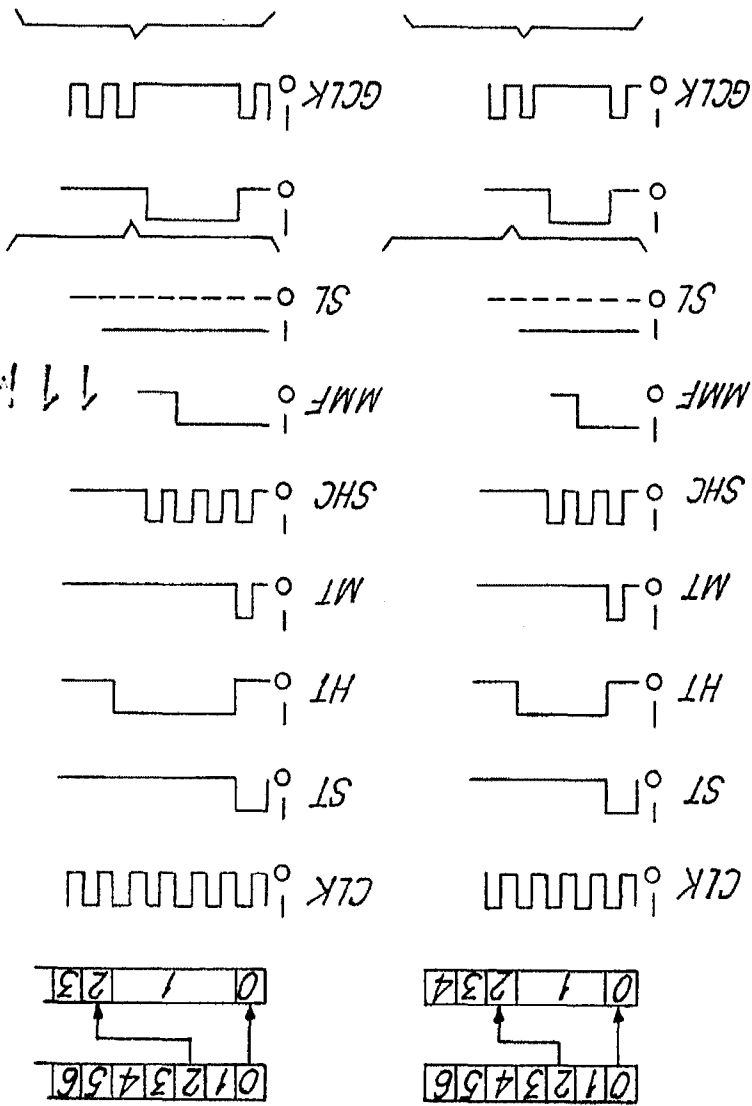


Fig. 11.



11 MAR 1970

37678



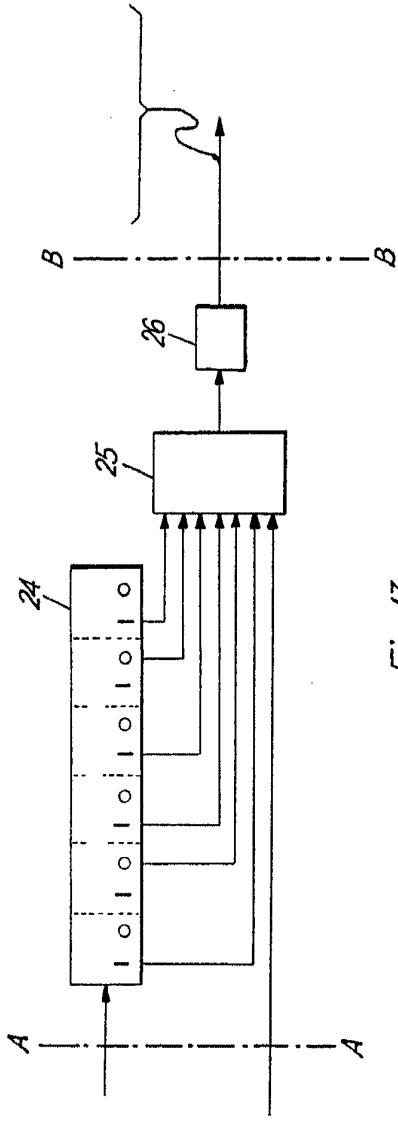


Fig. 13.

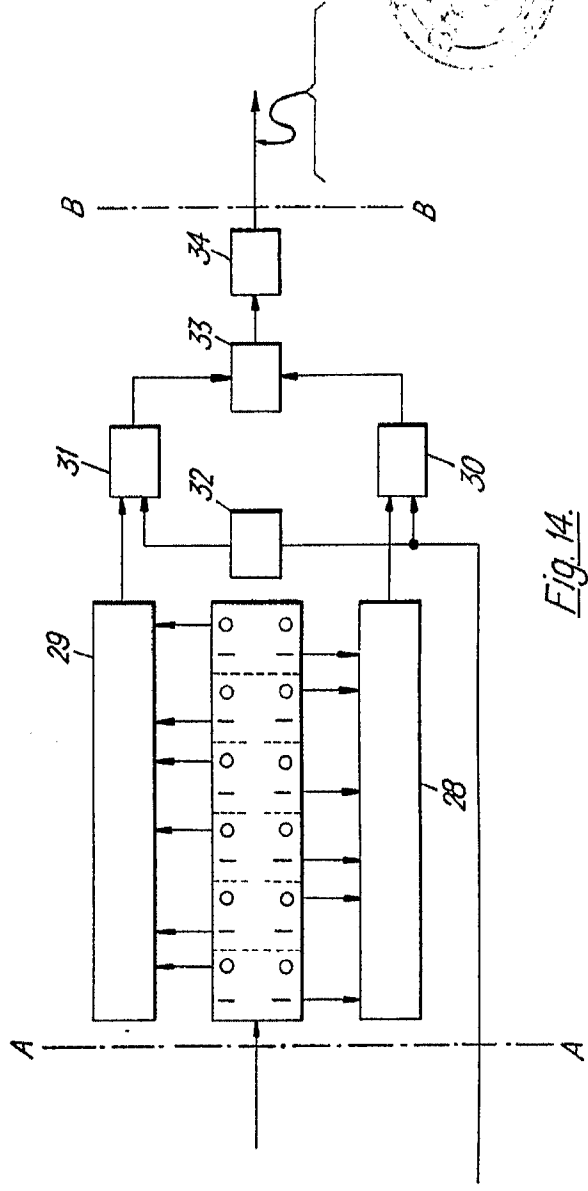


Fig. 14.

11 MAR 1970



Handwritten notes and scribbles in the top right corner, including what appears to be a date '7-11-70'.

37-273

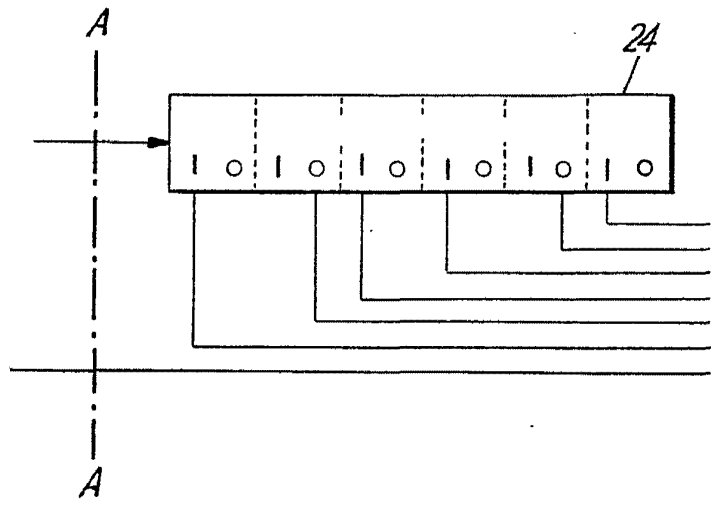


Fig. 13.

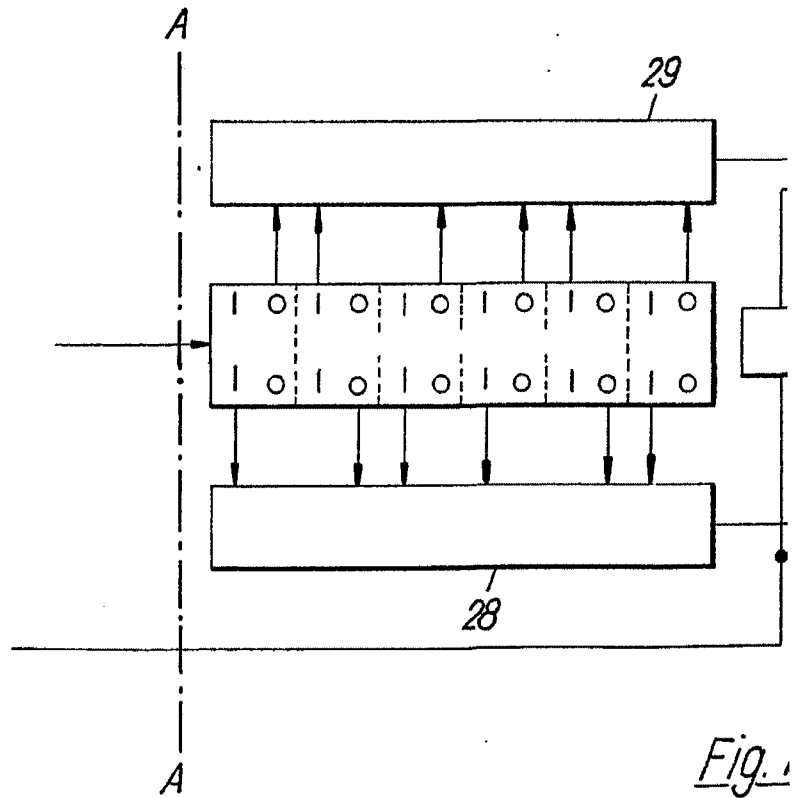
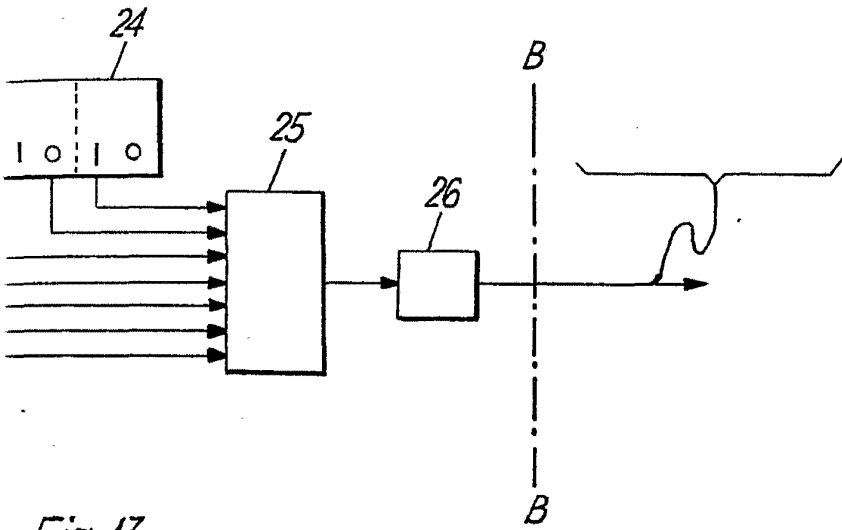
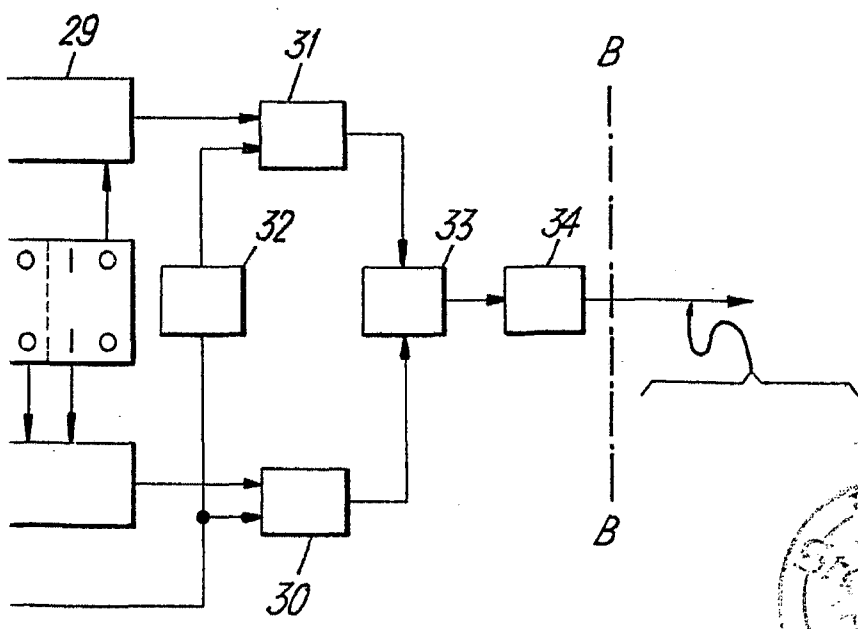


Fig. 14.



37 4 78

Fig. 13.



11 MAR. 1970



Fig. 14.

W. J. Williams
REGISTERED PATENT OFFICE
SPECIAL AGENT