

373 979



Memoria descriptiva

SECRET
CLASIFICACION
CLASE G 01
SUBCLASE d

para solicitar PATENTE DE INVENCION

por 20 años

a nombre de WESTINGHOUSE ELECTRIC CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en 3 Gateway Center, Pittsburgh, Pensilvania,
Estados Unidos de América

por: "UN DISPOSITIVO COMPARADOR SEGURO CONTRA FALLOS PARA
UTILIZARLO EN UN SISTEMA DE SEÑALES BINARIAS SERIADAS"
(Clase Internacional Gold)

21 EN



Este invento se refiere a un comparado del tipo de registro de desplazamiento a prueba de fallos para comparar dos señales seriadas binarias en progresión bitio a bitio de las señales. Más especialmente, se refiere a un
5 circuito para uso en un sistema de señales binarias que emplee un programa de codificación, tal como el denominado "código sin coma", que tiene una frecuencia mínima predeterminada de alternación entre los estados cero lógico y uno lógico.

10 En circuitos a prueba de fallos para uso en un sistema binario, cualquier posible condición de fallo de los mismos debe dar como resultado un modo de fallo predeterminado consistente en el mismo estado binario predeterminado en su salida. Asimismo, el modo de fallo predeterminado debe permitir que todo el sistema binario sea lleva-
15 do a un estado seguro en respuesta a él.

Una dificultad importante para conseguir seguridad contra fallos es que los pasos biestables de los registros de desplazamiento tienden intrínsecamente a fallar
20 en uno u otro de ambos estados de salida. Por ejemplo, la rotura de una resistencia, el fallo de un transistor o de un diodo, en un paso biestable, puede producir a veces una salida de cero lógico y a veces una salida de uno lógico,. La falta de seguridad contra fallos del comparador de registros de desplazamiento ha prohibido hasta ahora
25 su uso en aplicaciones que requieran construcciones seguras contra fallos, tales como el control de los ferrocarriles y las comunicaciones.

El objeto principal del presente invento es,
30 por consiguiente, crear un comparador de registros de des-

373979



plazamiento en el cual virtualmente cualquiera de sus posibles condiciones de fallo produce el mismo modo de fallo predeterminado, adecuado para hacer segura toda la organización.

5 Con este objeto a la vista, el presente invento consiste en un comparador seguro contra fallos para uso en un sistema de señales binarias seriadas que emplea tipos de secuencia de código binario predeterminadas con frecuencia mínima característica de alternación entre estados de se-
10 ñales de cero lógico y de uno lógico y con un primer registro de desplazamiento conectado a una primera portadora de señales de entrada y con una pluralidad de elementos de memoria biestables para recibir una primera señal de entrada, un segundo registro de desplazamiento conectado
15 a una segunda portadora de señales de entrada y con el mismo número de elementos biestables para recibir una segunda señal de entrada, caracterizado por un canal de transferencia de señales dinámicas que tiene un número correspondiente de matrices selectivas individuales lógi-
20 cas canales de transferencia, comprendiendo cada matriz selectiva lógica de canales de transferencia circuitos de transferencia primero y segundo conectados en paralelo y alternativamente abiertos, que son abiertos respectivamente en respuesta a adaptaciones predeterminadas respectivas
25 primera y segunda entre los estados lógicos en los elementos de memoria biestables correspondientes en la secuencia, de los registros de desplazamiento primero y segundo, y teniendo cada circuito de transferencia de cada matriz lógica circuitos primero y segundo de umbral y de puerta
30 de transferencia dinámica de señales, conectados en casca-

373979



21

da, que son conmutados a su estado de puerta abierta por la alimentación de corriente a su respectiva entrada de corriente, que tienen un umbral de señal de entrada predeterminado por debajo del cual el circuito no transferirá la
5 señal y que funcionan para reconstruir la señal de entrada en su salida de tal modo que cualquier circuito de umbral y de puerta de transferencia similar conectado a su salida puede ejecutar efectivamente tal acción de umbral, estando las entradas de corriente de los circuitos de umbral y de
10 puerta de transferencia de señales dinámicas primero y segundo conectados operativamente a uno y otro de los elementos biestables secuencialmente correspondientes de los registros de transferencia primero y segundo a través de medios de circuito de acoplamiento individuales primero y
15 segundo para adaptar una señal de salida de estado lógico predeterminado del elemento biestable como alimentación de corriente para el circuito de umbral y de puerta de transferencia de señales dinámicas asociado, estando destinados dichos medios de circuito de acoplamiento indivi-
20 duales primero y segundo a bloquear las señales que tengan una frecuencia de alternación entre los estados cero lógico y uno lógico por debajo de dicha frecuencia mínima de alternación.

Los circuitos de acoplamiento son circuitos selectivos que dejan pasar solamente una señal lógica dinámica que tenga una frecuencia de alternación entre los
25 estados de cero lógico y de uno lógico que exceda a la frecuencia mínima de alternación del código exento de coma. Los circuitos de umbral y de puerta de transferencia y los
30 circuitos de acoplamiento se emplean por pares, acoplando

373979

21E



el circuito de acoplamiento una señal lógica a la entrada de corriente del circuito de umbral y de puerta de transferencia de cada par. Cada matriz lógica comprende dos circuitos de transferencia. Uno de los circuitos de transferencia
5 consiste en dos de los citados pares conectados en relación serie. Uno de los dos pares está conectado operativamente al paso biestable de uno de los registros de desplazamiento para dar un estado de puerta de transferencia abierta en respuesta a su estado de cero lógico. El otro de
10 los dos pares está conectado operativamente al correspondiente paso biestable del otro registro de desplazamiento para dar un estado de puerta de transferencia abierta en respuesta a un estado de cero lógico del mismo. El segundo circuito de transferencia comprende dos pares similares
15 de circuitos, salvo que están operativamente conectados para abrir en respuesta a un estado de uno lógico de sus pasos biestables asociados. Estas matrices están conectadas en serie para formar un canal de transferencia de señales dinámicas abierto cuando el contenido de los registros de desplazamiento se corresponde mutuamente y un canal
20 cerrado si no se corresponden uno o más de los bitios. Una señal dinámica que tenga una frecuencia predeterminada es aplicada a la entrada del canal de transferencia y un detector selectivo de frecuencia cooperante está conectado
25 a la salida. El detector indica una comparación verdadera cuando es excitado. Si no coinciden uno o más bitios, el canal de transferencia será cerrado al menos seis períodos de bitios a medida que el bitio no acorde recorre los registros de desplazamiento.

30 El invento se comprenderá mejor por la siguiente



descripción de una realización preferida del mismo mostrada, a título de ejemplo solamente, en los adjuntos dibujos, en los cuales:

La figura 1 es un diagrama de bloques del objeto del invento;

la figura 2 es un diagrama de bloques agrandado del circuito rodeado por el anillo de puntos y trazos 2 de la figura 1; y

la figura 3 es un esquema eléctrico de ciertos componentes de las figuras 1 y 2.

Con referencia, ahora, al dibujo y, en particular, a la figura 1, el objeto del invento es un circuito comparador 10 para comparar dos señales binarias seriadas A y B. Las señales A y B son recibidas por dos registros bistables 12 y 14. Cada registro tiene seis biestables (habiéndose mostrado en el dibujo sólo los dos primeros y el último) que dan al circuito comparador 10 una capacidad de seis bitios. Está destinado a ser usado en un sistema de señales seriadas que emplee un programa de codificación que dé como resultado una frecuencia de alternación mínima predeterminada entre los estados de señales de uno lógico y de cero lógico en cualquier intervalo dado de señales seriadas A y B.

Con fines de ilustración del funcionamiento del circuito 10 en un sistema de señales seriadas que emplee un programa de codificación con una frecuencia de alternación mínima predeterminada, se supone que el circuito 10 se emplea como comparador de realimentación en uno del sistema de circuitos de vía múltiples descrito en una solicitud norteamericana por "Control de un vehículo a lo largo

373979



21E

de una trayectoria dividida en una pluralidad de bloques de
señal". El sistema de señales de dicha solicitud emplea
señales binarias seriadas en que los intervalos individua-
les sucesivos de seis bitios de las mismas son codificados
5 en uno de los siguientes de secuencias binarias:

101111

100111

100011

101011

10 100101

101001

100001

101000

100000

15 Estos códigos son los usuales y bien conocidos "códigos
exentos de coma". Permiten reconocer una situación de cir-
cuito seriada sin información de sincronización separada.
Un máximo de cinco bitios permanecen en un estado binario
lado con tal programa de codificación. La velocidad de
20 transmisión de los datos básicos del sistema de señales
es de 18 bitios por segundo. Por consiguiente, la frecuen-
cia mínima de alternación tiene un período que correspon-
de a $5/18$ de segundo. Ese sistema de señalización emplea
adaptación continua de intervalos de seis bitios de la
25 señal enviada en un extremo de un circuito de vía con la
señal según es recibida en el otro extremo de la señal del
circuito de vía.

Los registros de desplazamiento 12 y 14 son de
construcción usual de circuitos lógicos para c. c. Cada
30 uno consiste en una serie de biestables interconectados



operativamente para acción de registro de desplazamiento. El registro 12 comprende series de biestables FF1, FF2,... FF6 y el registro 14 consiste en series de biestables FF1', FF2',FF6'. Cada biestable tiene una salida regular Q y una salida de complemento \bar{Q} . Cuando se almacena un estado de uno lógico, se proporciona un voltaje de 47 voltios en la salida Q y un voltaje de cero voltios en la salida \bar{Q} . Cuando el biestable almacena un estado de cero lógico, se proporcionan cero voltios en la salida Q y 47 voltios en la salida \bar{Q} . Como es usual en el tratamiento de datos binarios, los registros 12 y 14 están comunmente sincronizados por señales de reloj.

El canal 18 de matrices lógicas es una serie secuencial de matrices idénticas de comparación lógica 22a, 22b, ...22f. Como las matrices de comparación lógicas son todas semejantes, servirá para todas ellas la siguiente descripción de la disposición de los componentes para la matriz 22a. Un conductor de entrada 24a se bifurca en dos canales paralelos consistentes en un canal de transferencia inferior 25a y un canal de transferencia superior 26a. En el ejemplo, la señal A puede ser la señal enviada en un extremo de un circuito de vía y la señal B la señal realimentada desde el otro extremo. En el sistema de funcionamiento existen circuitos multiplex intermedios. Se impone un retardo adecuado sobre la señal A, de modo que las correspondientes señales A y B de bitios binarios coincidan en el tiempo con fines de comparación. La presencia de señales coincidentes indica tanto que la sección de vía está sin ocupar como que no hay fallos en el sistema de señalización. La ausencia de una coincidencia da como re-

373979



21 ENERO 1970

sultado el funcionamiento de los controles del tren asociados para aplicar frenado a cualquier tren que esté a punto de entrar en el circuito de vía. Así, tal tren es frenado con fines de seguridad ya en el caso de que el circuito
5 block esté ocupado, ya en caso de fallo del sistema de señalización.

Los otros componentes principales del circuito comparador 10 comprenden un generador 16 de señales portadoras dinámicas, un canal 18 de matrices lógicas y un detector selectivo 20. El generador de señales 16 proporciona una señal de frecuencia predeterminada que es grande con relación a la frecuencia básica de los datos binarios del sistema. Esta señal es aplicada a la entrada del canal 18 de matrices lógicas. Un circuito 20 detector de frecuencia selectivo que constituye un conductor de entrada sintonizado está aplicado a la entrada de un primer circuito 27a de umbral y amplificador de c.a. conmutado por la corriente. Como se muestra mejor en la figura 2, la salida del circuito amplificador y de umbral 27a se aplica a un
15 segundo circuito 28a de umbral y amplificador de c.a., conmutado por la corriente. En el conductor de entrada 24a del canal de transferencia superior se aplica como entrada a un primer circuito 30a de umbral y amplificador de c.a., conmutado por la corriente, y su salida se aplica a la entrada de un segundo circuito 32a de umbral y amplificador de c.a., conmutado por la corriente. Las salidas de los circuitos amplificadores y de umbral 28a y 32a son reunidas en un punto de integración simple 34a y pasan desde la matriz 22a a lo largo de un único conductor de salida. Cada uno de los circuitos amplificadores y de umbral 27a, 28a,
20 25 30

373979



30a y 32a tiene un terminal P de entrada de corriente además de su entrada y salida de señal regulares. Esto se muestra en detalle general en el diagrama de bloques de los circuitos amplificadores y de umbral 27a y 28a de la figura 2, y se muestra en detalle más específico en el esquema del circuito amplificador y de umbral 27a de la figura 3. La entrada de corriente del circuito amplificador y de umbral 27a está conectada a la salida Q del biestable FF1' a través de un circuito selector de señales dinámicas 36a de pasa-altos. La entrada de corriente del circuito amplificador y de umbral 28a está conectada al terminal de salida Q del biestable FF1 a través de otro de tales circuitos selectivos 38a. Análogamente, en el canal de transferencia superior 26a, las entradas de corriente de los circuitos amplificadores y de umbral 30a y 32a están conectadas a los terminales de salida \bar{Q} de los biestables FF1 y FF1' a través de circuitos selectivos de señales dinámicas 40a y 42a, de pasa-altos, respectivamente. El conductor de salida del punto de integración 34 de cada matriz 22 está conectado al conductor de entrada 24 de la matriz sucesiva siguiente:

Hacemos ahora referencia a la figura 3 para una descripción detallada del circuito de umbral y amplificador de c.a. 27a, conmutado por la corriente, y del circuito selectivo de señales dinámicas de pasa-altos 36a. De nuevo, todos los circuitos amplificadores y de umbral y todos los circuitos selectivos de señales dinámicas empleados en la construcción del canal de matrices lógicas 18 son semejantes, de modo que la descripción de uno de ellos servirá para todos. El circuito de umbral y amplifi-

373979



cador 27a comprende un transistor de conmutación 44 PNP de uso general. El emisor está devuelto a una conexión de masa 46. El colector está devuelto al terminal P de entrada del potencial de funcionamiento para el circuito. La
5 entrada de señales se aplica a un circuito 50 de entrada de excitación de la base, que está dispuesto de la manera usual para funcionar además como circuito de umbral que utiliza el voltaje de conducción en sentido directo de la unión base-emisor para proporcionar la acción de umbral.
10 Los valores de los componentes de esta disposición se eligen de manera que una señal que esté nominalmente por debajo del valor normal de la señal procedente del generador 18 de portadora de señales dinámicas no supere el umbral ni accione el transistor. La salida del transistor 44 es
15 acoplada a través de un circuito atenuador 52 del circuito colector. El circuito atenuador 52 reduce la amplificación total del paso a la unidad. La reducción de la amplificación a la unidad se hace para permitir que la acción de umbral de cada circuito amplificador y de umbral sea eficaz en
20 una conexión en cascada con circuitos amplificadores y de umbral sucesivos. Por ejemplo, el atenuador 52 devuelve el valor de salida del paso 27a al mismo que tiene el generador 16 de portadora de señales dinámicas. Esto se hace para permitir que el circuito de excitación de la base
25 se del circuito amplificador y de umbral inmediatamente siguiente 28a realice una acción de umbral eficaz sobre su entrada, precisamente como si la señal fuera aplicada directamente a ella desde el generador 16. El circuito 50 de excitación de la base y el 52 de atenuación de la salida
30 da contendrán en algunos casos componentes que forman par-

373979



te de los acoplamientos y de las entradas y las salidas de los pasos inmediatamente anterior y posterior. Un ejemplo de tal caso es cuando se usan transformadores reductores tanto como acoplamientos como en calidad de atenuadores.

§ El circuito 50 de excitación de la base y el 52 de atenuación de la salida están también contruídos para realizar una función de bloqueo para la corriente continua. Por ejemplo, el empleo de transformadores realizará esta función. El circuito 50 de entrada de excitación de la base y
10 el 52 de atenuación de la salida son, además, de un tipo de construcción que tiene cualidades inherentes de seguridad contra fallos de tal modo que el paso de circuito de umbral y amplificador de c.a. conmutado por la corriente tendrá el modo de fallo predeterminado sin salida de señales dinámicas. En una solicitud de patente española
15 nº. 374.019, se describen diversas construcciones de seguridad contra fallos que resultan adecuadas. Esa misma solicitud describe también circuitos de umbral y amplificadores de c.a. conmutados por la corriente que tienen un tipo de
20 acción de umbral para las señales basado en la excitación de un circuito trampa sintonizado a la salida del amplificador y no por la acción de la unión base-emisor. Debe comprenderse que esta construcción de circuito del último tipo puede sustituir a la del tipo que hace uso de la acción
25 de umbral por la unión base-emisor.

La entrada al circuito selectivo pasa-altos 36a es un conmutador de dos transistores que comprende un transistor PNP 54 y un transistor NPN 56 con sus dos colectores conectados a un punto común 58 del circuito. El emisor
30 del transistor 54 está conectado a una alimentación de 6

373979



voltios y el del transistor 56 está devuelto a masa en 46. La señal procedente de la salida Q del biestable FF1' entra en el circuito 36a en un terminal de entrada 59 y es aplicada a las bases de los transistores. Un condensador 5 60 de memoria alargador de los impulsos está conectado entre el punto 58 del circuito y un terminal de salida 62 del circuito 36a. Un diodo 64, que sirve como interruptor unidireccional, está dispuesto en el circuito 36a con su ánodo conectado al condensador 60 y su cátodo conectado a 10 masa. El terminal de salida 62 del circuito selectivo 36 está conectado al terminal 48 de entrada de corriente del circuito 27a de umbral y amplificador. El condensador 60 de memoria y alargador de los impulsos se elige para que sea lo bastante grande para cooperar con la acción de con- 15 mutación de los transistores 54 y 56 para dar una salida predeterminada de impulsos alargados que proporcionará el necesario potencial de funcionamiento para el transistor 44 del circuito 26a para el período de 5/18 de segundo antes mencionado (que corresponde a la frecuencia mínima 20 de alternación de estado binario inherente al programa de codificación en binario). Un valor típico sería el de 300 microfaradios, según es determinado por el valor de la corriente que circula por el transistor 44.

El circuito 27a de umbral y amplificador y el 25 circuito 36a selectivo de señales dinámicas operan conjuntamente para dar paso discriminado en el canal de transferencia inferior 25a en respuesta a cambios de estado en el biestable FF1'. El generador de señales 16 aplica la señal dinámica al circuito 50 de excitación de la 30 base del circuito 37a de umbral y amplificador. El transis-

373979



tor 44 no amplificará la señal para dejarla circular al
paso sucesivo a menos que se aplique un potencial nominal
de funcionamiento de 6 voltios al terminal de entrada de
corriente P. Un cambio de estado del biestable FF1' desde
5 su estado de uno lógico al estado de cero lógico hace que
la entrada al circuito 36a caiga a cero voltios desde +7
voltios. Esto conmuta a conducción al transistor 54 hacien-
do que el punto 58 del circuito se haga positivo. El con-
densador 60 es cargado momentáneamente a los 6 voltios de
10 la alimentación de corriente a través del circuito de car-
ga rápida por el diodo 64. El diodo 64 limita también el
potencial en el terminal de salida 62 y, a su vez, en la
entrada P, a un valor muy próximo a masa. Esto pone fuera
de conducción el transistor 44 del circuito de umbral y
15 amplificador 27a. La señal no es dejada pasar por el cir-
cuito de umbral y amplificador 27a y el canal de transfe-
rencia inferior 25a es mantenido cerrado. Un cambio de es-
tado del biestable FF1' desde su estado de cero lógico a
su estado de uno lógico hace que se apliquen +7 voltios a
20 la entrada 59, lo que pone en conducción el transistor 56.
El potencial en el punto 58 del circuito cae a masa. En es-
te caso, no hay un circuito para la descarga rápida del con-
densador 60 porque el diodo 64 no se pondrá en conducción
en respuesta al voltaje de masa en el punto 58 del circui-
25 to. La carga de voltaje permanece en el condensador 60 ha-
ciendo que el terminal de salida 62 caiga a -6 voltios,
proporcionando energía para el transistor 44. El circuito
de umbral y amplificador 27a dejará pasar la señal de c.a.
y actuará así como puerta de transferencia abierta en el
30 canal de transferencia inferior 25a. Si el estado lógico

373979



del biestable cambiara de nuevo al estado de cero lógico antes de que se anule la carga en el condensador 60 de memoria de alargamiento de los impulsos, el transistor 54 será puesto de nuevo en conducción. El punto 58 del circuito sube a 16 voltios, haciendo que el diodo de conmutación 64 devuelva el terminal 62 a cerca del potencial de masa. El canal de transferencia inferior 25a es cerrado. Si no hay cambio al estado de cero lógico durante todo el período de la frecuencia mínima de alternación, el condensador de memoria y alargamiento de los impulsos retendrá su carga. Esto puede suceder, por ejemplo, con el paso de dos palabras de código sucesivas, 10111, a través del registro de desplazamiento 14. Como se hizo observar antes la acción alargadora de los impulsos del condensador 60 viene determinada por la elección de su valor con relación al de la corriente a través del transistor 44. Cuando la carga a su través disminuye hasta cierto punto, el transistor 44 dejará de amplificar la señal de la portadora dinámica para que exceda suficientemente el valor umbral del pase siguiente, cerrando así el canal de transferencia inferior 24a de la matriz 22a. Se determina de antemano que la carga del condensador disminuirá hasta este punto nominalmente justo después del período de mínima frecuencia de alternación del código.

La combinación de circuito de umbral y amplificador de c.a. conmutado por la corriente, 27a, y circuito selectivo dinámico de paso alto 36a se denomina a veces "puerta Y segura contra fallos" (es decir, en el contexto de sistemas de señales binarias que usan un programa de codificación que tiene una frecuencia mínima predeterminada

373979



de alternación).

El circuito selectivo de frecuencia, 20, es con preferencia de un tipo de construcción que comprende un transformador como acoplamiento de entrada y un dispositivo de cristal selector de frecuencia con un diodo conectado a su través. Puede demostrarse que cualquier fallo de este tipo de construcción da como resultado un modo de fallo con salida cero, que permite fácilmente la adaptación del sistema conjunto al fallo de una manera segura.

Uno de los tipos de construcción de circuito de entrada 50 de excitación de base y circuito 52 de atenuación de la salida emplea un modo de funcionamiento que usa las cualidades de auto-oscilación del primario de un transformador al cesar la conducción de corriente. En casos en que los circuitos de umbral y amplificadores conmutados por la corriente sean de este tipo de construcción, el generador de señal portadora es, con preferencia, del tipo de construcción descrito en esta Memoria como adecuado para la construcción del tipo auto-oscilante.

El funcionamiento del circuito comparador 10 será descrito ahora en relación con diversas secuencias de señales seriadas hipotéticas en los biestables 12 y 14. En primer lugar, supongamos que la señal A ha producido una secuencia 10 ... 0 en los biestables FF1, FF2...FF6, respectivamente, y que la señal B ha producido una secuencia similar en los biestables FF1', FF2',FF6'. Supongamos también que la señal A y la señal B son ambas normalmente dinámicas. El estado de uno lógico en FF1 hace que se apliquen +7 voltios en su salida Q, lo que activa el circuito selectivo de señales dinámicas 36a para dar un potencial

373979



de trabajo de -6 voltios al transistor 44, en el circuito de umbral y amplificador de c.a. 27a conmutado por la corriente. Análogamente, el estado de uno lógico en FF1' hace que se apliquen +7 voltios en su terminal Q, lo que hace que se aplique el potencial de funcionamiento al circuito 28a de umbral y amplificador. Los amplificadores 27a y 28a actúan como puertas de transferencia abiertas para la señal de portadora dinámica. Los estados de cero lógico en los terminales \bar{Q} de los biestables FF1 y FF1' dan como resultado la aplicación de potencial cero a los terminales de corriente de entrada de los circuitos amplificadores y de umbral 30a y 32a, de modo que actuarán como puertas de transferencia cerradas para la señal de portadora dinámica. La señal de portadora dinámica procedente del manantial 16, por consiguiente, se desplaza a través del canal de transferencia inferior 25a y es aplicada al conductor de entrada de la matriz 22b. Los estados de cero lógico en FF2 y FF2' dan como resultado voltajes en sus salidas \bar{Q} que excitan los amplificadores del canal de transferencia superior 26a. Los voltajes en las salidas Q hacen que los circuitos amplificadores y de umbral del canal de transferencia inferior 25a sean desconectados. La señal de portadora, por consiguiente, pasa por la matriz 22b a lo largo del canal de transferencia superior 26a y es aplicada al siguiente circuito. Similarmente, la portadora dinámica es hecha pasar a través del canal de transferencia superior o del inferior de matrices sucesivas. Desde la salida de la matriz 22f, es aplicada al detector selectivo de frecuencia 20. La salida del circuito 20 es la indicación de que las señales de los registros 12 y 14

373979



están mutuamente adaptadas. El programa básico de cada ma-
triz 22 resulta evidente por la anterior descripción de su
funcionamiento. Cada matriz 22 está asociada con un par de
biestables consistentes en los biestables que se correspon-
5 den en la secuencia de los registros 12 y 14, respectiva-
mente. La matriz consiste en los canales de transferencia
superior e inferior conectados en paralelo. Cada canal de
transferencia, a su vez, consiste en los primero y segundo
10 circuitos amplificadores de c.a. y de umbral, de amplifi-
cación unidad, conmutados por la corriente y conectados en
serie que funcionan como pasos de transferencia de la se-
ñal dinámica. La presencia de estados de uno lógico mutua-
mente coincidentes en el par de biestables, junto con una
15 característica dinámica normal de las señales A y B, da
como resultado un canal de transferencia inferior 25 abier-
to. La presencia de estados de cero lógico mutuamente coin-
cidentes en el par de biestables, junto con la presencia de
características dinámicas normales de las señales A y C, da
20 como resultado un canal de transferencia superior abierto
26. Los circuitos amplificadores y de umbral 27a, 28a, 30a
y 32a pueden caracterizarse como circuitos de umbral y de
puerta de transferencia de señales dinámicas, conmutados
por la corriente.

Para otro caso hipotético supongamos que una
25 señal A produce una secuencia 0, 0 ...0 en los biestables
FF1, FF2, ...FF6 y la señal B produce una secuencia 1, 0
... 0 en los biestables FF1', FF2'....FF6'. El estado de
cero lógico en el biestable FF1 hace que el circuito de
umbral y amplificador 28a sea puesto fuera de conducción
30 y que el circuito de umbral y amplificador 30a sea puesto

373979



en conducción. El biestable FF1' con estado de uno lógico hace que el circuito de umbral y amplificador 27a sea puesto en conducción y que el circuito de umbral y amplificador 32a sea puesto fuera de conducción. La señal de portadora puede pasar por el circuito de umbral y amplificador 30a del canal superior, pero no seguirá más adelante ya que el circuito de umbral y amplificador 32a está fuera de conducción. La señal pasará por el circuito de umbral y amplificador 27a del canal inferior pero no seguirá más adelante ya que el circuito de umbral y amplificador 28a está fuera de conducción. La portadora no pasará por la matriz 22a porque no hay coincidencia de los estados lógicos de FF1 y FF1'. El circuito selectivo de frecuencia 20 tendrá una salida cero, que indica que los contenidos de los registros de desplazamiento no coinciden. Obsérvese que incluso si la falta de coincidencia está en un bitio, la salida del canal 18 de matrices lógicas faltará para al menos 6 bitios ya que la falta de coincidencia de un bitio se propaga por los registros de desplazamiento 12 y 14.

Supongamos ahora que las señales A y B dan como resultado de algún modo la presencia de la secuencia 000000 en ambos registros 12 y 14. Esta es una secuencia no autorizada que no se corresponde con los nueve grupos predeterminados de secuencias usados en la codificación. Como no ha habido cambio del estado de cero lógico al estado de uno lógico en los biestables FF1 y FF1' dentro de los cinco períodos de bitios precedentes, las cargas de los condensadores de memoria y de alargamiento de los impulsos de los circuitos selectivos de señales dinámicas 40a y

373070



42a, que fueron causadas por el primer cero lógico de la
secuencia, habrán disminuido hasta el punto de que los cir-
cuitos de umbral y amplificadores 30a y 32a estén fuera de
conducción. Por consiguiente, la señal procedente del manan-
5 tial 18 no pasará por el circuito lógico 22a. Similarmente,
si las señales A y B han llenado de algún modo los regis-
tros 12 y 14 con la secuencia 111111, los circuitos de um-
bral y amplificadores 26a y 28a serán puestos fuera de con-
ducción por la disminución de las cargas de los respecti-
10 vos condensadores de memoria y de alargamiento de los im-
pulsos.

Son características importantes del circuito 10
las siguientes: El fallo de cualquiera de los biestables
usuales de los registros de desplazamiento 14 y 16 hace que
15 sean "congelados" en un estado que causará un modo de fa-
llo con salida cero (es decir, la salida del detector 20).
Virtualmente, cualquier fallo de los circuitos de umbral y
amplificadores de c.a. conmutados por la corriente o del
circuito selectivo de señales dinámicas de paso alto provo-
20 cará un modo de fallo de los mismos en el cual no trans-
ferirán la señal de portadora. Esto, a su vez, causa un
modo de fallo con salida cero del circuito 10. La presen-
cia estática de estados todos de cero lógico en todos los
biestables de ambos registros de desplazamiento 12 y 14,
25 o cualquier otra falta de coincidencia salvo las secuencias
estáticas, produce una señal de comparación no verdadera
desde la salida del circuito 10. Esta última característi-
ca es importante porque tal falta de coincidencia, salvo
las condiciones estáticas, es posible como resultado de
30 un denominado "fallo correlacionado" que afectaría a ambos

373979



registros de desplazamiento. Como se hizo notar, si uno de los bitios está fuera de coincidencia, entonces la salida faltará durante al menos seis períodos de bitios.

La presente solicitud, que corresponde a la presentada en Estados Unidos de América el 3 de Diciembre de 1968 bajo el nº. 780.661, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

REIVINDICACIONES

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Un dispositivo comparador seguro contra fallos para utilizarlo en un sistema de señales binarias seriadas que utiliza pautas predeterminadas de secuencia de código binario, que tienen una frecuencia mínima característica de alternación entre estados de señales CERO lógico y UNO lógico y que tienen un primer registro de desplazamiento conectado a una primera portadora de señales de entrada y que tiene cierto número de elementos de memoria biestables, para recibir una primera señal de entrada, un segundo registro de desplazamiento conectado a una segunda portadora de señales de entrada y que tiene el mismo número de elementos biestables para recibir una segunda señal de en-

373979



trada, caracterizado por un canal de transferencia de se-
ñales dinámicas que tiene un número correspondiente de ma-
trices de canales de transferencia, lógicas, selectivas,
individuales, comprendiendo cada matriz de canal de trans-
5 ferencia lógica, selectiva, primera y segunda trayectorias
de transferencia ABIERTAS, alternativamente conectadas en
paralelo, que son respectivamente ABIERTAS en respuesta a
primera y segunda igualaciones predeterminadas, respecti-
vas, entre los estados lógicos en los elementos de memoria
10 biestables, secuencialmente correspondientes, del primero
y segundo registros de desplazamiento, y teniendo cada
trayectoria de transferencia de cada matriz lógica prime-
ro y segundo circuitos de umbral y de puerta de transfe-
rencia de señales dinámicas, conectados en cascadas, los
15 cuales son conmutados a su estado de puerta ABIERTA sumi-
nistrando energía a su entrada de energía respectiva, que
tienen un umbral de señales de entrada predeterminado, por
debajo del cual el circuito no transferirá la señal y que
actúan para reconstruir la señal de entrada en su salida,
20 de tal manera que cualquier circuito similar de umbral y
de puerta de transferencia, conectado a su salida, puede
realizar efectivamente tal acción de umbral; las entradas
de energía del primero y segundo circuitos de umbral y de
puerta de transferencia de señales dinámicas, están ope-
25 rativamente conectadas al uno y al otro de los elementos
biestables secuencialmente correspondientes del primero y
segundo registros de desplazamiento, a través de pri-
mero y segundo medios de circuito de acoplamiento indivi-
duales, para adaptar una señal de salida de estado lógi-
30 co predeterminado del elemento biestable, como el suminis-



tro de energía para el circuito asociado de umbral y de
puerta de transferencia de señales dinámicas, estando des-
tinados dichos primero y segundo medios de circuito de aco-
plamiento individuales, a bloquear señales que tienen una
5 frecuencia de alternación entre estados CERO lógico y UNO
lógico por debajo de dicha frecuencia mínima de alterna-
ción.

2.-Un dispositivo comparador según la reivindica-
ción 1, caracterizado porque cada uno de dichos circuitos de
10 umbral y de puerta de transferencia de señales dinámicas,
comprende un amplificador de ganancia unidad, que incluye
un dispositivo de amplificación activo que tiene un primer
electrodo de control y segundo y tercero electrodos de po-
tencial de funcionamiento, proporcionando la entrada de ener-
15 gía asociada con los mismos, un potencial de funcionamiento a
través de los electrodos segundo y tercero.

3.- Un dispositivo comparador según las reivindi-
caciones 1 ó 2, caracterizado porque cada uno de dichos me-
dios de circuito de umbral y de puerta de transferencia de
20 señales dinámicas incluye unos medios de bloqueo de señales
de corriente continua.

4.- Un dispositivo comparador según las reivindi-
caciones 1, 2 ó 3, caracterizado porque cada uno de los
elementos de memoria biestables del primero y segundo regis-
25 tros de desplazamiento tiene una salida REGULAR y una salida
COMPLEMENTADA, en que aparecen primera y segunda señales de
potencial predeterminado al alternar el elemento de memoria
biestable entre sus estados, siendo operativos los medios
de circuito de acoplamiento individuales, para adaptar una
30 predeterminada de dichas señales de potencial como suminis-

373979



tro de energía para el circuito asociado de umbral y de
puerta de transferencia de señales dinámicas, estando co-
nectados los medios de circuito de acoplamiento individua-
les, a una predeterminada de las salidas REGULAR y COMPLE-
5 MENTADA del elemento de memoria biestable asociado, para
hacer que la trayectoria de transferencia de la matriz ló-
gica asociada ABRA en respuesta a la igualación predeter-
minada, asociada, entre estados lógicos en los elementos de
memoria biestables asociados, correspondientes secuencial-
10 mente.

5.- Un dispositivo comparador según la reivindicación 4, en cuanto depende de la reivindicación 3, caracteri-
zado porque cada uno de los medios de circuito de acoplamiento
15 individuales comprende unos medios de alargamiento de im-
pulsos para alargar un cambio a la citada de las señales
potenciales, incluyendo dichos medios de alargamiento de
impulsos una memoria de alargamiento de impulsos que
cambia a un segundo estado de memoria de alargamiento de
impulsos desde un estado de referencia de memoria de alar-
20 gamiento de impulsos, para proporcionar el impulsos alarga-
do, y unos medios para restablecer la memoria de alarga-
miento de impulsos a su estado de referencia, en respuesta
al cambio a la otra señal de potencial.

6.- Un dispositivo comparador según cualquiera de
25 las reivindicaciones 1 a 5, caracterizado por un manantial
de señales para aplicar una señal dinámica que tiene una
frecuencia predeterminada, al lado de entrada del canal
de transferencia de señales dinámicas, y un circuito se-
lectivo de frecuencia, cooperante, conectado al lado de
30 salida.

373979



7.- Un dispositivo comparador seguro contra fallos para utilizarlo en un sistema de señales binarias seriadas.


5 Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y con los fines que se han especificado.

Esta Memoria consta de veinticinco hojas escritas a máquina por una sólo cara.

Madrid,

P. A. 7 FEB. 1970

Alberto de Llanusa
Per Fodet



4.2.70

373979

BPD/.

373 000

21

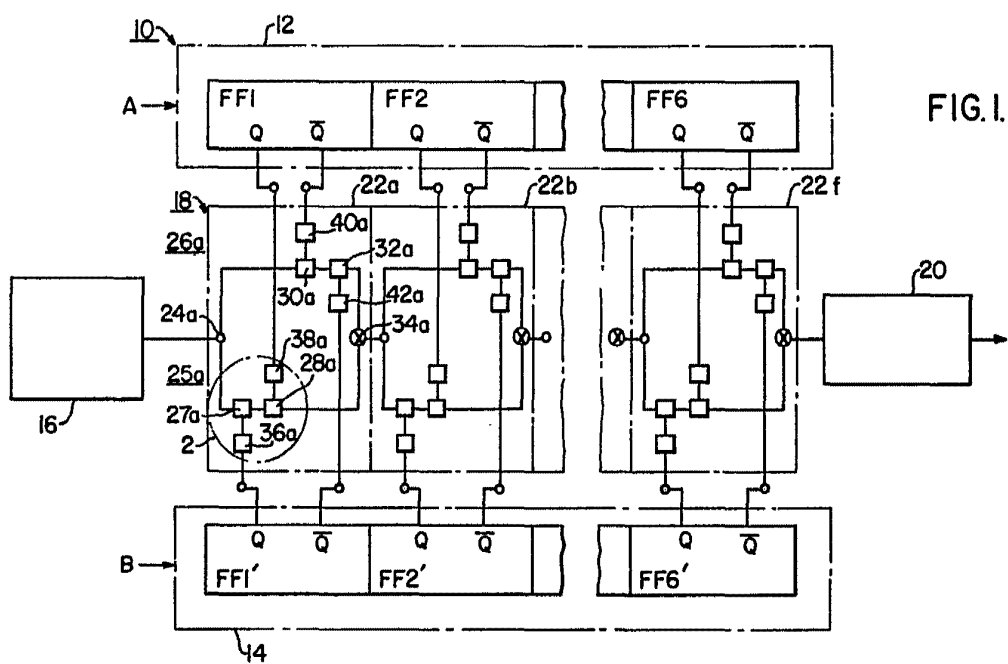


FIG. 1.

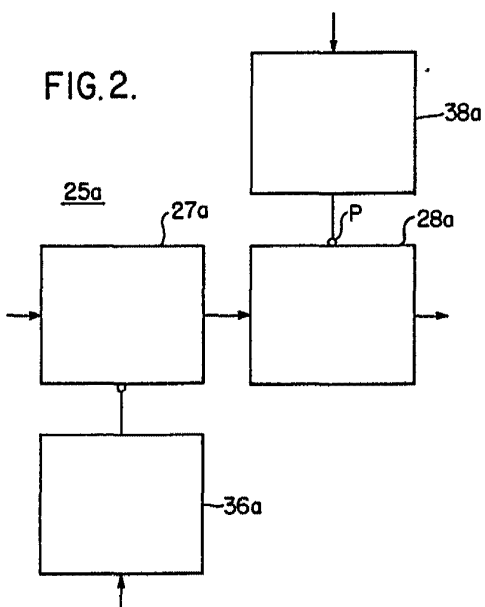


FIG. 2.

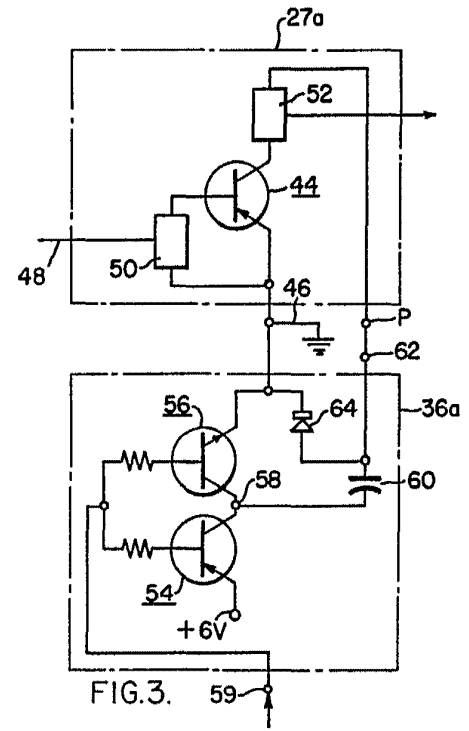


FIG. 3.

Invention
 Filed
 For Pat.