

373 182

- 2 -



interruptores estáticos de conmutación en estado sólido, dispositivo destinado mas particularmente al caso en que la corriente que circula en la carga presente alteraciones profundas y rápidamente variables con respecto a la forma sinusoidal ideal.

5.

Por conmutación sincrónica, se quiere decir que el corte de una toma y el enclavamiento de la toma inmediata tienen lugar prácticamente al mismo tiempo.

10.

En ciertas aplicaciones industriales, la corriente suministrada en la carga no es sinusoidal, ni siquiera aproximadamente: en una subestación de tracción monofásica, en particular, la corriente suministrada por el transformador no tiene en general ya nada de sinusoidal, sobre todo si la porción de catenaria alimentada es recorrida por locomotoras a rectificadores controlados: las elevaciones oscilográficas muestran que en este caso por el hecho de las múltiples variaciones de carga, la corriente puede adoptar una forma un tanto aleatoria.

15.

Por otra parte, es conocido en especial por las patentes francesas de la Entidad solicitante números 1.514.361 por "dispositivo de conmutación en carga" y 1.522.557 por "dispositivo de conmutación en carga con preselector", aplicar a dos pares de tiristores que funcionan en interruptores en correlación con un preselector mecánico de toma, una serie de accionamientos que se suceden según un orden preestablecido, que llevan con toda seguridad de la situación de partida (enclavamiento sobre toma número n) a la situación de llegada (enclavamiento sobre toma número $n + 1$).

20.

En dicha conmutación que se opera de ordinario a un nivel de potencia elevado (por ejemplo varios millares de Ki

25.

30.



373182 - 3 -

5 NOV 1968

lovaticos), y que pone en juego una instalación costosa, es absolutamente imperativo que la conmutación, hecha necesaria por las variaciones de régimen, que son frecuentes en particular en la tracción, pueda efectuarse sin poner en peligro el transformador ni los órganos accesorios.

5.

Los principales peligros que amenazan la instalación son los siguientes:

- cierre simultáneo de los dos interruptores en estado sólido en serie, respectivamente, con dos tomas adyacentes cuyo intervalo define un escalón de corrección de tensión; de ello resulta un "corto circuito de escalón" que tiene como consecuencia la destrucción del transformador;

10.

- paso demasiado prolongado de la corriente de carga en los elementos denominados de protección, elementos de

15.

circuito en estado sólido previstos para transitar la corriente de carga durante un intervalo muy breve, en donde los dos interruptores en estado sólido son abiertos (en efecto la corriente de carga no debe en ningún momento ser interrumpida). Este intervalo no sobrepasa normalmente más

20.

que algunas centenas de microsegundos. Si los dos interruptores en estado sólido permanecen abiertos durante varios milisegundos o más, los elementos de protección son incapaces de absorber tal cantidad de energía y son destruidos.

25.

Con las disposiciones conocidas, especialmente por las patentes citadas, se puede resolver este problema para una corriente de carga que tenga una forma aproximadamente sinusoidal: habiendo sido dado un orden de conmutación en condiciones bien definidas, elegidas por una lógica como que presentan la situación mas favorable para cebar un proceso de conmutación, las operaciones sucesivas pueden desa-

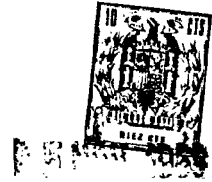
30.



prolarse según la orden preestablecida que adopta como base una corriente de forma aproximadamente sinusoidal.

5. Pero si la corriente de carga presenta distorsiones tan importante que adquieran una naturaleza casi aleatoria, es preciso tomar medidas de seguridad que impidan cumplirse una conmutación que, habiendo comenzado en condiciones favorables, se encuentre frente a condiciones prohibidas como consecuencia de las variaciones instantáneas, brutales e imprevisibles de la corriente de carga.
10. Tal y como se ha evocado anteriormente, la instalación a gobernar o mandar por la lógica de la invención comprende esencialmente dos interruptores en estado sólido cada uno de los cuales está formado al menos por dos tiristores montados en sentido inverso, para dejar pasar las dos alternancias de la corriente.
15. En estado de régimen, estos dos interruptores en estado sólido están fuera de servicio: uno de ellos designado convencionalmente por A, en serie con la toma enclavada (toma n), está shuntado por un corto-circuito metálico
20. constituido por uno de los elementos del preselector; de este modo, durante los intervalos estacionarios que separan los cambios de toma, el interruptor A es atravesado solamente por una corriente despreciable. El otro interruptor, designado por B, está en serie con un contacto que puede enclavar la toma inmediata (toma $n + 1$), pero permanece desconectado de esta toma en estado de régimen.
25. En todo lo que sigue, la simetría es completa entre la conmutación de B a A y la conmutación de A a B, que es tomada aquí como ejemplo.
30. El preselector tiene una doble misión:

373102⁻⁵⁻



a) Efectúa acciones mecánicas, enclavamiento-corte, cierre-apertura de corto-circuito para A y para B.

5. b) Emite órdenes de aplicación de "corriente de puerta" para A o para B; existe en el equipo al menos un generador de corriente continua que inyectada en el circuito "de puerta" de un tiristor ("corriente de puerta") le hace conductora.

10. En efecto, se sabe que si la corriente que atraviesa un tiristor pasa por cero, este tiristor resulta no conductor. Cuando sobreviene otra alternancia de igual polaridad que se dispone a transitar por el mismo tiristor, este tránsito no es posible más que si el tiristor es nuevamente cebado por la inyección de una corriente de puerta aplicada a su electrodo de "puerta". En ausencia de dicha corriente, enclavado por una impulsión de nuevo cebado, el tiristor queda bloqueado incluso en presencia de una tensión en sentido de paso aplicada en sus bornes.

15. En consecuencia, el interruptor A en estado de régimen recibe permanentemente una corriente continua de puerta: el interruptor A está por consiguiente preparado en todo momento para transitar la corriente de carga (lo que no hace sin embargo en estado de régimen, puesto que es shuntado por un corto-circuito). El interruptor B, en estado de régimen, no recibe corriente de puerta. Por el contrario, al final de la conmutación, la situación es inversa: el interruptor A que ha sido bloqueado no recibe ya corriente de puerta y sin embargo el interruptor B si la recibe.

20. El preselector es quien preside esta distribución de las funciones: además de su acción de apertura-cierre de contactos, proporciona órdenes "aplicación de impulsos de

25.

30.

5 NOV. 1969



- cebado al circuito de corriente de puerta de A" o "aplicación de impulsos de cebado al circuito de corriente de puerta de B" según la evolución del proceso de conmutación. Estas órdenes pueden por ejemplo ser emitidas por excitación de fototransistores mediante haces luminosos. Con tal fin, el preselector está equipado de un dispositivo de diafragma que permite ocultar o transmitir dos haces luminosos: cuando un primer haz luminoso alcanza el fototransistor correspondiente a través de una abertura del diafragma, el interruptor A recibe impulsos de cebado; cuando un segundo haz luminoso alcanza su fototransistor correspondiente a través de otra abertura del diafragma, es el interruptor B quien recibe los impulsos de cebado.

- Por consiguiente, durante una operación de conmutación se cumplen las operaciones siguientes:

15. 1ª) Posición inicial. A está unido galvánicamente a la toma n; A está en corto-circuito; A recibe una corriente de puerta. B es cortada de la toma $n \pm 1$; B no está en corto-circuito; B no recibe corriente de puerta.
20. 2ª) A está unida galvánicamente a la toma n; A está descortocircuitado; A no recibe ya corriente de puerta. B está unido galvánicamente a la toma $n \pm 1$; B no está shuntado por su corto-circuito; B no recibe corriente de puerta.
25. 3ª) A está unido galvánicamente a la toma n; A está descortocircuitado; A no recibe corriente de puerta. B está unido galvánicamente a la toma $n \pm 1$; B no está siempre cortocircuitado; B recibe una corriente de puerta.
30. 4ª) A está cortado de la toma n; A está descortocircuitado; A no recibe corriente de puerta. B está unido galvánicamente a la toma $n \pm 1$; B está cortocircuitado; B

373 132-7 -



recibe una corriente de puerta: Esta es la posición final: las funciones de A y B han sido invertidas.

5. En las etapas 2 y 3, los dos interruptores se unen a su toma respectiva. En la etapa 2 ningún generador de impulsos de cebado recibe iluminación; en la etapa 3, el generador de impulsos de cebado del interruptor B comienza a recibir una iluminación.

10. Hasta la etapa 2 inclusive, es la toma n inicial quien está en carga, y la corriente de carga que pasaba inicialmente por el corto-circuito del interruptor A pasa ahora al interruptor A. Esta situación persiste todavía al comienzo de la etapa 3: es durante el paso de la etapa 3 a la etapa 4 cuando se desarrolla la transferencia de la carga del interruptor A, que se abre, al interruptor B que se cierra en sincronismo, poniendo así en carga la toma $n + 1$, mientras que la toma n es descargada. Durante un corto instante de transición, los dos interruptores están abiertos, pasando la corriente de carga por los "elementos de protección" (diodos de efecto Zéner).

20. Esta transferencia que puede operarse sobre la base del desarrollo de un programa fijo, puesto en memoria de una vez por todas, cuando la forma de la corriente es correcta, debe ser vigilada paso a paso si la forma de la corriente es de tal naturaleza que provoque una avería en la instalación durante la transferencia.

25. Es posible que en el instante previsto para cerrar el interruptor B, la forma instantánea de la corriente sea tal que el interruptor A, que acaba de abrirse, se cierre: si se cierra B, se obtiene un "corto-circuito de escalón" como se ha evocado mas arriba.
- 30.



Igualmente es posible que la forma de la corriente sea tal que estando abierto el interruptor A, el cierre de B debe ser retardado un espacio de tiempo que excede la capacidad de resistencia de los elementos de protección: en éste caso es preciso detener la secuencia y volver al punto inicial, sino los elementos de protección serán destruidos.

10. Por último es posible que la forma de la corriente sea de naturaleza tal que permita la conmutación, pero que las consignas de seguridad aplicadas demasiado estrictamente por la lógica, la impidan cumplir efectivamente la transferencia.

15. El dispositivo de accionamiento según la invención se caracteriza porque el circuito lógico de gobierno comprende una memoria de la orden de comienzo de una secuencia, una memoria de la orden de excitación de los rectificadores gobernados y una memoria de cambio de agujas de la orden de encendido de los rectificadores gobernados, comprendiendo esta última memoria dos salidas complementarias unidas cada una a un circuito Y o por conjunción gobierna el encendido de uno de los interruptores estáticos, recibiendo cada uno de éstos circuitos Y por otra parte una señal de encendido por el hecho de que el tiempo que separa la orden de extinción de la orden de empiece de una secuencia es al menos igual al tiempo al cabo del cuál, después de un paso a cero de la corriente mínima de carga, los interruptores estáticos no pueden ya apagarse si se suprime su corriente de gobierno o mando, debido a que la señal de cambio de agujas es distinta de la señal de extinción y emitida

20.

25.

30.

5 NOV. 1969

373182 - 9 -



después de ésta última y debido a que la señal de encendido no se produce después del paso por cero de la corriente de carga más que al cabo de un espacio de tiempo superior al espacio de tiempo de desionización de los rectificadores gobernados.

5.

Otra característica del dispositivo según la invención es que comprende un dispositivo que proporciona de una forma cíclica las diferentes señales de gobierno o mando.

La lógica que está encargada de ejecutar las consignas anteriores está basada en los siguientes principios:

Una vez que los tiristores del interruptor A son descortocircuitados y los tiristores del interruptor B son conectados a la toma conveniente del transformador, la orden de conmutación es transmitida a la lógica por mediación del haz luminoso revelado por el diafragma rotativo asociado al preselector. Este haz actúa sobre un fototransistor asociado al circuito B denominado fototransistor B (estando entonces el fototransistor asociado al circuito A a oscuras), que está asociado a un órgano que da el nivel lógico 1 para la iluminación.

20.

La orden a conmutar está preparada después que el fototransistor B es iluminado; este instante está designado por t_0 .

La orden a conmutar es registrada en una memoria a la llegada de un instante denominado primer instante t_1 siguiente a t_0 . La definición del instante t_1 se da a continuación.

25.

Por razones que serán descritas más tarde, una tentativa de conmutación necesita 2 ms para ser preparada a partir del instante denominado t_1 .

El lapso de tiempo de ms al ser engendrado por una báscula monoestable que exige un cierto espacio -

30.



5 NOV. 1969

373102 - 10 -

de tiempo de recuperación para funcionar correctamente, tal y como es usual, se prevé un plazo de 1 ms a título de tiempo de recuperación. Se emplea en el caso general en que el reiterador de secuencia ha debido disparar

5. varias secuencias que han fracasado antes de obtener una situación instantánea que permita la conmutación. En estas condiciones para que un instante t sea tomado para $t_1 (j + 1)$, comienzo de una $(j + 1)$ tentativa de conmutación, que sucede a la j , es preciso:

10. 1) Que en el instante t , la corriente de carga $I(t)$ tenga un valor algébrico denominado I^+ , cualquiera que sea el valor de $I(t + \xi)$ incluso si ξ tiende hacia 0.

15. 2) Que t sea separado de $t_1(j)$ por 3 ms, o sea 2 ms, duración operacional, más 1 ms, tiempo de recuperación.

20. Cuando el tiempo t_1 puede coincidir con un cero de I , se impone sistemáticamente esperar al menos 1 ms después de t_1 para dar la orden de supresión de la corriente de puerta en el interruptor A, para estar seguro que en la extinción de la corriente de puerta en A, la corriente transitada por A es superior a la corriente mínima de mantenimiento: ya que A no debe apagarse en este momento.

25. Para evitar ambigüedades de deducción que podrían producirse para ciertas formas de corriente, se separan en dos tiempos distintos la supresión de la corriente de puerta de A y la preparación de encendido de B: por razones de comodidad se ha fijado el intervalo de separación en 1 ms. Este intervalo suplementa-
- 30.

373102



rio no existía en la secuencia de conmutación descrita en la patente número 1.514.361.

- Cuando, por razones cualesquiera debidas a la forma de la corriente $I(t)$, la conmutación no puede efectuarse, la lógica secuencial debe poder tomar
5. todas las disposiciones para que el interruptor A, inicialmente en carga, no permanezca jamás abierto más de $270 \mu s$: esta duración de $270 \mu s$ ha sido tomada como máximo admisible para el tránsito de la corriente de carga
 10. por los elementos de protección (diodos de efecto Zener que serían destruidos si fueran sometidos a un esfuerzo más prolongado. Esta duración de $270 \mu s$ es ligeramente superior al tiempo de desionización mínima, tomado igual a $200 \mu s$.
 15. Por otra parte, bajo ningún pretexto el interruptor B debe recibir orden de encendido, aunque sea fugitiva, mientras que el interruptor A esté encendido, sino se obtiene un cortocircuito de escalón. La lógica secuencial debe ser concebida de tal forma que incluso
 20. si sobreviene una anomalía en el último microsegundo de la conmutación, este criterio de seguridad sea observado.
- La lógica comprende un cierto número de memorias. Es evidente que para una ley $I(t)$ cualquiera, ciertas anomalías pueden caer en sincronismo con instantes
25. característicos de la secuencia, de tal forma que las memorias pueden ser solicitadas por ordenes simultáneos y contradictorias. En tal caso, el estado de la memoria resulta aleatorio, lo cual no debe ser tolerado.
 30. Es preciso entonces tomar todas las disposicio-

5 NOV



nes para que: 373102

- 1) La memoria sea inmediatamente posicionada, después de la aparición de dicho sincronismo, en el estado deseable.
5. 2) Los casos de sincronismo citados no deben, bajo ningún pretexto, engendrar otras órdenes que el nuevo encendido de A tan rápido como sea posible, y el posicionamiento de nuevo de todos los circuitos en el estado correspondiente.
10. Si sobreviene un fallo durante una secuencia preparatoria, es decir entre t_1 y $t_1 + 2$ ms, A es puesta de nuevo en carg, la secuencia es detenida y el fallo es memorizado en una memoria de anomalía.
No podrá comenzar una nueva tentativa más que
15. a la aparición de un nuevo instante t_1 , aparición cuyo primer efecto será poner de nuevo a cero el conjunto de éstas memorias.
En éstas condiciones; si varios fallos, diferentes o nó, se presentan consecutivamente en el intervalo
20. $t_1 - t_1 + 2$ ms el primer fallo controlado pone de nuevo a A en carga e interrumpe la secuencia.
Este modo de operar hace la lógica independiente de la velocidad de operación de los fallos, comparativamente a su propia velocidad de funcionamiento, ya
25. que los fallos deberán ser tratados sólomente cada tres milisegundos a lo sumo.
Las observaciones anteriores se aplican igualmente si sobreviene un fallo:
ya sea en el intervalo $(t_2 - t_2 + 270 \mu s)$
30. o bien en el intervalo $(t_1 + 2 \text{ ms}) - t_2,$

373102



siendo t_2 el instante del primer cero descendente (I pasa de I^+ a I^- siguiente a $(t_2 + 2 \text{ ms})$, representando I^- una corriente que ha llegado a ser algebricamente negativa.

5. La reiteración automática de las tentativas de secuencias en una corriente anormal es aceptable a condición de que el preselector pueda inmovilizar los dos interruptores a tiristores en una posición compatible con la conmutación. En efecto, si en condiciones de corriente que no permitan la conmutación, se deja el preselector de toma girar, estando el interruptor A mantenido en carga, llega necesariamente un instante en el que el contacto mecánico asociado a éste interruptor llega a cortar la corriente de carga, bajo la plena tensión del transformador. Innecesario es decir que dicha operación trae consigo la destrucción inmediata de todo el aparato.

20. La lógica secuencial deberá por consiguiente, además de su misión de dirigir la conmutación, asegurar la vigilancia del preselector a fin de asegurar su bloqueo en una posición compatible con la conmutación, estando garantizado éste bloqueo hasta que la conmutación sea conseguida, y cualquiera que sea el instante en que aparezca el fallo que hace la corriente inconmutable.

25. La instalación comprende una lógica de base que permite el desarrollo de la secuencia de conmutación tipo para una corriente de carga poco perturbada, y anillos o circuitos de corrección cada uno de los cuales establece una prohibición en función de una perturbación determinada.
- 30.



Los circuitos van a ser descritos a continuación en detalle, con referencia a los dibujos, en los que:

5. La figura 1a, es una representación esquemática del funcionamiento del preselector de toma, dada a título recordatorio.

La figura 1b, es un cuadro asociado al funcionamiento del preselector según la figura 1a.

10. La figura 2a, es un esquema sinóptico del dispositivo de conmutación de potencia.

La figura 2b, muestra el montaje de un fototransistor utilizado en el preselector.

15. La figura 3a, es un esquema de principio de un shur de diodos que sirve para detectar los ceros de la corriente de carga.

La figura 3b, es un gráfico que muestra la generación de las señales I^+ , I^- .

La figura 4a, es un esquema de un detector de cero anormal de la corriente positiva.

20. Las figuras 4b y 4c, son gráficos que sirven para la explicación del funcionamiento en el caso de un cero anormal.

La figura 4d, es un gráfico correspondiente a un cero normal.

25. La figura 5a, es un esquema que muestra los órganos generadores de diversas señales utilizadas en la lógica, así como los elementos del reiterador.

30. La figura 5b, es un conjunto de gráficos que muestran las señales de salida engendradas por el sub-conjunto de la figura 5a.

373 182¹⁵ -



La figura 5c, es el quema de un generador de otras señales lógicas.

5. La figura 6a, es un gráfico que muestra una forma de corriente poco perturbada que permite la conmutación.

La figura 6b, es un esquema de la lógica de base correspondiente.

10. La figura 6c, es un diagrama de tiempos que muestra la interrelación entre diversos acontecimientos lógicos correspondientes.

Las figuras 7a, 8a, 9a, 10a, 11a, 12, 13a, 14a, 15, 16a, 17, 18 y 19, representan diversos ejemplos de situación en donde la conmutación debe ser prohibida.

15. Las figuras 7b, 8b, 9b, son diagramas de tiempos correspondientes a las figuras de índice a de igual cifra.

Las figuras 7c, 8c, 9c, 10b, 11b, 13b, 14b, 16b, son esquemas de diversos circuitos de corrección.

20. La figura 20, es un esquema que muestra el dispositivo de vigilancia del preselector por la lógica.

Las figuras 21a, 21b, 21c, se refieren a una disposición ventajosa de elementos de protección múltiples.

25. Las figuras 22a, 22b forman entre sí un esquema del conjunto de la lógica.

30. Todas las memorias contenidas en la lógica de la invención son ventajosamente constituidas por básculas biestables formadas por dos inversores en interrelación. Un cero aplicado a una entrada hace aparecer un "1" en la salida correspondiente, que llevado a la otra



entrada, dá un "0" en la salida complementaria.

FIGURAS la-lb.- La figura la recuerda el funcionamiento del preselector mecánico descrito en las patentes citadas más arriba.

5. En la figura la , se ha representado en T un bobinado de transformador de cuatro tomas 1,2,3, 4. En la práctica puede existir un número de tomas muy superior, sin embargo se ha reducido a cuatro para simplificarle . A y B designan dos interruptores en estado sólido constituídos por ejemplo por al menos un par de tiristores. Estos interruptores en estado sólido están conectados cada uno a la borna P de un detector S de paso de la corriente de carga por cero cuya segunda borna N está unida a una carga Z, la cual está conectada por otra parte a una porción extrema M del bobinado T. El detector S, unido a la lógica por líneas no representadas sirve para proporcionar las magnitudes lógicas I^+ , I^- utilizadas en la lógica.
- 10.
- 15.

- El preselector está representado en forma esquemática por cinco roldanas de contactor I,II, III, IV, V, que pueden girar en torno a un eje XX'.
- 20.

- La roldana I lleva dos sectores conductores diametralmente opuesto, a_1 en contacto con la toma 1, a_3 en contacto con la toma 3 , y un cursor que está unido a la borna de A no común, J. La roldana II lleva dos sectores, en cruz con los anteriores, a_2 en contacto con la toma 2, a_4 en contacto con la toma 4, y un cursor que está unido a la borna de B no común K. Estos sectores tienen una amplitud angular relativamente grande, por ejemplo 160° .
- 25.
- 30.



- La roldana III lleva dos sectores conductores, b_1 y b_2 , diametralmente opuestos, en contacto cada uno con la borna P citada, y un cursor en contacto con la borna J. La roldana IV lleva dos sectores conductores b_3 , b_4 diametralmente opuestos, en cruz con los sectores b_1 , b_2 , en contacto con la borna P, y un cursor en contacto con la borna K. Los sectores b tienen una amplitud angular relativamente pequeña, por ejemplo 15° .
10. La roldana V simboliza el dispositivo de excitación de los impulsos de cebado de A ó B: no es una representación fiel de la realidad, pero presenta, para simplificar, el principio de funcionamiento de éste dispositivo de excitación. La roldana comprende cuatro sectores c_1 , c_2 , c_3 , c_4 entre los que c_1 y c_3 corresponden al cebado de A y c_2 , c_4 al cebado de B. El cursor de la roldana V tiene igualmente un valor simbólico: es decir que cuando el cursor está enfrente del sector c_1 el interruptor A recibe impulsos de cebado: cuando está enfrente del sector c_2 es B quien recibe los impulsos de cebado; si no está enfrente de ningún sector, no recibe ningún interruptor los impulsos de cebado.
20. De hecho, el mando de excitación de los citados generadores de impulsos de cebado comprende dos fuentes luminosas que pueden excitar cada una un fototransistor a través de las ranuras de forma circular recortadas en un disco opaco. Este disco es arrastrado por el eje del preselector XX. Para ciertas posiciones del preselector uno de los fototransistores es iluminado, y para otras posiciones, el otro fototransistor es el iluminado; para

- 25.
- 30.

373182-18-



Las posiciones intermedias no es iluminada ningún fototransistor.

5. La figura 1b, es un cuadro que resume las condiciones de las diferentes roldanas según cuatro posiciones de los cursores mostrados en las figuras (1), (2), (3), (4).

La figura 1b ilustra el funcionamiento del preselector en el dispositivo de la invención.

10. En el cuadro de la figura 1b, el símbolo 1 lógico significa que hay contacto, y el símbolo 0 significa que no lo hay.

15. En la columna V, la indicación A para la posición (1) significa que los circuitos de gobierno del interruptor A reciben una señal lógica que confirma su cierre; la indicación B para las posiciones (3) (4) significa que los circuitos de gobierno del interruptor B reciben una señal lógica que ceba y que confirma su cierre, 0 para la posición (2) significa que en esta posición ningún circuito de gobierno recibe órdenes.

20. FIGURAS 2a-2b.- La figura 2a muestra la disposición general del gobierno de los estados pasantes o bloqueado de los interruptores en estado sólido A, B.

En la figura 2a, las mismas referencias tienen igual significación que en la figura 1a.

25. El interruptor A comprende dos tiristores montados en antiparalelo , TA_1 , TA_2 .

30. El cebado-bloqueo de los tiristores TA_1 , TA_2 , es gobernado por dos básculas A_1 , A_2 , respectivamente, que reciben cada una un impulso de cebado I_L , o un impulso de bloqueo I_X , de una puerta de cebado P_{LA} , o de

373102-19-



una puerta de bloqueo PXA, a través de un transformador de cebado T_{LA} o de un transformador de bloqueo T_{XA} , respectivamente.

5. La puerta P_{LA} es a su vez gobernada por una lógica L a través de la salida de la puerta \bar{O}_{39} por disyunción, y la puerta P_{XA} por la salida de la puerta \bar{O}_{25} .

- Asimismo el interruptor B comprende dos tiristores montados en antiparalelo B_1, B_2 , que comprenden elementos similares, montados de idéntica forma: $P_{LB}, P_{XB}, T_{LB}, T_{XB}$, puerta \bar{O}_{40} , puerta \bar{O}_{26} .

La puerta P_{LB} es a su vez gobernada por la citada lógica L a través de la salida del circuito 40, y la puerta P_{XB} por la salida del circuito 26.

15. La lógica L es accionada por dos fototransistores Q_A, Q_B , que son iluminados por dos lámparas L_A, L_B , respectivamente, según la posición angular de un disco D portador de unas ranuras circulares, arrastrado por el eje XX' del preselector. Esta disposición está descrita con detalle en las patentes citadas más arriba.

20. La lógica comprende además un selector 210 de polaridad de la corriente de carga I^+ ó I^- , conectado a las bornas del shunt de diodos S, así como un dispositivo de bloqueo del preselector 51, cuyo funcionamiento será expuesto con detalle con referencia a la
25. figura 20.

- La figura 2b ilustra el montaje de un fototransistor tal como Q_A (o Q_B). Q_A está montado entre una línea a + 12 voltios y masa en serie con una resistencia r_1 . El emisor de Q_A ataca un primer nivel de un amplificador de acoplamiento directo a dos niveles que
- 30.



- comprende dos transistores Q_1 , Q_2 , cuyos emisores están a masa y los colectores unidos a la línea de + 12 voltios por resistencias r_2 , r_4 . El colector del transistor Q_1 está unido a la base del transistor Q_2 por mediación de una resistencia r_3 .

5. Cuando el fototransistor Q_A (ó Q_B) es iluminado, su resistencia interna es muy débil, el transistor Q_1 es saturado y por consiguiente Q_2 es cortado: La borna de salida b está a + 12 voltios aproximadamente; este es el valor lógico 1. En ausencia de iluminación, el transistor de salida Q_2 es saturado y la borna b está a un potencial próximo a 0: éste es el valor lógico 0.

10. FIGURAS 3a, 3b.- La figura 3a es un esquema del detector de I^+ e I^- .

15. El shunt de diodos de potencia D_1 , D_2 tiene una borna N unida a masa y la otra borna P está unida a masa a través de un potenciómetro R_1 cuyo cursor está conectado a la base de un transistor Q_{11} que, con un transistor Q_{12} cuya base está a masa, forma un amplificador diferencial; los colectores de estos transistores están conectados a + 12 voltios a través de las resistencias respectivas R_3 , R_4 , en tanto que sus emisores están unidos a - 12 voltios a través de un transistor Q_{13} cuya base es mantenida a un potencial fijo por un diodo Zener D_3 en serie con una resistencia R_2 unida a + 12 voltios. El emisor del transistor Q_{13} está unido a - 12 voltios con ayuda de una resistencia ajustable R.

20. Los colectores de Q_{11} y de Q_{12} están unidos respectivamente a la base de un transistor Q_{14} (Q_{15}) cuyo

30.



- 21 - 373132

emisor esta a masa y el colector cargado por una resistencia R_5 (R_6).

5. El colector de Q_{14} ataca una báscula de Schmitt BS_1 y el colector de Q_{15} ataca una báscula de Schmitt BS_2 , funcionando estas dos básculas de Schmitt como formadores.

10. Dado el montaje del transistor Q_{13} , se observa que funciona a corriente contante. Como su colector está cargado por los dos transistores Q_{11} , Q_{12} del amplificador diferencial en común, resulta que este amplificador diferencial funciona a su vez a corriente constante.

15. Las básculas de Scmitt dán un frente rígido independientemente de la forma de la corriente real. El umbral de detección del shunt de diodos es de 60 MA aproximadamente, es decir extremadamente reducido para un circuito de potencia. Para una corriente de carga positiva, I^+ sobrepasa 60 mA en módulo y la báscula BS_1 , salida s_1 , da un nivel lógico $1 \approx +12$ voltios aproximadamente. Para corriente de carga negativa, I^- sobrepasa 60 mA en módulo y la báscula BS_2 , salida s_2 , da un nivel lógico $1 \approx -12$ voltios.

20. Para una corriente de carga no nula, los estados lógicos de las bornas s_1 , s_2 , son complementarios. Cuando la corriente de carga es nula, las bornas s_1 , s_2 están en el nivel lógico 0.

25. Estos resultados están ilustrados en la figura 3b en donde se observan los niveles lógicos correspondientes a las polaridades I^+ , I^- y para 0 proporcionados por las básculas respectivas según el valor de la corriente de carga.

30. FIGURAS 4a, 4b, 4c, 4d.- La figura 4a es el esquema de un detector de 0 anormal de la corriente positiva (I^+). Un cero de la corriente anormal es aquí un paso de la corrien-



te por cero sin cambio de polaridad.

- Una corriente sinusoidal, o aproximadamente sinusoidal, pasa por cero dos veces por periodo: una vez entre la alternancia positiva y la negativa: este es el cero descendente; y otra vez entre la alternancia negativa y la alternancia positiva: éste es el cero ascendente.
- 5.

- El cero anormal es aquí un paso de la corriente por cero sin cambio de polaridad: es decir forma semiplana con segmento confundido con el eje de tiempos y retorno a la misma polaridad, o bien punto de retroceso.
- 10.

- El principio del circuito consiste en memorizar las señales sucesivas de la derivada de la corriente entre el primer paso de I^+ por un cero descendente y la reaparición de I^+ por un cero descendente, y hacer la síntesis del estado de éstas memorias a la llegada del cero ascendente.
- 15.

El circuito comprende tres ramas cuyas salidas están unidas a las tres entradas de una puerta \bar{Y}_{62} seguida de una puerta \bar{Y}_{48} de salida d.

20. La primera rama, alimentada por la señal I^+ , contiene un circuito derivador 53 cuya salida ataca una entrada de una báscula biestable 56/57. Este circuito pone en memoria la derivada positiva de I^+ (señal S_1).

- La segunda rama alimentada igualmente por I^+
25. comprende un inversor 52 seguido de un derivador 54 cuya salida ataca una entrada de una báscula biestable 58/59. Esta rama pone en memoria la derivada negativa de I^+ (señal S_2).

- La tercera rama alimentada por I^- , comprende un derivador 55 seguido de una báscula biestable 60/61.
30. Esta rama pone en memoria la derivada positiva de I^- (se-

373102



nal S₃).

- Todos los derivados utilizados en el equipo funcionan de la siguiente manera: en respuesta a la presencia de una transición 0-1 aplicada a la entrada, el derivador libera un impulso 1-0-1; en respuesta a una transición 1-0, el derivador permanece en su estado de reposo (nivel lógico 1).

En todo el equipo, las básculas monoestables y bies- tables están constituidas de puertas \bar{Y} que responden sólamente a solicitudes del tipo 1-0-1 descrito más arriba.

10. Un circuito \bar{Y}_{62} tiene una primera entrada conectada a la salida c del elemento de báscula 56, una segunda entrada conectada a la salida a del elemento de báscula 58, una tercera entrada conectada a la salida b del elemento de báscula 61 complementaria de la salida b' del elemento de báscula 60 atacado por 55.

- Una señal de puesta a cero es aplicada sobre los elementos de báscula 57, 59, 61, por un circuito conectado a la salida del derivador 53, que comprende un circuito de retardo 63, por ejemplo una báscula monoestable, cuya duración ha sido fijada igual a $40 \mu s$ aproximadamente, y un circuito derivador 65; entre los dos está insertado un inversor lógico 64.

Después de una puesta a cero, se tiene 0 en c, 0 en a, 1 en b, 0 en d.

25. La figura 4b muestra el funcionamiento en el caso de un cero anormal, denominado a continuación "cero tangente".

En t_a , la derivada negativa de I^+ marca un 1 en a.

En t_b , no pasa nada, y b conserva su 1.

En t_c , un 1 aparece en c. El producto lógico 1-1-1 hace aparecer un (1) en d.

30. Este 1 persistirá durante un intervalo de $40 \mu s$, hasta



la puesta a cero por la rama 63, 64, 65. El impulso 0-1-0 de $40\mu^s$ (15) así obtenido traduce la detección de éste cero anormal.

5. Este detector funciona con igual fiabilidad en un punto de retroceso, figura 4c.

La figura 4d, es un gráfico que muestra el funcionamiento en el caso de un cero normal.

10. Si el cero de corriente es normal, es fácil observar que el circuito conserva un (0) en d, ya que la memoria 60/61 marca un (0) en b en el instante t_b (figura 4d).

15. FIGURAS 5a, 5b, 5c.- La figura 5a, es un esquema que muestra la forma en que se generan las señales utilizadas en la secuencia de conmutación, así como los elementos constitutivos del reiterador.

La borna de salida s_1 de la báscula de Schmitt BS_1 (figura 3a) está conectada a una entrada de una puerta Y 66, origen de una cadena de circuitos que comprende:

20. Derivador 67-báscula monoestable de 2ms, 68-derivador 69-báscula monoestable de 1 ms, 70-inversor 71-derivador 74-inversor 72.

25. A la salida del derivador 69 está conectado, en paralelo sobre la entrada de la báscula monoestable 70, un inversor 73.

A la salida de la báscula monoestable 68 está conectada, en paralelo sobre la entrada del derivador 69, una cadena de circuitos que comprende:

30. Inversor 75 - derivador 76- báscula monoestable de 1 - ms, 78 -inversor 79 - derivador 80 - inversor 81.



Un circuito $\bar{0}$ 82 recibe la señal de salida de 68 (señal S_4), y la señal de salida de 78.

Un circuito $\bar{0}$ 83 recibe la señal de salida de 81 y, tras un integrador RC, la señal de salida de 82.

5. Una báscula 84/85 recibe a la entrada de 84 la señal de salida de 74, y a la entrada de 85 la señal de salida de 83. La salida de 85 está conectada a una entrada de la puerta 66.

- A la salida del inversor 72 se recoge un impulso I_2 - (en el tiempo $t_1 + 1$ ms, o sea t_{11}), a la salida de 73 un impulso I_1 en el tiempo t_1 y a la salida de un inversor 77, conectado a la salida del derivador 76, un impulso I_3 en el tiempo $t_1 + 2$ ms, o sea t_{12} .

- La figura 5b es un conjunto de gráficos que muestran las señales de salida de ciertos circuitos, e indican las relaciones internas entre estas señales.

15. El circuito 68 da una almena que comienza en t_1 y que acaba en $t_1 + 2$ ms (t_{12}). Esta es la señal S_4 .

- Por mediación de los circuitos 69, 73 el frente de elevación de la almena S_4 da un impulso I_1/t_1 .

20. El impulso t_1 dispara una almena de 1 milisegundo sobre 70.

- El frente de descenso de esta almena proporciona, por mediación de 71, 74, un impulso I_2 sobre 72 para $t_1 + 1$ ms (t_{11}).

25. El frente de descenso de S_4 proporciona, por mediación de 75, 76 un impulso I_3 sobre 77 para $t_1 + 2$ ms (t_{12}).

- Este impulso de signo contrario, aplicado en 78 produce una almena de una duración de 1 milisegundo, entre

30.



t_{11} y t_{12}

373192

El frente de descenso de ésta almena proporciona por mediación de 79, 80, impulso sobre 81, para $t_{12} + 1$ ms.

5. El funcionamiento del reiterador es el siguiente:

a) Sin el circuito 82:

10. En el instante t_1 la báscula monoestable 68 proporciona una almena de 2 ms, cuyo frente de elevación dispara, por mediación del derivador 69, la báscula monoestable 70 durante 1 /ms a partir de t_1 . Esta forma de operar garantiza a la báscula monoestable 70 un tiempo de recuperación de al menos 1 ms, ya que es la almena de 2 ms de la báscula monoestable 68 quien
15. ha disparado a t_1 .

En t_{11} , por mediación de 71 y 74 se obtiene un impulso de cambio de agujas que:

1º) Hacia 72 da el impulso I_2 .

2º) Hacia la memoria 84/85 asegura el bloqueo
20. de la puerta 66 por aparición de un (0) a la salida de 85.

De éste modo, se impide la solicitud del derivador 67, y por consiguiente la solicitud de la báscula monoestable 68, hasta que la báscula 84/85
25. sea puesta a cero al cabo de un espacio de tiempo tal que la báscula monoestable 68 haya tenido tiempo de recuperarse.

Desde el momento en que la báscula monoestable 68 llega a (0) a t_{12} , dispara mediante 75, 76
30. la monoestable 78 de 1 ms cuya misión es precisamente

373 32²⁷ -



proporcionar el tiempo de recuperación de la monoestable 53.

5. En el tiempo $t_{12} + 1$ ms, por mediación de 79, 80, 81, 83 la memoria 84/85 es puesta a cero. La salida de 85 aplica un (1) a la puerta 66.

En este momento se pueden formular dos hipótesis:

10. 1ª) En el momento de la puesta a cero, la corriente de carga es I^+ . Mientras 66 es solicitada por un (1) estacionario debido a la presencia de I^+ , y por el salto 0-1 debido al cambio de estado de la memoria en la puesta a cero. El derivador 67 es solicitado por un frente 0-1, a pesar del estado estacionario de I^+ , y dispara de nuevo la monoestable 68 en el instante $t_{12} + 1$ ms:
15. por consiguiente 3 ms han separado $t_1(j)$ de $t_1(j+1)$.

20. 2ª) En el momento de la puesta a cero, la corriente de carga es 0 ó I^- . El reiterador se detiene a pesar de la presencia de un (1) debido a la puesta a cero de la memoria. La salida de I^+ es (0). Desde el momento de la aparición de I^+ , la salida de 66 experimenta una transición 0-1. a pesar del estado estacionario (1) de la memoria 85. Por consiguiente el derivador 67 dispara una nueva secuencia.

b) Con el circuito 82:

25. En la puesta a tensión, en ausencia de I^+ , la memoria 85 ocupa una posición indiferente. Si esta posición es tal que la salida de 85, sea (0), el reiterador de secuencia será incapaz de ponerse en marcha en la aparición de I^+ y hace imposible toda tentativa de comu-
30. tación.

373182



Es preciso un circuito correctivo que deberá satisfacer los dos criterios siguientes:

- 1º) En ausencia de I^+ , estando el reiterador bloqueado, este circuito debe posicionar 85 sobre (1) de tal forma que la aparición de I^+ haga poner en marcha al reiterador por el desbloqueo de 66.

2º) Cuando el reiterador funciona correctamente, el circuito correctivo no debe perturbar su funcionamiento.

10. El funcionamiento del conjunto es el siguiente:

En ausencia de I^+ : ni la monoestable 68, ni la monoestable 78 están en (1), La salida de 82 está en (1), La salida de 83 pasa a (0) y posiciona a 85 sobre (1).

15. Desde el momento en que exista I^+ funcionando el reiterador, o la monoestable 68 o la monoestable 78 está en (1). 82 proporciona un (0) a la salida y no presenta efecto sobre 83, quien puede por consiguiente ser solicitado por los (1), que proceden de la cadena normal (79, 80, 81).

20. La misión del integrador RC entre la salida de 82 y la entrada de 83 es colmar el retardo entre el frente de descenso de 68 y el frente de elevación de 78. En conclusión, merced al anillo correctivo, el arranque de una secuencia está asegurado en todos los casos.

25. La figura 5c muestra el dispositivo de generación de un impulso I_4 en el tiempo $t_2 + 270 \mu s$, o sea t_{22} .

30. En la borna s_2 , salida de la báscula biestable BS_2 (3a), está conectada una cadena que comprende:



375132

Derivador 55-báscula monoestable de $200 \mu s$, 86
- inversor 87 - derivador 88-báscula monoestable de $70 \mu s$,
89 inversor 90 - derivador 91 - inversor 92.

La misión de éstos diversos órganos es inmediata y no necesita una larga descripción.

5. Se recoge a la salida de 86 una almena S_5 que comienza en t_2 y finaliza en $t_2 + 200 \mu s$, o sea t_{21} .

Se recoge a la salida de 92 un impulso I_4 en $t_2 + 270 \mu s$, o sea t_{22} .

10. FIGURAS 6a, 6b, 6c.- La figura 6a muestra un periodo de una corriente de forma casi sinusoidal con un posicionamiento de t_1 que hace la conmutación posible.

La figura 6b presenta el circuito de base de la lógica, que asegura una conmutación correcta para las condiciones figuradas en 6a.

15. El impulso en t_1 está designado por I_1 y el impulso en t_{11} está designado por I_2 ; el impulso en t_{12} está designado por I_3 y el impulso en t_{22} está designado por I_4 .

20. Las referencias IA, IB, D, QA, QB, 15 y 16 tienen el mismo significado que en la figura 2a.

El circuito comprende una memoria de orden de mando o gobierno MC (elementos 19,20), una memoria MX de orden de excitación de las corrientes de puerta (elementos 25. 3,4) una memoria de cambios de agujas de las ordenes de encendido MG (elementos 7, 8) y una memoria de encendido ML (elementos 11, 12).

El circuito comprende todavía: dos puertas \bar{Y} 17, 18 que reciben por una parte las señales de salida de los órganos 15 y 16, respectivamente, y el impulso I_1 :

30.

373132

1 5NO



- dos puertas \bar{Y} 1, 2, que reciben las señales de salida de 19 y 20, respectivamente, y el impulso I_2 ;
- dos puertas \bar{Y} 5,6, que reciben las señales de salida de 19 y 20, respectivamente, de 4 y 3, respectivamente, y el impulso I_3 ;
- dos puertas \bar{Y} 9, 10, que reciben las señales de salida de 7 y 8, respectivamente, y el impulso I_4 ;
- dos puertas \bar{Y} 13 (ensayo A en carga) y 14 (ensayo B en carga) que tienen tres entradas conectadas a las salidas de 19, 4 y 11 y de 20, 3 y 12, respectivamente.

Los elementos de número par en serie 2,4,6,8, 10, 12, 14, aseguran la conmutación de A hacia B.

- La instalación es simétrica, y por tanto los órganos de lugar impar 1, 3,5,7, 9, 11, 13, aseguran la conmutación de B hacia A.

El funcionamiento es el siguiente:

(Se han indicado las señales lógicas (0) (1), entre paréntesis).

- 20. En el tiempo t_0 , el fototransistor Q_B es iluminado y en la salida de 16 aparece un (1). El impulso I_1 hace aparecer un (1); de donde un (0) a la salida de 18, x (1) a la salida de 20 y (0) a la salida de 19. En una entrada de 1 hay un (1).
- 25. El impulso I_2 hace aparecer un (1) en la otra entrada de 1, de donde (0) a la entrada de 3, (1) a la salida de 3 y (0) a la salida de 4.
- 30. En el impulso I_3 , se tienen tres (1) a la entrada de 6, de donde (0) a la entrada de 8, (1) a la salida de 8 y (0) a la salida de 7.

En el impulso I_4 , se tienen dos (1) en las entradas de 10, y por consiguiente un (0) a la entrada de 12, y (1) a la salida de 12: se tienen tres (1) a la entrada de 14, y un (0) a la salida: éste cero tienen el
5. significado: conmutación terminada.

La salida (0) de 1 comienza la detención de la corriente de puerta de los tiristores del interruptor A (XA); la salida (0) de 10 comienza el encendido de los tiristores del interruptor B (LB).

10. El diagrama de los tiempos correspondientes se muestra en la figura 6c. En la figura 6c, MC significa puesta en trabajo de la memoria de orden de gobierno o mando, MX puesta en trabajo de la memoria de orden de excitación de A, MG puesta en trabajo de la memoria de cambio de agujas, ML puesta en trabajo de la memoria de encendido de B,
15. XA, extinción de la corriente de puerta de A, CA extinción de A y LB encendido de B. Las flechas verticales indican acontecimientos y las flechas horizontales indican subordinaciones.

20. FIGURAS 7a, 7b, 7c.- La figura 7a presenta el caso en que teniendo la corriente una forma aproximadamente normal, como en la figura 6a, el instante t_1 se encuentra dispuesto de tal forma que el intervalo $t_2 - t_{22}$ se encuentra contenido en el intervalo $t_1 - t_{12}$. Se observa en el
25. diagrama de los tiempos de la figura 7b que sobreviniendo t_{22} antes de t_{12} , no hay orden de encendido de B.

Sin embargo A ha recibido una orden de apertura, y se abre completamente en el instante t' , cero ascendente, o a veces incluso en el instante t_{11} . Como B no se encenderá antes del cero descendente conforme a t' , durante
30.

3734025 NOV



una alternancia completa la corriente de carga deberá pasar por los elementos de protección, lo que es inadmisibles. En presencia de dicha anomalía, es preciso impedir la extinción de A. Después de lo cual será intentada otra secuencia por el juego del reiterador.

5.

La figura 7c muestra el circuito de corrección.

La figura 7c comprende tres partes:

En el bloque 201 están representados los órganos del circuito de base de la figura 6b que son retocados:

10. puertas 1 y 2 principalmente, puertas 5 y 6.

El cuadro II contiene los órganos de corrección.

El cuadro II comprende dos puertas \bar{Y} 21, 22 y una báscula biestable 23/24, que constituye una memoria de anomalía (MA), cada uno de cuyos elementos está atacado por una de dichas puertas respectivamente.

15.

La puerta 21 recibe en dos entradas la almena S_4 y la almena S_5 . La puerta 22 recibe, en gobierno de puesta a cero, el impulso I_1 .

20. La salida del elemento 24 está conectada a una entrada de las puertas 1 y 2, y a una entrada de las puertas 5 y 6.

25. Si la almena $t_2 - t_{22}$ tiene una parte común con el intervalo $t_1 - t_{12}$ (caso de la figura 7a), aparecen en el instante t_2 - dos (1) a la entrada de la puerta 21, de donde (0) a la salida de 21 y (1) a la salida de 23, de donde (0) a la salida de 24: éste cero aplicado a las puertas 1 y 2, bloquea la transmisión de la orden de extinción de A (ver figura 6b). Este mismo cero, aplicado a las puertas 5 y 6, mantiene la báscula MG

30. en el estado de reposo correspondiente al interruptor A

33-
373 102



en carga (7/3 figura 6b).

El impulso I_1 que se produce en el periodo de corriente siguiente, restablece el circuito de corrección a cero.

5. FIGURAS 8a, 8b, 8c.- En la figura 8a, la corriente es todavía de forma casi sinusoidal, pero la posición de t_1 es tal que el intervalo $t_2 - t_{22}$ está comprendido en el intervalo $t_{11} - t_{12}$.

10. El diagrama de los tiempos de la figura 8b muestra que la orden de encendido que es emitida en t_{22} es dirigida sobre A, y no sobre B, ya que la memoria de cambio de agujas MG bascula solamente en el tiempo t_{12} . Por consiguiente se dá la orden de encender de nuevo A.

15. Como la memoria MX entra en trabajo en t_{11} , hay un (1) a la salida de 3. En t_{12} la báscula MG entra en trabajo, y desde entonces la orden de encendido es dirigida sobre B: por consiguiente B puede encenderse de nuevo en el próximo paso de I^+ a I^- : los dos interruptores se encuentran encendidos al mismo tiempo, esta es la realización del corto circuito de escalón. Es preciso por consiguiente corregir.
- 20.

25. La corrección se efectúa por la disposición presentada en la figura 8c: las puertas $\bar{Y} 1$ y 2 son reemplazadas por puertas $Y 1'$ y $2'$, respectivamente, en serie con circuitos $\bar{O} 25$, 26 respectivamente. La salida de 9 está conectada a la entrada de 26 y la salida de 10 está conectada a la entrada de 25.

30. El funcionamiento es el siguiente: desde el momento en que A recibe la orden de nuevo encendido en t_{22} , por el $\bar{O} 26$ se envía un impulso de excitación de B



- por la salida de 9: este impulso está sin efecto sobre B, que está siempre cortado, pero posiciona de nuevo correctamente la memoria MX en el estado A en carga, es decir (1) a la salida de 4, (0), a la salida de 3, y por
5. consiguiente a la entrada de 6: el cambio de agujas NG permanece en la posición A en carga. Este estado es por otra parte confirmado merced a la corrección ya realizada en las puertas 5 y 6 en la figura 7c.

- FIGURAS 9a, 9b, 9c.- La figura 9a muestra una
10. forma de corriente que presenta, después de una alternancia, positiva, una breve punta de I_1^- , de base inferior a $200\mu s$, seguida de un nuevo paso a I.

- De ello resulta que la almendra de $200\mu s$ que comienza en t_2 es cortada por el cero ascendente que se produce entre t_2 y t_{21} . La reaparición de I_1^+ por debajo de $200\mu s$ después del corto de A corre el riesgo de encender de nuevo A.
- 15.

- Esto se observa en el diagrama de tiempo 9b, por la supresión del efecto CA, que sucede normalmente en el accionamiento XA (ver figura 6c), pero que no se produce a ciencia cierta en el presente caso.
- 20.

- La resolución del caso comprende el nuevo encendido voluntario de A, la inhibición de encendido de B, y el nuevo posicionamiento de la lógica. A esto se llega por el anillo de corrección de la figura 9c.
- 25.

- En la figura 9c, se toma de nuevo el conjunto memoria MA y puertas 21, 22 de la figura 7c. Se adiciona un circuito O 31 que recibe las señales S1 y S4, en tanto que la puerta 21 recibe la señal S5 y la señal de salida del
30. circuito 31 (ver figura 7c).



- Por otra parte, las puertas $\bar{Y} 5$ y 6 son reemplazadas por puertas $Y 5'$ y $6'$, conectadas a la entrada de la misma forma que dichas puertas 5 y 6 . Entre la salida de $5'$ ($6'$) y la entrada de la báscula MG , hay una puerta $\bar{O} 29$ (30) que está conectada por una parte a la salida de la puerta $5'$ ($6'$) y por otra a la salida de una puerta $Y 27$ (28), que tiene una entrada conectada a la salida del elemento 20 (19) de la báscula MC , y una entrada conectada a la salida del elemento 23 (24) de la báscula MA .
- 5.
10. Hay coincidencia entre la almena $t_2 - t_{21}$ (señal S_5) y la derivada positiva de I^+ (señal S_1 transmitida por 31). Esta coincidencia comprobada por 21 es memorizada en MA . La salida de 23 pasa a (1) . La memoria MG es cambiada de agujas sobre el encendido de A desde la detección de la coincidencia, merced a la puerta 27 .
15. En t_{22} el impulso de nuevo encendido es dirigido sobre A por la puerta 9 . Al mismo tiempo la báscula MX es puesta en buena posición: extinción de B .
- FIGURAS 10a, 10b.- La situación a la cual responde el circuito siguiente está representada en la figura 10a: el reiterador ha cebado una secuencia anterior al cabo de una alternancia I^+ , por ejemplo t_1 que coincide con un cero ascendente. En principio la orden de encender B debe ser dada en el cero descendente que sigue: Pero este cero descendente está alejado de t_1 más de 3 ms. El reiterador ceba entonces otra secuencia a $t'_1 = t_1 + 3$ ms. Ahora bien, esta segunda secuencia (o una siguiente) puede presentar una anomalía ya encontrada: almena $t_2 - t_{22}$ comprendida en el interior de la almena $t_1 - t_{12}$. Los circuitos de corrección de las figuras 7c y 8c, intervienen para corregir un fallo que en el caso
- 20.
- 25.
- 30.



presente es ilusorio, ya que en efecto nada se opone a la conmutación cebada: el reiterador corrige rechazando la conmutación y poniendo A en carga, mientras la conmutación era ejecutable en t_{22} .

5. Es preciso entonces inhibir esta corrección después que han sido cumplidas las tres condiciones siguientes

1ª) Orden de conmutar sobre B en memoria MC.

2ª) Supresión de la corriente de puerta de los tiristores de A efectuada en t_{11} .

10. 3ª) Memoria MG de cambio de agujas hacia el encendido de B en t_{12} .

La solución está dada por el circuito de la figura 10b, que comprende:

15. Dos puertas Y, 32 (33), de tres entradas, unidad a salida de 19 (20), salida de 4 (3), salida de 7 (8). Las salidas de las puertas 32, 33 están unidas a la entrada de un $\bar{0}$ 34. cuya salida esta conectada a la entrada de una puerta Y de dos entradas, 35, que recibe en la otra entrada la señal S_4 . La salida de la puerta 35 está unida a la entrada del circuito 0 31 que ya se ha descrito en la figura 9c.

20. Desde el instante t_{12} en donde las tres condiciones anteriores son realizadas, la puerta 33 da un (1) en salida, y la puerta 34 de un (0). Este (0) aplicado a la puerta 35 y transmitido a la puerta 21 por el 0 31, impide el efecto de la coincidencia de la almena $t_2 - t_{22}$ con la almena $t_1 - t_{12}$, dejando la memoria MA en reposo.

25. FIGURAS 11a, 11b.- A la izquierda de la línea marcada por Y en la figura 11a, la situación de las órdenes con respecto a la corriente es normal y permite la conmutación.

30. A ha sido abierta y B cerrada. Pero a la derecha de la lí-

373102-37 -



5. sea Y, se comprueba que existe un paso de I^- a I^+ (t'_2) por debajo de 200 μ s después de un paso de I^+ a I^- . Ahora bien la misión del circuito de la figura 9c es de encender de nuevo A en presencia de dicha situación. Se tendrá un corto-circuito de escalón. Es preciso entonces inhibir la corrección del circuito de la figura 9c en la presente situación.

10. La figura 11b muestra el dispositivo de corrección muy simple adoptado: consiste en una conexión entre la salida de la puerta 14 (13) y la entrada de la puerta 27 (28).

En efecto, una vez rehusada la conmutación B en carga, se tiene (0) a la salida de 14; ensayo B en carga (ver descripción de la figura 6b). Este (0) aplicado a la entrada de 27 impide la corrección intempestiva.

15. FIGURA 12.- La situación representada por la figura 12 es la siguiente: después de una primera tentativa de secuencia que ha comenzado en el cero ascendente (t_1), un cero descendente (t_2) dispara el intervalo $t_2 - t_{21}$. Sin embargo la corriente cambia rápidamente de polaridad y pasa por un cero ascendente de menos de 200 μ s después de t_2 . Se supone que este cero ascendente se produce 3 ms después de t_1 , es por consiguiente un nuevo comienzo de secuencia.

20. La aparición de I^+ constituye una anomalía que prohíbe la conmutación (ver figura 9a). Por consiguiente la memoria MA debe ser puesta en trabajo.

25. Por otra parte el nuevo t_1 que se presenta, es el encargado de poner la memoria MA en reposo (figura 7c).

30. Hay por tanto conflicto. Al ser la corrección prioritaria, es preciso impedir a este t_1 operar la puesta a cero. Se llega a esto aplicando la señal S_5 a un inversor 36



cuya salida está conectada a la entrada de la puerta 22 (figura 10b). De este modo la aparición de la almena S_5 en estas condiciones aplica un (0) sobre la puerta 22 e impide al impulso I_1 (t_1) llevar la báscula MA a cero.

5. Los casos de impedimento de conmutación que quedan por tratar se refieren a pasos de la corriente por cero sin cambio de signo ("cero tangente").

FIGURAS 13a, 13b.- En la figura 13a el cero tangente se presenta entre t_a y t_{11} .

10. Es preciso rehusar la conmutación y encender de nuevo A inmediatamente, ya que se ha decidido conmutar solamente en la aparición de I^- ; en efecto, si se corta la corriente de puerta de A t_{11} , la corriente I^+ que acaba de ponerse en marcha puede no tener un valor suficiente en t_{11} para entretener la conducción de A hasta el instante t_2 .

15. El circuito de corrección de la figura 13b comprende una memoria de anomalía MA' (43/44) atacada por dos inversores 41, 42. La entrada de 41 está conectada a la salida de 48 (ver figura 4c) y la entrada de 42 recibe el impulso I_1 en t_1 .

20. El cero tangente, detectado por la instalación descrita en la figura 4a, lleva un (0) a la salida de 44, que bloquea las puertas 1 y 2, 5 y 6. La secuencia no comienza. En el instante t_1 siguiente, la memoria MA' es puesta a cero y una nueva tentativa de conmutación puede ponerse en marcha.

25. FIGURAS 14a, 14b.- En la figura 14a, la anomalía está constituida por un cero tangente que sobreviene entre t_{11} y t_{12} .

30. Se ha suprimido la corriente de puerta de A. Pero no



375432 - 39 -

se puede encender B. Por consiguiente es preciso encender de nuevo A inmediatamente.

En este caso el circuito de corrección, representado por la figura 14b, comprende por una parte a la entrada de la puerta $\bar{0}$ 29 (30) una puerta Y 37 (38) de tres entradas: salida de 48, salida de 20 (19) y salida de 14 (13); por otra parte la puerta \bar{Y} 9 (10) es reemplazada por una puerta Y 9' (10') en serie con una puerta $\bar{0}$ 39 (40) la cual recibe sobre otra entrada la salida de 37 (38).

Desde el momento en que aparece el cero tangente, la puerta 37 recibe de 48 un (1) impulsivo. Por otra parte la salida de 14 está sobre (1), ya que B no está en carga, así como la salida de 20 (ver figura 6b). Por consiguiente (1) aparece a la salida de 37:

1º) A la entrada de 29. Da un impulso de salida que confirma el cambio de agujas de encendido de A, que no había variado.

2º) A la entrada de 39 una señal I_5 que ordena el nuevo encendido de A. confirme el posicionamiento de la memoria ML y posiciona de nuevo MX que había basculado.

FIGURA 15.- La figura 15 muestra la aparición de un cero tangente posteriormente a t_{12} .

13 y 14 están sobre (1) en tanto que la conmutación no se efectúa. En el cero tangente, se enciende de nuevo A, habida cuenta de la corrección realizada anteriormente. Por el contrario, es preciso posicionar de nuevo rápidamente la memoria NG para evitar el encendido intempestivo de B en la aparición de la próxima I^- .

373132



En el circuito de la figura 14b, el impulso que sale de 29 procedente de 37, posiciona de nuevo MG, y el impulso que sale de 39 posiciona de nuevo MX y A por 26.

5. En ambos casos de las figuras 14a y 15, las salidas de 13 y 14 que están sobre (1) no aportan ninguna acción inhibidora mientras la conmutación de A a B no haya sido efectuada.

10. Una vez la conmutación rechazada con B en carga, la salida de 14 pasa sobre (0) y la salida de A está sobre (1). Por consiguiente si un cero tangente se presenta después de la conmutación rechazada, el (0) a la salida de 14 bloquea la puerta correctora 37 y evita una orden intempestiva de encendido de A mientras que B está en carga.
- 15.

FIGURAS 16a, 16b.- La figura 16a muestra un caso de coincidencia de cero tangente con t_1 .

20. En estas condiciones la memoria MC cambia de estado en un tiempo no nulo, por consiguiente se corre el riesgo de enviar una parte del impulso de cero tangente sobre 37 (figuras 13b) en encendido de A y otra parte sobre 38 en encendido de B.

25. La figura 16b contiene los circuitos de corrección siguientes cuya misión será explicada a continuación:

- 1º) Un integrador de tipo RC, o análogo, está colocado entre 17 y 19 (18 y 20) y una puerta Y 50 recibe sobre dos entradas las señales de salida de 17 y 18.

30. 2º) Un circuito \bar{O} 47 recibe I_2 a I_3 , y su

373102



- salida está conectada a un derivador 47', que sale a un inversor 46. La salida de éste inversor 46 está conectada a una entrada de una puerta Y de dos entradas 45, cuya otra entrada está conectada a la salida del
5. elemento 43 de la memoria MA.
- 3º) La salida de la puerta 50 está unida a la entrada de la puerta 62 del detector de cero anormal de corriente. Una puerta 0 49 recibe en una entrada la salida de 48, y en otra entrada la salida de 45, y aplica su salida a la entrada de 37 y 38.
10. No hay necesidad de hacer corrección en la figura ya que la secuencia de conmutación no ha arrancado todavía. Sin embargo se bloquea la acción del impulso de nuevo encendido I_5 .
15. Habida cuenta de que el impulso I_5 tiene una duración de $40 \mu s$, y que el basculamiento de la memoria MC no es infinitamente rápido, se corre el riesgo de cortar I_5 en dos partes, que darían el encendido simultáneo de A y B.
20. Es preciso entonces bloquear I_5 y no permitir el basculamiento de MC más que después del bloqueo de I_5 . Esto se realiza con ayuda de 50 y de los integradores RC, cuyo funcionamiento se explica como sigue:
25. En ausencia del impulso I_1 (t_1), las puertas 17 y 18 liberan un (1) en las entradas de 50 que aplica un (1) de autorización a la puerta 62 fuera de los instantes t_1 . Por el contrario en los instantes t_1 , 18 está sobre (0) durante la duración del impulso I_1 . Por consiguiente durante I_1 , 50 da un (0) que bloquea inmediatamente la puerta 62, lo que bloquea el paso
- 30.

373 102.5M



del impulso I_5 durante la duración del impulso I_1 .

5. Merced a los integradores RC, la memoria MC no cambiará de estado más que con un poco de retardo con respecto a I_1 . La puerta 62 es bloqueada antes del cambio de estado de la memoria MC. El riesgo de corte del impulso está descartado.

FIGURA 17.- La gráfica de la figura 17 muestra la coincidencia del cero tangente con t_{11} .

10. En t_{11} la secuencia de base ha programado A apagada. Pero el cero tangente exige A encendida. Existe duda sobre el estado final de las básculas de potencia A1, A2, (figura 2a). Asimismo, existe duda sobre el estado de la memoria MX. Esta situación no puede ser tolerada: es preciso encender de nuevo A con certeza y posicionar de nuevo la memoria de extinción MX.

15. El circuito de corrección está trazado en la figura 16b.

20. La solución consiste en aceptar el dilema en el instante t_{11} , pero en emitir en $t_{11} + \epsilon$, siendo ϵ la amplitud del impulso I_2 , un nuevo impulso que, esta vez, encenderá A con certeza y por 26, posicionará de nuevo la memoria MX. Este impulso está engendrado por el derivador 47', que recibe el impulso I_2 a través de la puerta \bar{O} 47. La memoria MA', que ha registrado el cero tangente desde su aparición, aplica la señal (1), que sale de 43 a la entrada de 45. En el instante $t_{11} + \epsilon$, el derivador, por mediación de 46, aplica un (1) impulsional sobre la segunda entrada de 45.

25. El impulso que sale de 45 llega a 37 a través de 49. De ello resulta un impulso que enciende de nuevo A,

30.

373102



a través de 37, 39 y a través de 29 posiciona de nuevo MX.

FIGURA 18.- El gráfico de la figura 18 muestra una coincidencia del cero tangente con t_{12} .

5. En t_{11} se había apagado A. En t_{12} la secuencia normal trata de cambiar de agujas el encendido sobre B. Por el contrario, la corrección por la puerta 37 quiere cambiar de agujas el encendido sobre A.

10. Para el circuito de potencia, el nuevo encendido de A es efectivo a través de 37 - 39, por el contrario para la lógica, si la memoria MX está correctamente posicionada, existe duda sobre la posición de la memoria MG. Es preciso entonces posicionar de nuevo con certeza la memoria MG en $t_{12} + \epsilon$.

15. El circuito de corrección es el de la figura 16 b, pero esta vez es el impulso 13 el que es utilizado en 47. El resto del proceso es el mismo que anteriormente.

- FIGURA 19.- En la figura 19, no se trata de un caso de cero tangente, sino de un cero ascendente de I^+ que sobreviene en un intervalo $t_2 - t_{21}$ y que coincide con un nuevo t_1 debido a la iniciativa del reiterador.

25. El cero ascendente que sobreviene en un intervalo $t_2 - t_{21}$ ha sido ya encontrado en la figura 9a, y corregido por el circuito de la figura 9c.

30. La corrección se efectúa normalmente por la puerta 27 ó 28. Como en el instante t_1 la memoria MC está a punto de bascular, una parte de la señal correcta corre el riesgo de ser dirigida sobre 27 y la otra

373102



parte sobre 28: de donde se corre el riesgo de corto circuito de escalón.

5. Para evitar éste riesgo, se opera el bloqueo inmediato de 27 y 28 desde el instante t_1 por la puerta 50 (ver descripción de la figura 16b), y se retarda el funcionamiento de la memoria MC por los integradores RC.

10. La memoria MC cambiará de estado sin dificultad, ya que las puertas 27 y 28 han sido bloqueadas desde el instante t_1 . Esta corrección no aporta perturbación, ya que 27 y 28 no están bloqueadas más que durante los impulsos t_1 .

15. FIGURA 20.- La figura 20 es un esquema que muestra el procedimiento de vigilancia del preselector mecánico por la lógica. Si la conmutación ha sido determinada por la lógica electrónica durante la marcha, la finalización de la rotación del preselector de la posición 3 a la posición 4 (figura 1) abre el interruptor A en carga. Es preciso entonces impedir esta eventualidad.

20. El preselector de toma es posicionado por un servomecanismo de un tipo conocido, que contiene especialmente un potenciómetro de referencia de posición, un potenciómetro de recopia de posición, un amplificador operacional asociado a un amplificador de potencia, un servomotor rápido acoplado al preselector y una dinamo
25. tacométrica cuya misión es asegurar la corrección de avance de fase necesaria para un buen amortiguamiento.

Según una técnica clásica, se efectúa la suma total de las tres magnitudes:

30. Tensión de referencia
Tensión de recopia

375-45-102



Tensión tacométrica,

a la entrada del amplificador operacional, siendo la suma nula cuando la posición deseada es alcanzada.

El principio de la vigilancia consiste en frenar bruscamente el motor del preselector en la posición 3, y liberarla sólo una vez que la conmutación es rehusada: la lógica destruye entonces su orden de frenado y la operación se continúa hasta la posición 4. Esta forma de operar por anticipación dá la certeza de poder detener siempre el preselector en la posición 3, posición de seguridad, que permite a la conmutación efectuarse por los tiristores e impide el corte de la corriente de carga por el contacto mecánico asociado a A.

El circuito comprende una puerta $\bar{Y} 51$ cuyas entradas están conectadas respectivamente a las salidas de las puertas $\bar{Y} 13$ y 14 . La salida de la puerta 51 sirve para alimentar un relé 99 que tiene un bobinado 100 que, asegurando el aislamiento de la lógica con masa, puede bloquear el motor 102 del preselector (no representado). El preselector, cuyo motor 102 está acoplado a una dinamo tacométrica 103 , es accionado por una servidumbre que se ejerce con ayuda de un amplificador sumador 101 , que recibe a la entrada una señal de recopia por la borna 108 y una señal de referencia por la borna 109 proporcionadas por dos potenciómetros 110 , 111 , respectivamente, y efectúa la suma con una señal tacométrica de avance de fase por la red de resistencias, en sí conocida, 104 , 105 , 106 , 107 .

En t (posición 3, figura 1), el ensayo A en carga es roto, ya que se registra la orden de comu-



373 102

tar sobre B. Las puertas 13 y 14 dan un (1) en su salida, y por consiguiente 51 excita el relé de bloqueo 100 que pone a masa las entradas de referencia y recopia del amplificador 101 sumador de la servidumbre.

5. En estas condiciones es conocido que la señal tacrométrica de avance de fase solicita la entrada del amplificador por una tensión de señal inversa con respecto al estado no bloqueado. De ahí que se produzca una violenta contra-corriente de frenado que detiene rápidamente el preselector en la posición deseada.
- 10.

- Si es rehusada la conmutación, el ensayo B en carga pasa a (0). La puerta 51 proporciona un (0) a la salida, y el relé 100 es desexcitado. La servidumbre continúa de nuevo el accionamiento de la rotación, que se concluye en la posición 4 (figura 1).
- 15.

- FIGURAS 21a, 21b, 21c.- Estas figuras que están dadas para cotejar la figura 2a se refieren a una disposición que permite paliar una dificultad encontrada en la elaboración de las señales I^+ , I^- en el caso en que la corriente que atraviesa los elementos de protección shuntando un interruptor abierto, no es despreciable ante la corriente de carga.
- 20.

- En estas figuras, las mismas referencias designan los mismos órganos.
- 25.

- U_p designa el bobinado principal del transformador de tomas y U_e un escalón de conmutación entre dos tomas. El interruptor B abierto es shuntado por un elemento de protección P_B . El interruptor A cerrado es shuntado por un elemento de protección P_A . Detrás
- 30.



del punto común a los dos interruptores, se encuentra en S el shunt de diodos que sirve para detectar los ceros de corriente y la carga Z que contiene el circuito en U_p .

5. En la figura 21a, la carga Z, y por consiguiente el shunt S, es atravesada por la corriente de carga I. El elemento de protección P_B es atravesado por i, corriente de fuga: por consiguiente el interruptor A transita, no la corriente I, sino la corriente $I + i$.

10. El shunt de diodos S, al que está conectado la lógica, no desea más que a I. Pero la magnitud determinante para la apertura de A, es $I + i$. En tanto que se tenga $i + I$, el error en la detección de los ceros es despreciable. Pero los valores de los parámetros exigen

15. que se ponga en paralelo un gran número de elementos de protección por ejemplo 10, (esta aproximación no es ya válida a ciencia cierta), no siendo ya 101 despreciable ante I, y está situación corre el riesgo de aportar perturbaciones en la detección de los ceros (con peligro de corto-circuito de escalón).

20. Para evitar este inconveniente, se podría pensar en el montaje de la figura 21b, estando conectados los 10 elementos de protección a la carga en el punto N. En estas condiciones la corriente de los elementos de protección no pasa ya a A. La corriente en A es igual a la corriente en S. Por consiguiente la detección de los ceros por la lógica es correcta.

25. Pero de hecho, éste montaje presenta un inconveniente redhibitorio: en el momento en que los dos interruptores son abiertos, y en particular para débiles

30.



- corrientes de carga, cuando la corriente resulta ser I^- entre t_2 y t_{21} , es conducida por los elementos de protección. Por consiguiente, el shunt S no desea esta corriente: la lógica no es ya advertida de la presencia de I^- : la secuencia de conmutación se detiene en el estado de dos interruptores abiertos y los elementos de protección son sobrecargados ya que aseguran permanentemente la transferencia de la corriente de carga: por tanto son destruídos.
- 5.
10. La solución adoptada está representada en la figura 21c: sobre los diez elementos, uno está conectado a las bornas del interruptor y los otros nueve están conectados en el punto N. En estas condiciones, el desvio entre la corriente en el shunt S y la corriente en el interruptor A es sólo de i , y no de $10 i$: este desvio es despreciable por hipótesis. Por consiguiente la detección de los ceros por el shunt S no es perturbada.
- 15.
20. Sin embargo, en el momento en que A y B son abiertos cada uno, el shunt de diodos S es atravesado por $I^-/10$, y no por I^- . Pero ésta disminución no presenta inconvenientes serios, merced a la sensibilidad del shunt de diodos, que puede todavía revelar, en éstas condiciones, ceros de corriente sobre las corrientes de carga más débiles encontradas en la práctica.
25. FIGURAS 22a, 22b.- Las figuras 22a, 22b, dan una vista de conjunto de la lógica completa, que integra el circuito de base y todos los anillos o circuitos de corrección.
30. Los enlaces entre las dos figuras se hacen por

los grupos de conexiones I,II,III.



N O T A

- Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de patente presentada en Francia con el número PV. 172.630 de 5 de noviembre de 1968, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por veinte años en España sobre:
15. PERFECCIONAMIENTOS EN DISPOSITIVOS DE GOBIERNO DE UN CONMUTADOR SINCRONICO EN CARGA PARA CORRIENTE ALTERNA, caracterizándose por lo siguiente:
- 1.- Perfeccionamientos en dispositivos de gobierno de un conmutador sincrónico en carga para corriente alterna, comprendiendo dicho conmutador dos interruptores estáticos constituidos cada uno por uno o más rectificadores gobernados sobre los que están conectados en paralelo unos elementos de protección de resistencia no lineal tales como diodos Zener, un dispositivo de detección del paso a cero de la corriente de carga y un preselector mecánico, caracterizados porque el circuito lógico de gobierno o mando comprende una memoria de la orden de mando de una secuencia, una memoria de la orden de extinción de los rectificadores gobernados y una memoria de cambio de agujas de la orden de encendido de los
5. ca,
10. se
20. te
25. ción
30. memoria



- rectificadores accionados, comprendiendo esta última memoria las salidas completarias unidas cada una a un circuito Y o por conjunción que acciona el encendido de uno de los interruptores estáticos, recibiendo cada uno de estos circuitos Y por otra parte una señal de encendido, porque el tiempo que separa la orden de extinción de la orden de accionamiento de una secuencia es al menos igual al tiempo al cabo del cual, después de un paso a cero de la corriente mínima de carga, los
- 5.
10. interruptores estáticos no pueden ya apagarse si se suprime su corriente de gobierno, porque la señal de cambio de agujas es distinta de la señal de extinción y emitida después de ésta última y porque la señal de encendido no se produce después del paso por cero de la corriente de carga más que al cabo de un espacio de tiempo superior al tiempo de desionización de los rectificadores gobernados.
- 15.

- 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque dichos dispositivos comprenden un dispositivo que proporciona de manera cíclica las diferentes señales de gobierno, no siendo engendrada la señal de comienzo de una secuencia después de la señal de cambio de agujas de la secuencia anterior, más que al cabo de un espacio de tiempo al menos igual al
- 20.
25. espacio de tiempo necesario para el retorno al estado inicial de los diferentes elementos del circuito lógico de gobierno.

- 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dispone un dispositivo de
30. detección de un paso por cero de la corriente de carga

373 182

- 51 -

5 NOV. 1952



- sin cambio de signo, constituido esencialmente por tres memorias que reciben cada una, respectivamente, una señal emitida cuando la corriente de carga pasa de un valor positivo a cero, una señal emitida cuando la corriente de carga pasa de cero a un valor positivo y una señal emitida cuando la corriente de carga pasa de cero a un valor negativo, siendo enviadas la señal de salida de las dos primeras memorias y la señal opuesta a la señal de salida de la tercera memoria, a la entrada de un circuito Y, mandando la segunda señal citada con una cierta temporización al retorno a cero de las tres memorias.

- 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dispone un circuito lógico de corrección que suprime la transmisión de la orden de transmisión al circuito de gobierno y que mantiene la memoria de cambio de agujas en su estado inicial cuando, durante una secuencia, la señal de encendido es producida antes de la señal de cambio de agujas.

- 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dispone un circuito que produce una señal de extinción de uno de los interruptores gobernados y una señal que coloca o que mantiene la memoria de cambio de agujas en su estado inicial, cuando el otro interruptor gobernado recibe una orden de encendido.

- 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dispone un circuito que proporciona una señal cuando, durante una secuencia la corriente de carga pasa una segunda vez por cero en

373 102



un espacio de tiempo inferior al espacio de tiempo de desionización de los interruptores gobernados, colocando de nuevo dicha señal por mediación de una primera memoria, de anomalía, la memoria de cambio de agujas a su estado inicial, siendo puesta a cero la primera memoria de anomalía citada por la señal de comienzo de secuencia.

5. 7.- Perfeccionamientos según las reivindicaciones 1, 4, y 5, caracterizados porque se dispone un circuito que proporciona una señal de bloqueo cuando la memoria de la orden de comienzo de secuencia ha registrado una señal de conmutación sobre uno de los interruptores gobernados, porque la señal de extinción ha sido emitida y porque la memoria de cambio de agujas ha sido colocada en la posición correspondiente al encendido del interruptor considerado, oponiéndose dicha señal de bloqueo a la acción del circuito lógico de corrección y del circuito que produce la señal de extinción de los interruptores gobernados.
10. 8.- Perfeccionamientos según las reivindicaciones 6 y 7, caracterizados porque la señal de bloqueo citada pone la primera memoria de anomalía a cero.
15. 9.- Perfeccionamientos según las reivindicaciones 1 y 6, caracterizados porque se disponen dos circuitos que proporcionan cada uno una señal de control cuando una secuencia de conmutación de un interruptor gobernado al otro se ha efectuado correctamente, oponiéndose dicha señal de control a la ac-
- 20.

- 25.
- 30.



ción del circuito que proporciona una señal cuando, durante una secuencia, la corriente de carga pasa una segunda vez por cero en un espacio de tiempo inferior al espacio de tiempo de desionización de los interruptores gobernados.

5. 10.- Perfeccionamientos según las reivindicaciones 1 y 7, caracterizados porque se dispone un circuito que bloquea la acción del circuito que proporciona una señal de bloqueo cuando la memoria de la orden de comienzo de secuencia ha registrado una señal de conmutación sobre uno de los interruptores gobernados, después de un paso a cero de la corriente de carga y durante un espacio de tiempo al menos igual al espacio de tiempo de desionización de los interruptores gobernados.

15. 11.- Perfeccionamientos según las reivindicaciones 1 y 3, caracterizados porque comprende un circuito que comprende una segunda memoria de anomalía que recibe la señal de salida del dispositivo de detección de un paso por cero de la corriente de carga sin cambio de signo y pone a cero por la señal de comienzo de secuencia la señal proporcionada por dicho circuito que se opone a la transmisión de la señal de comienzo de secuencia a la memoria de la orden de comienzo de secuencia y a la transmisión de la señal de cambio de agujas a la memoria de cambio de agujas.

20. 12.- Perfeccionamientos según las reivindicaciones 1, 3, 6, y 9, caracterizado porque comprende un circuito que proporciona una señal cuando el dispositivo de detección indica un paso de la corriente de carga por cero sin cambio de signo, cuando la orden de extinción

30.



de uno de los interruptores accionado ha sido dado y cuando el otro interruptor accionado no ha recibido orden de encendido, originando dicha señal al nuevo encendido del primer interruptor gobernado.

5. 13.- Perfeccionamientos según la reivindicación 1, caracterizados porque la señal de comienzo de secuencia es enviada sobre la memoria de la orden de comienzo de secuencia por mediación de un circuito integrador.
10. 14.- Perfeccionamientos según las reivindicaciones 1 y 9, caracterizados porque el preselector mecánico comprende un dispositivo de bloqueo gobernado por una señal producida por un circuito cuando ninguno de los circuitos que proporcionan cada uno una señal de control cuando una secuencia de conmutación de un interruptor a otro se ha efectuado correctamente, proporciona señal de control.
15. 15.- Perfeccionamientos según la reivindicación 1, caracterizados porque se disponen varios elementos de protección de resistencia no lineal para cada interruptor gobernado, estando parte de estos elementos conectados en paralelo sobre un interruptor y otros en paralelo sobre el conjunto de un interruptor gobernado y del dispositivo de detección por cero de la corriente de carga.
20. 16.- Perfeccionamientos según la reivindicación 15, caracterizados porque la mayoría de los elementos de protección está en paralelo sobre el conjunto de un interruptor gobernado y dispositivo de detección por cero de la corriente de carga.
25. 17.- Perfeccionamientos en dispositivos de gobier-
- 30.

373 182



1909

no de un conmutador sincrónico en carga para corriente alterna, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.

Esta Memoria consta de cincuenta y cinco ho-

5. jas escritas a máquina por una sola cara.

Madrid, 1909

COMPAGNIE GENERALE
D'ELECTRICITE

L. ESCOBAR Y CAZORLA
INGENIERO

373102
X

FIG. 1a

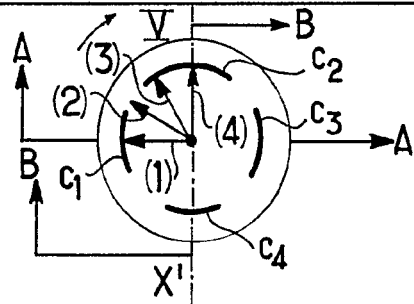
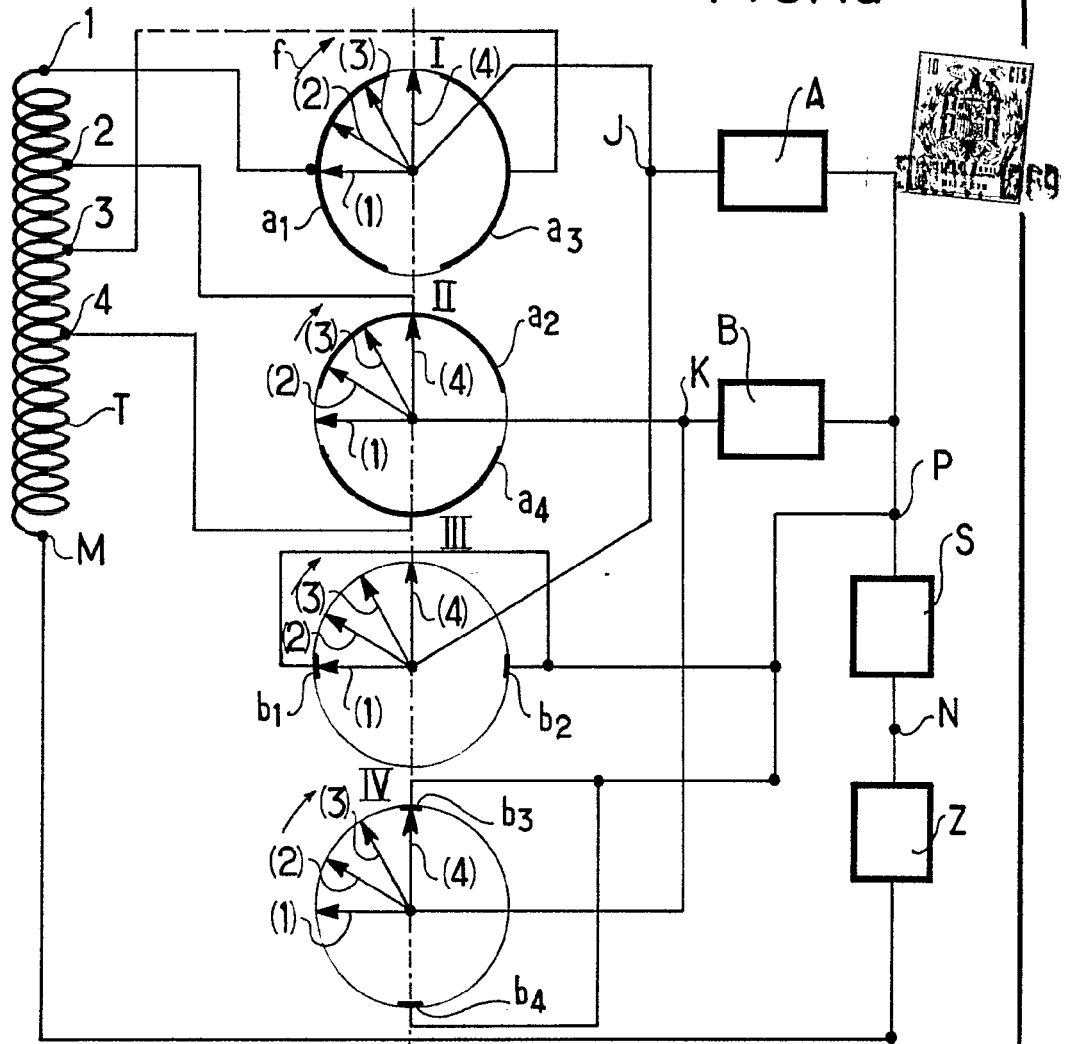
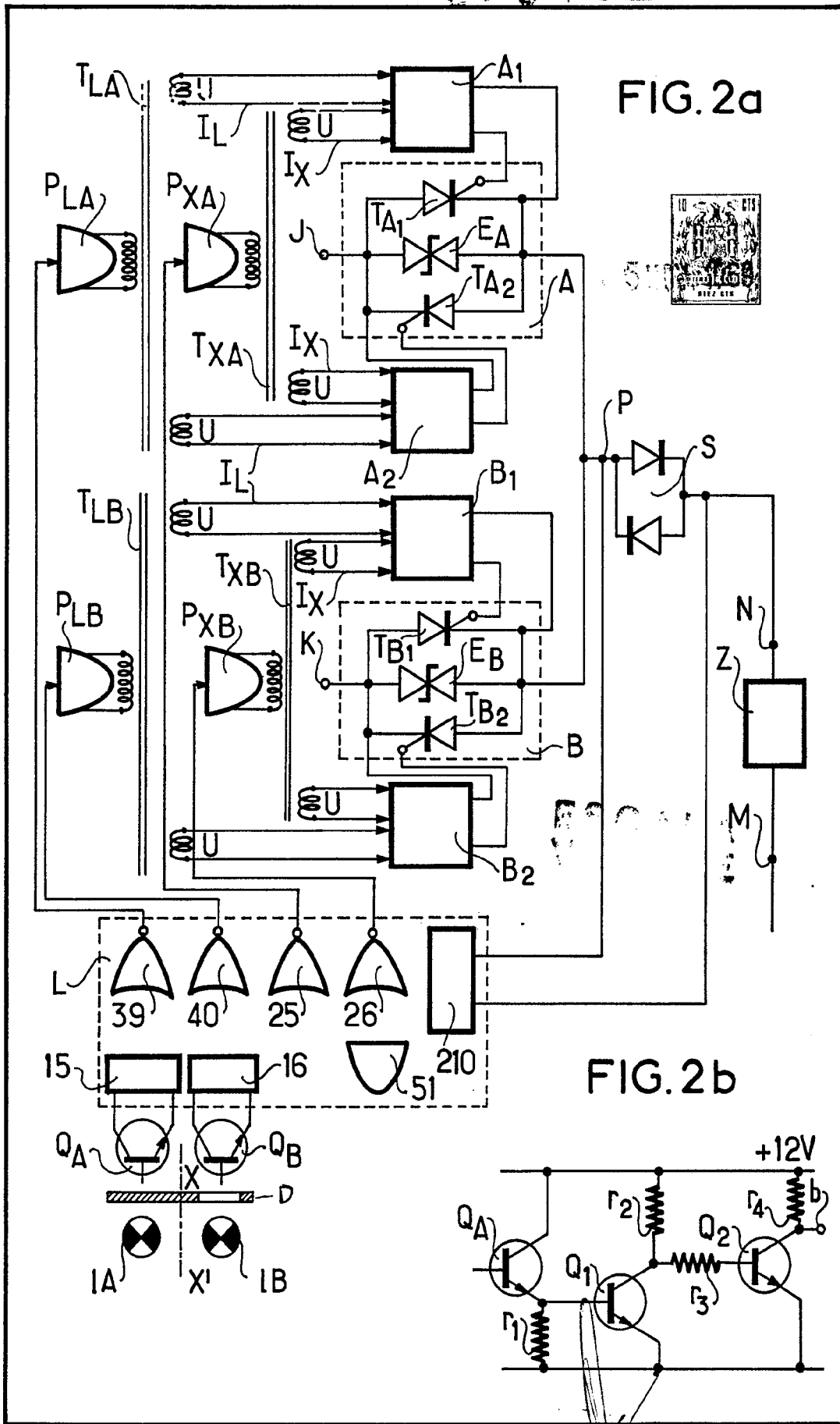


FIG. 1b

	(A)	(B)	(A)	(B)	(A,B)
	I	II	III	IV	V
(1)	1	0	1	0	A
(2)	1	1	0	0	0
(3)	1	1	0	0	B
(4)	0	1	0	1	B

[Handwritten signature]

373182



Model 11, cover...

373102

FIG. 3a

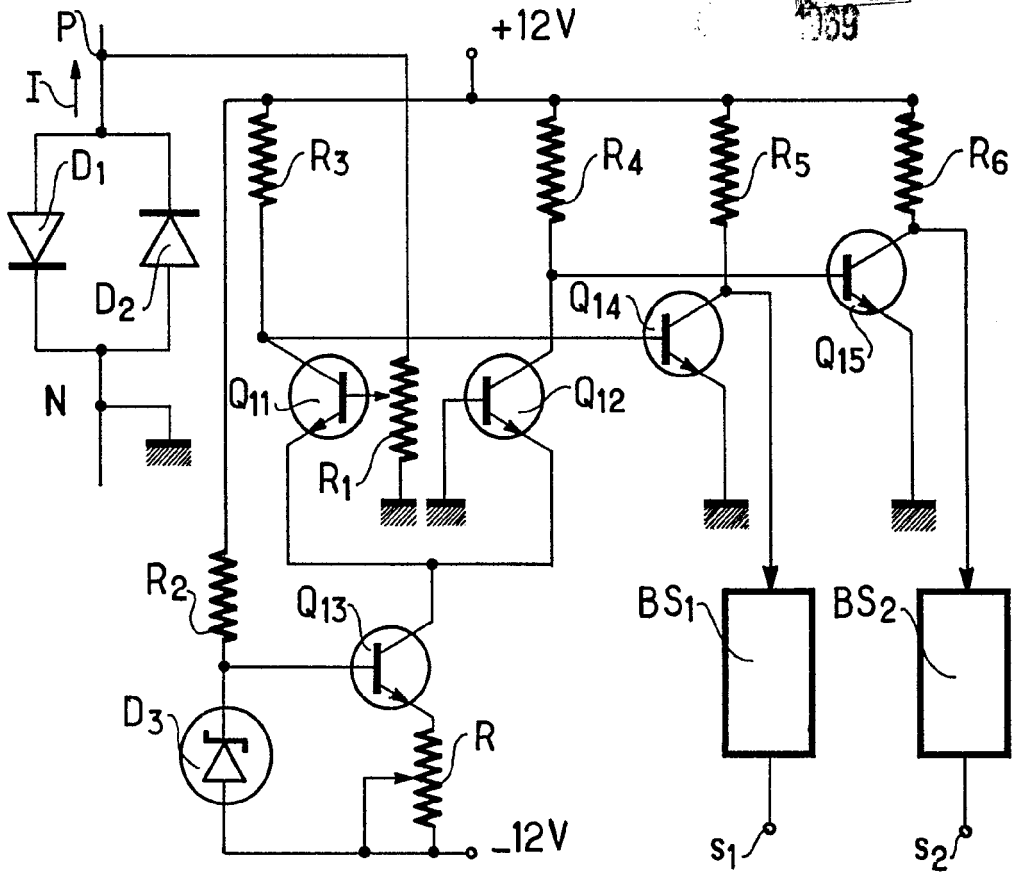
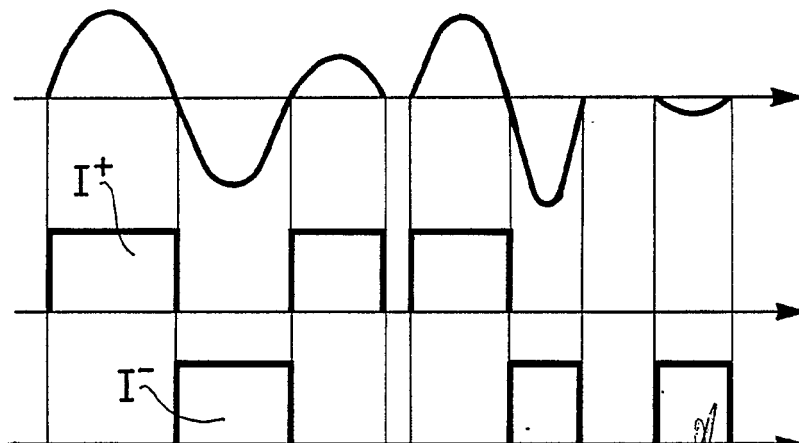


FIG. 3b



1969

373189

FIG. 4a

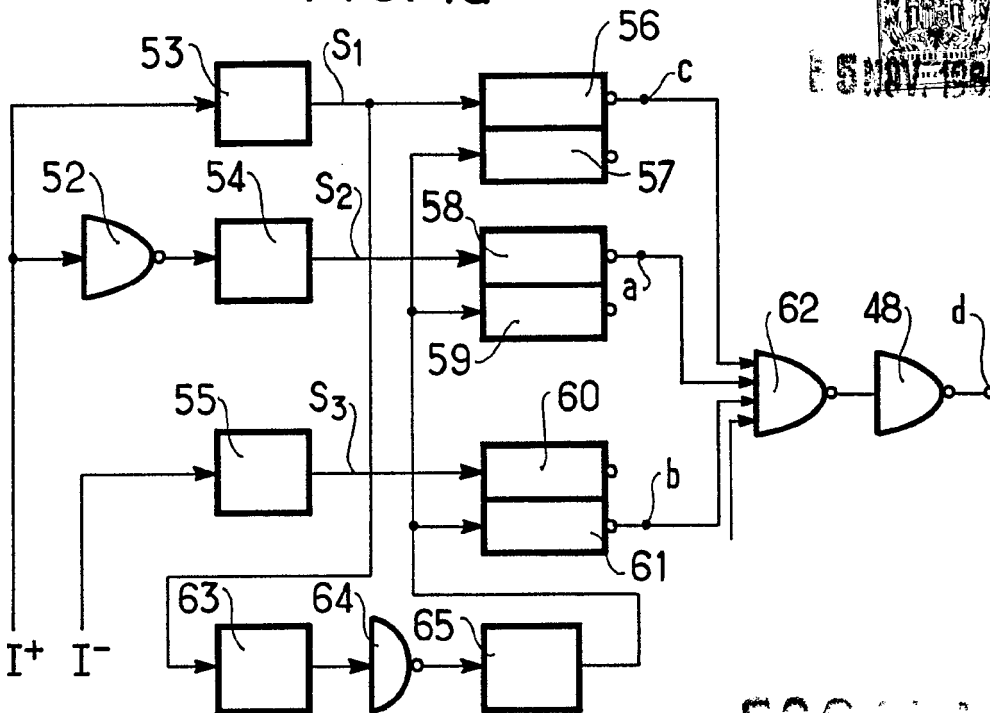
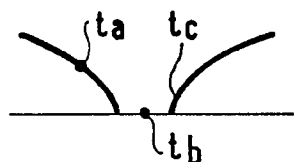


FIG. 4b



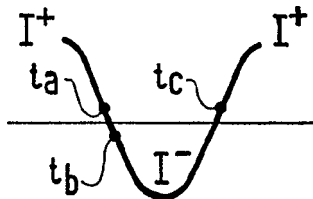
a	b	c	d
1	1	1	1

FIG. 4c



a	b	c	d
1	1	1	1

FIG. 4d



a	b	c	d
1	0	1	0

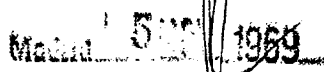
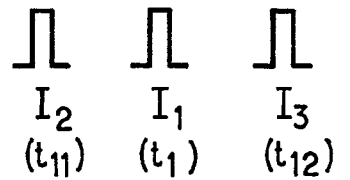
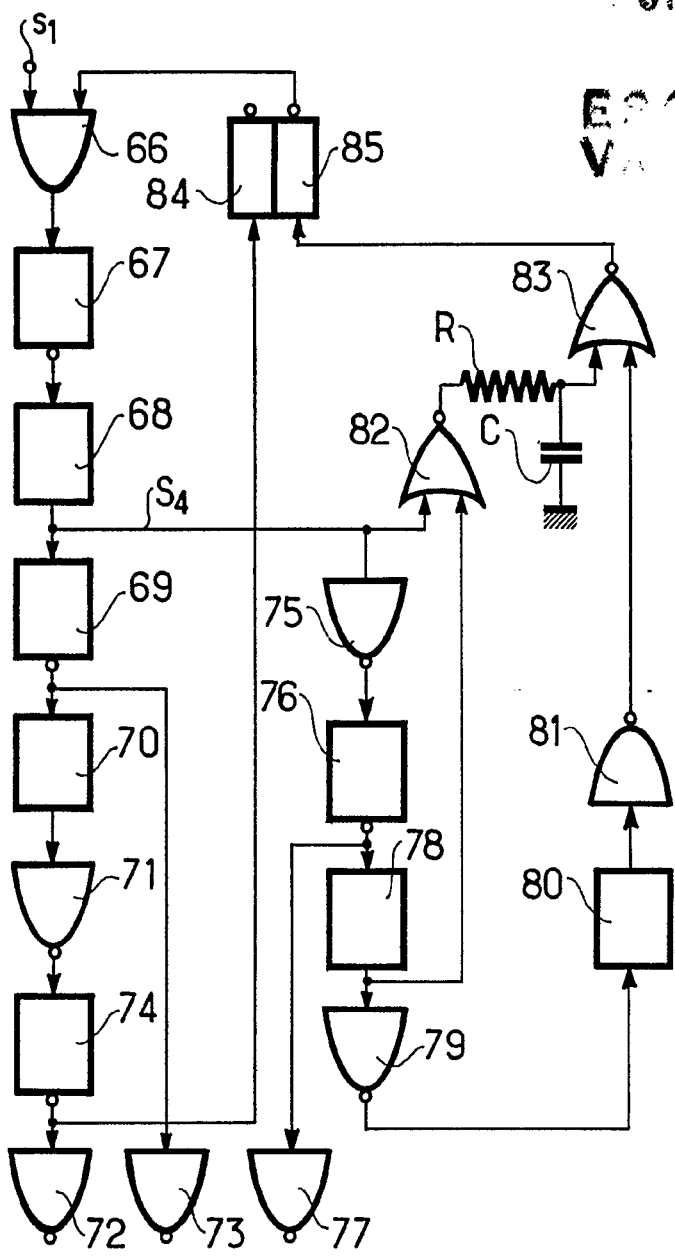


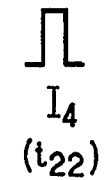
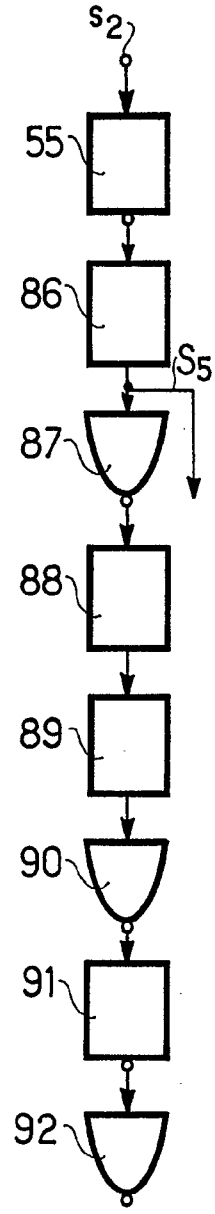
FIG. 5a

FIG. 5c



Discontinued

GOING BACK TO WORK

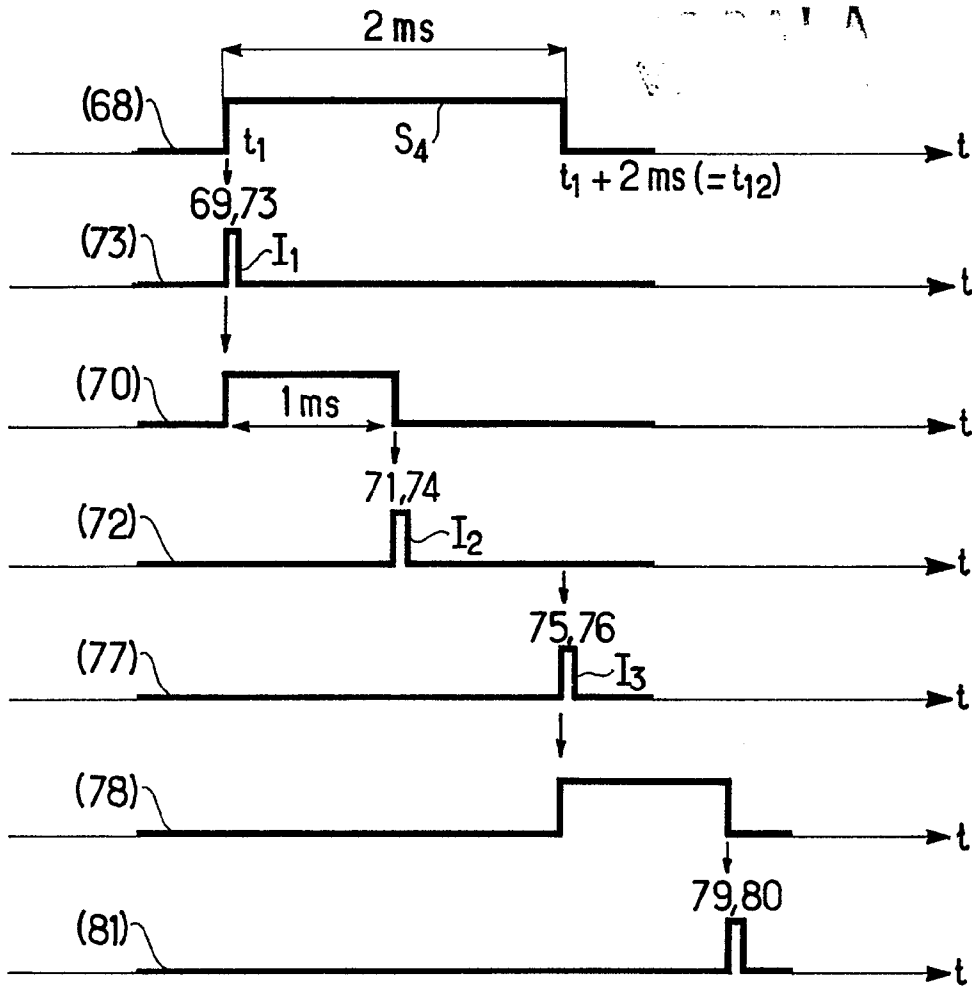


373402



FIG. 5b

1959



A GOMEZ CO. S.A. S. R. L.
 P. de Fomento de la Industria y Comercio
 P. de Fomento de la Industria y Comercio

FIG. 6a

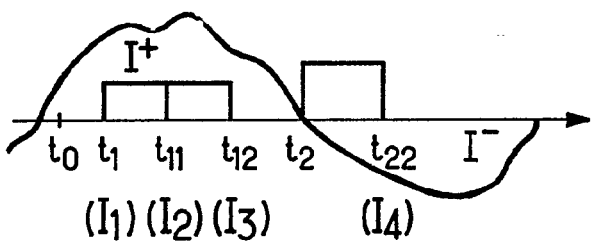


FIG. 6c

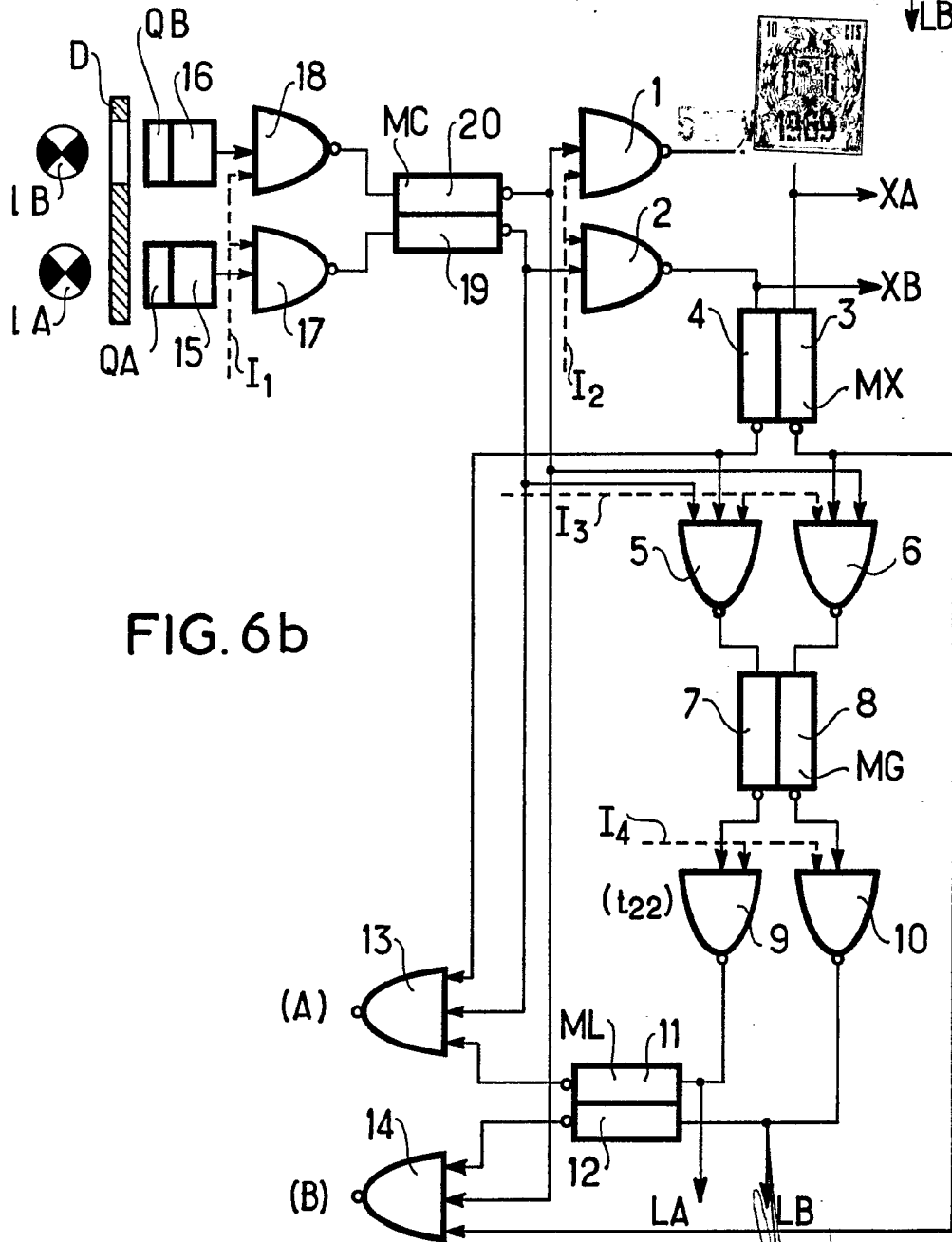
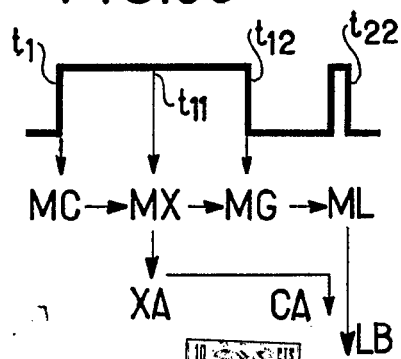


FIG. 6b

Madrid 1969
 L. GOMEZ AGUIRRE
 S. P. L.

373182

FIG. 7a

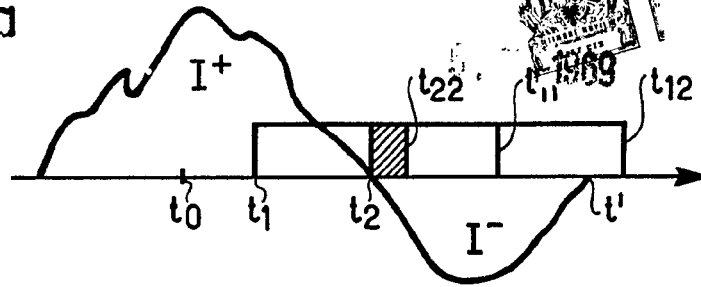


FIG. 7b

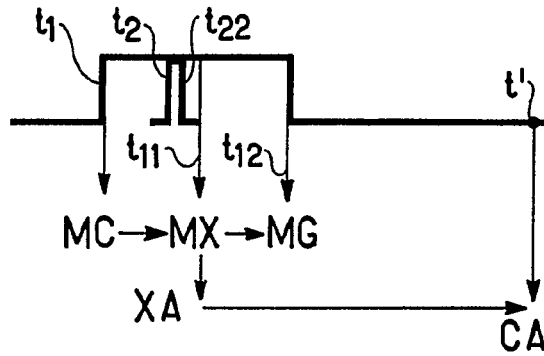
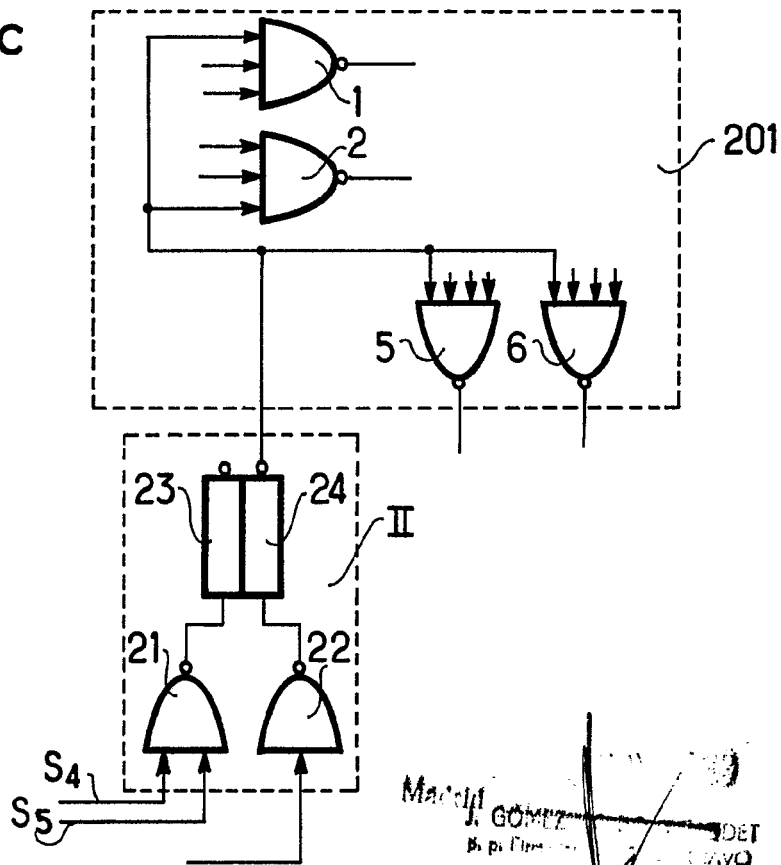


FIG. 7c



Macedo
J. GOMEZ
B. p. Firmado
DET
CAYO

373182

FIG.10a

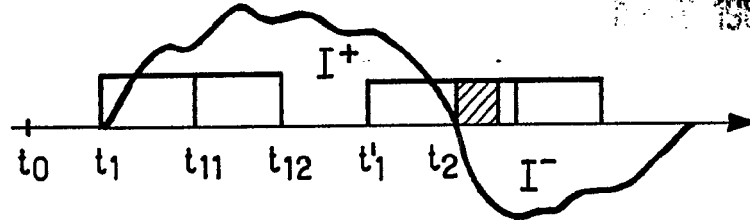
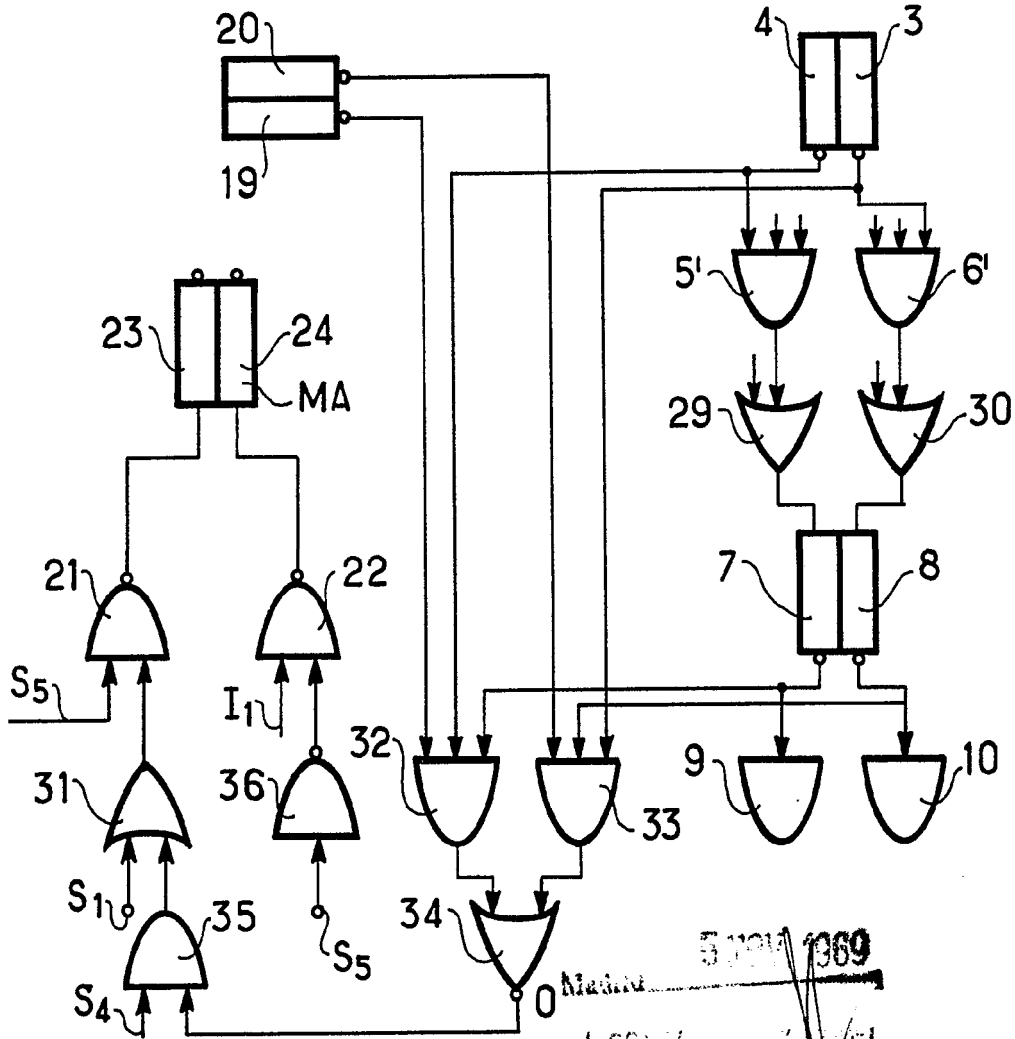


FIG.10b



5 1963
 Madrid
 J. GONZALEZ
 P. GONZALEZ

373102

FIG.11a

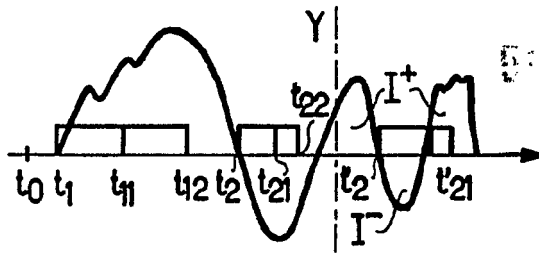


FIG.11b

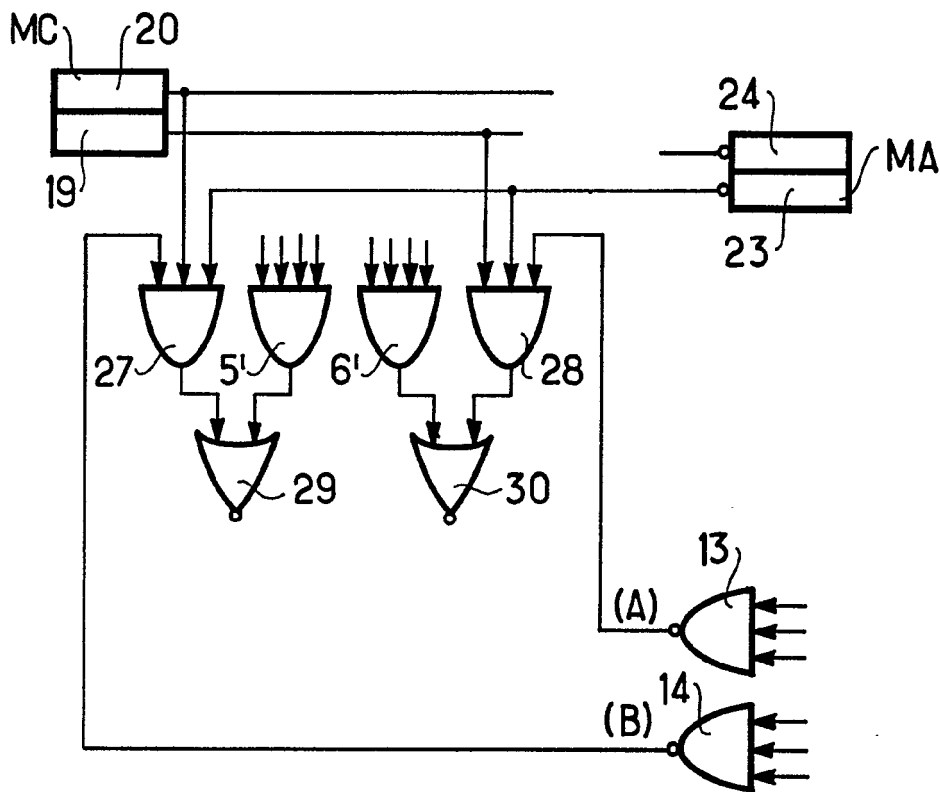
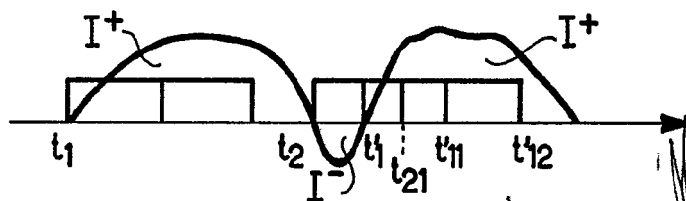


FIG.12



A GOMEZ ACEROS S.A. INVENTOR
 IN P. DUEÑA DE LOS RIOS, 10000

373102

FIG. 13a

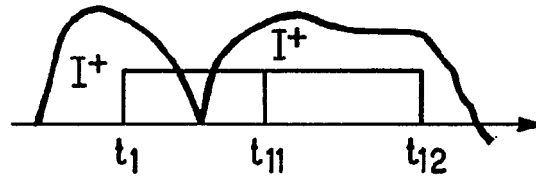
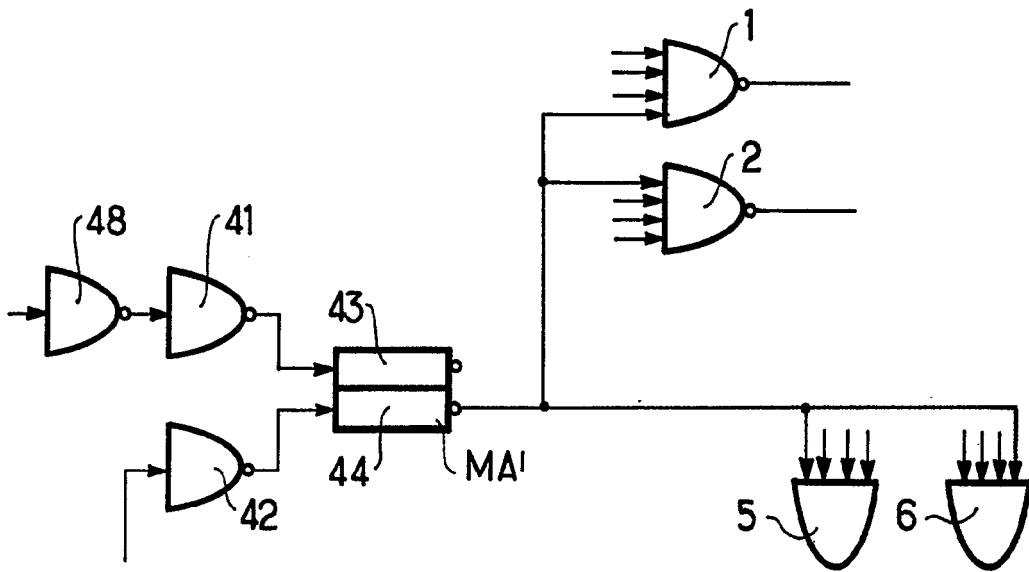


FIG. 13b



Mostrado

J. GOMEZ ACOSTA Y CA

373102



FIG. 14a

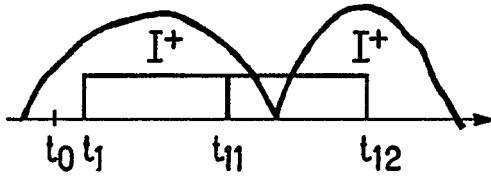


FIG. 15

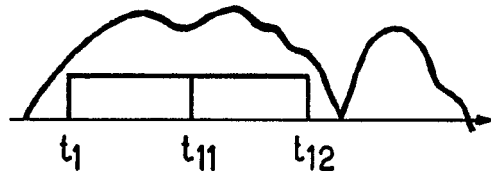
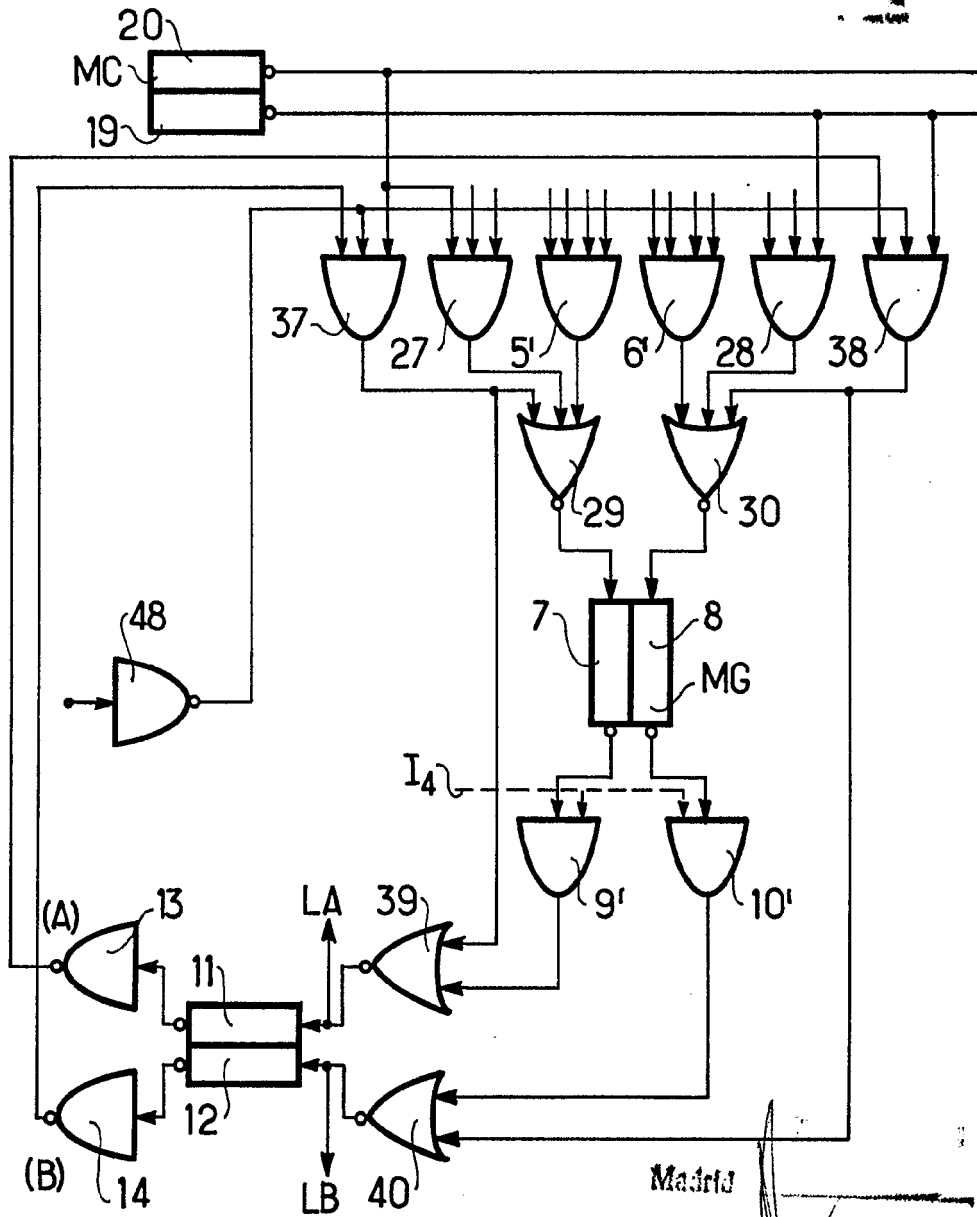


FIG. 14b



Madrid

A. GOMEZ ... Y ...
S. S. ...
... GARCIA BRAVO

373182

FIG. 16a

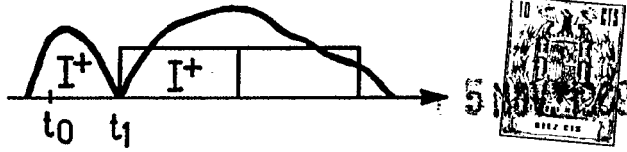
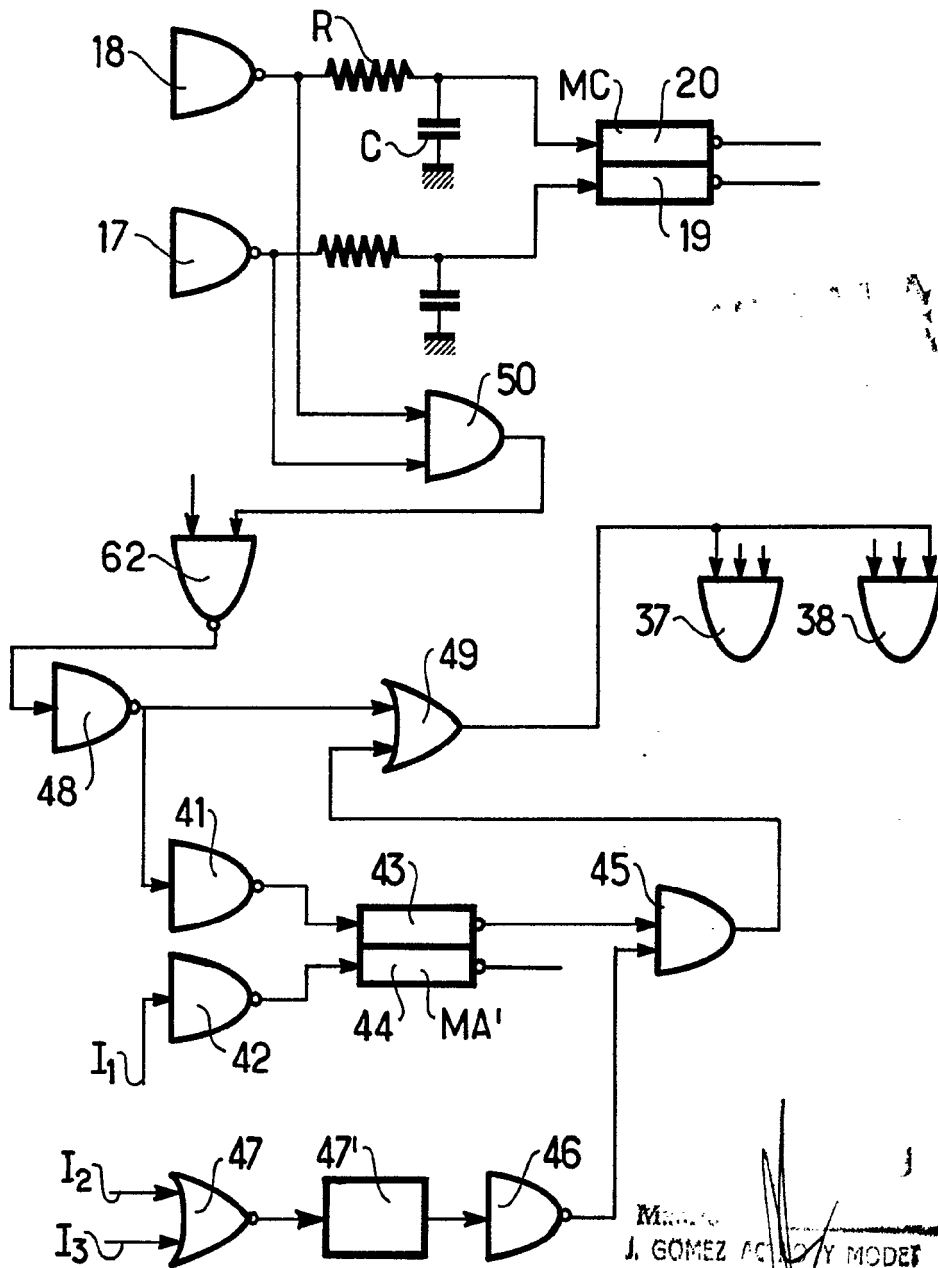


FIG. 16b



M. GOMEZ AGUILAR Y MODESTO
 S. de Ingenieros A. GARCIA BRAVO

373 922

FIG. 17

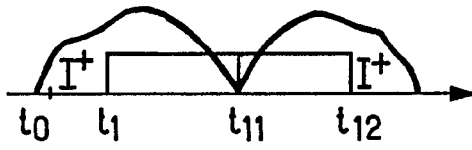


FIG. 18

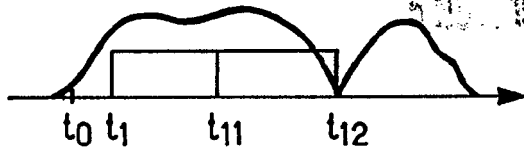


FIG. 19

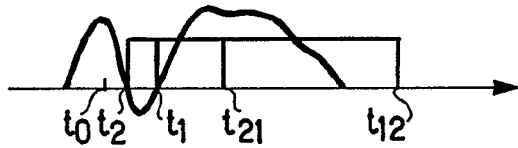
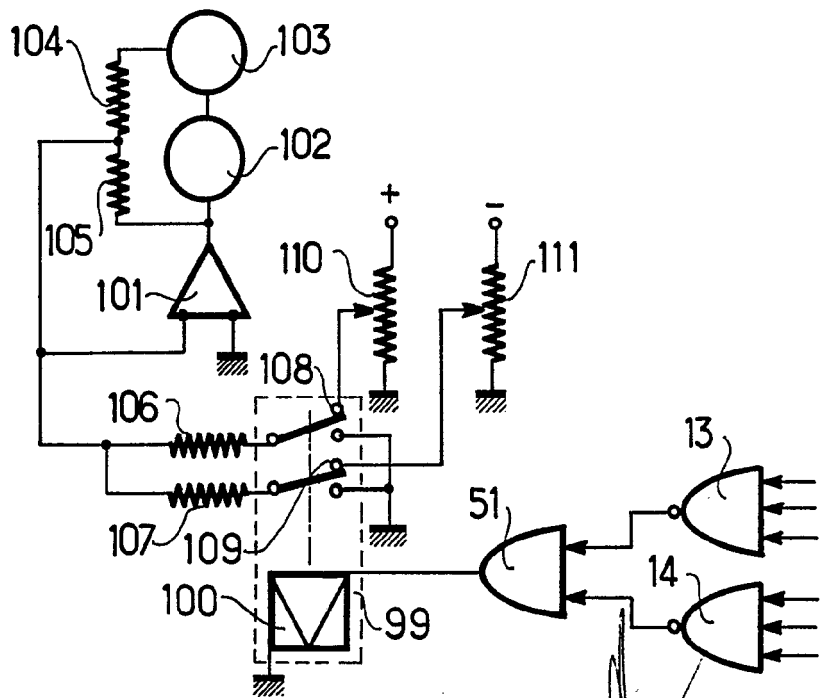


FIG. 20



JAMES D. WILSON
BY: [Signature]
ATTORNEY: [Signature]

373492

FIG. 21a

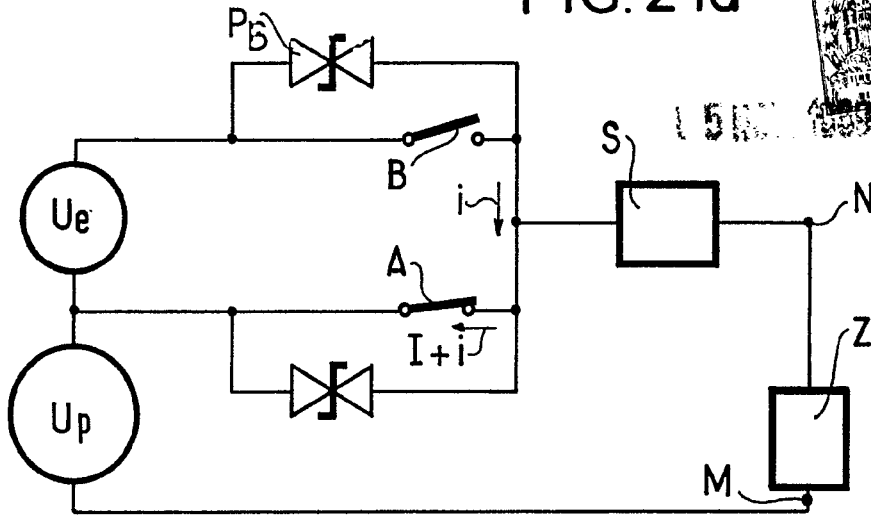


FIG. 21b

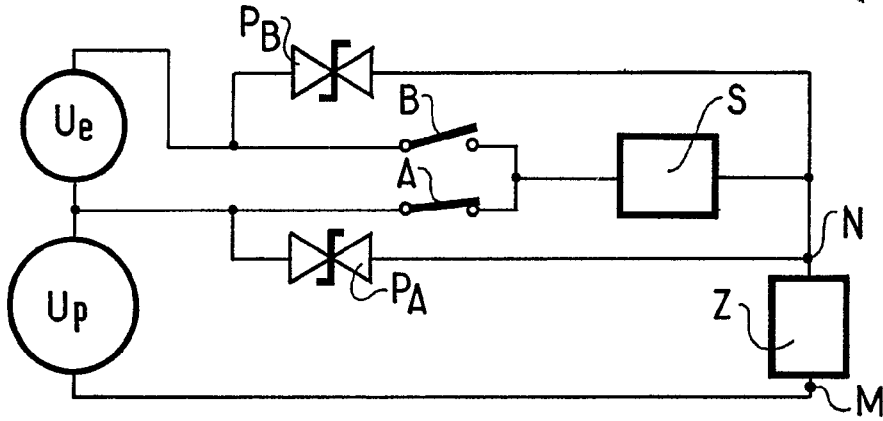
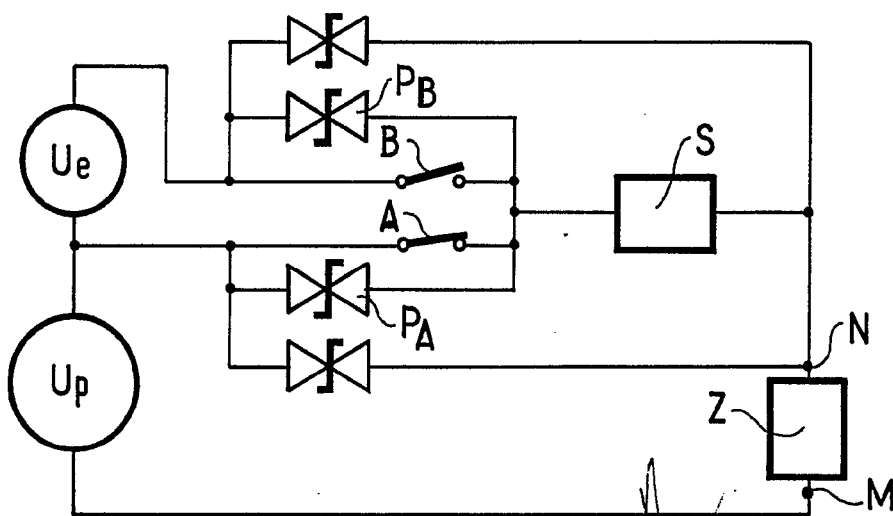
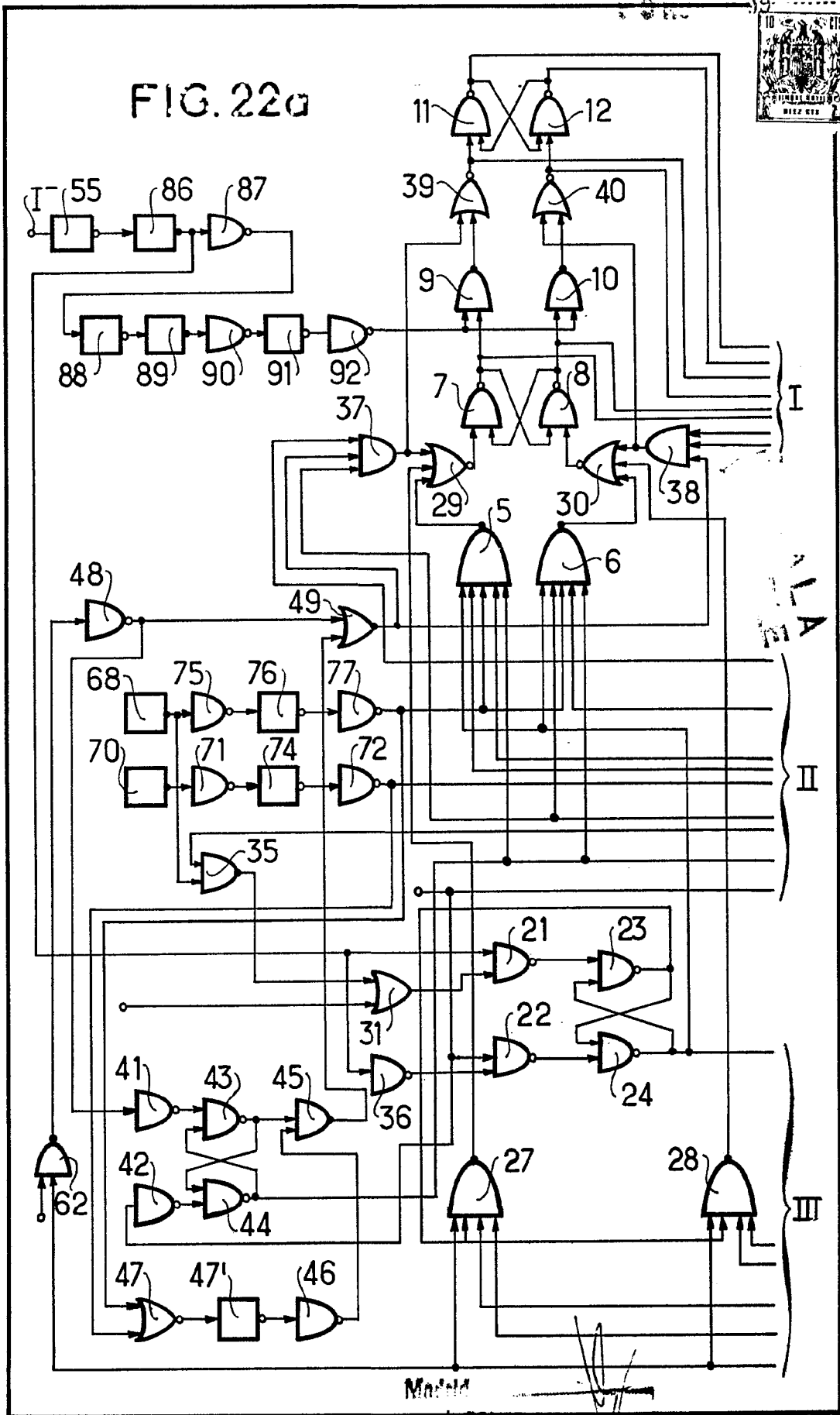


FIG. 21c



375182

FIG. 22a



37302

5111.1939

