

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>H-03</u>
SUBCLASE <u>K</u>

P.- 43.163

372838

PHN 3755

Spain

VD/GS

Memoria descriptiva

27 NOV. 1969



para solicitar Patente de Invención en España por 20 años

a nombre de N.V. PHILIPS' GLOEILAMPENFABRIEKEN

entidad / ~~de nacionalidad~~ holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda.

por: "UN METODO DE SINCRONIZAR UN RECEPTOR A UNA CORRIENTE DE BITIOS DIVIDIDA EN BLOQUES QUE TIENEN UN NUMERO CONSTANTE DE BITIOS" (Clase Internacional H03k)

20.11.1969



Este invento se refiere a un método de sincronizar un receptor a un flujo de bitios dividido en bloques de número de bitios constante, teniendo cada bloque al menos dos bitios de sincronización diferentes dispuestos en un diseño de bitios de sincronización . . . que se repite periódicamente de un bloque a otro.

Tales métodos son de importancia para los sistemas de transmisión de datos y los sistemas PCM.

Con los sistemas PCM de canales múltiples se conocen varios métodos para insertar información de sincronización en el flujo de bitios de información. Puede distinguirse entre la sincronización agrupada, en la cual los bitios de sincronización están dispuestos en un intervalo de canal, por ejemplo, en el intervalo de canal 32º de un sistema de 32 canales, y la sincronización dispersa, en la cual los bitios de sincronización están distribuidos en un bloque en que, por ejemplo, los bitios de sincronización están dispuestos en las posiciones de 8º bitio de los canales.

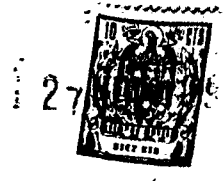
Los métodos de sincronización conocidos están basados todos en el hallazgo y el reconocimiento de un diseño predeterminado de los bitios de sincronización en el flujo de bitios. Cuando se forma un flujo de bitios multiplex a partir de dos o más flujos de bitios de base, el diseño de los bitios de sincronización varía, de modo que el dispositivo para llevar a cabo el método debe modificarse.

El invento tiene por objeto crear un método de empleo universal para la sincronización de bloques, que es independiente del grado de multiplicación de la



2
corriente de bitios cuando se observan unas normas dadas en la formación de los flujos de bitios multiplex, es decir, un método de sincronización de bloques aplicable en general a una clase dada de flujos de bitios multiplex, de modo que pueda emplearse el mismo dispositivo para llevar a cabo el método con todos los flujos de bitios multiplex de esta clase.

5
10
15
20
25
30
El método de sincronización de acuerdo con el invento se caracteriza porque el proceso de sincronización se divide en dos fases sucesivas distintas en el tiempo, en que en la primera fase, a partir de una posición de bitios arbitraria en el flujo de bitios se selecciona una primera secuencia divisional que consiste en una serie de bitios espaciados en primeras distancias iguales en el flujo de bitios, y cada bitio asociado con la primera secuencia divisional es almacenado temporalmente y la parte de dicha primera secuencia divisional que está formada por un número predeterminado de los bitios seleccionados más recientemente, se compara después de cada selección de un bitio de la primera secuencia divisional con una secuencia de comparación localmente producida hasta que se encuentre igualdad entre dicha parte de la primera secuencia divisional y la secuencia de comparación y, en el caso de falta de igualdad dentro de un primer límite de tiempo dado, se repite la primera fase desde una posición de bitios asociada con una primera secuencia divisional diferente, de modo que, si no se encuentra constantemente igualdad dentro de dicho primer límite de tiempo, se seleccionan las diversas primeras secuencias divisionales posibles en un orden



cíclico de sucesión, entendiéndose que, si sólo es posible una primera secuencia divisional, dicho primer límite de tiempo es hecho inoperante y, en el caso de igualdad dentro de dicho primer límite de tiempo, se inicia la segunda fase del proceso de sincronización, en la cual, a partir de la posición de bitios del bitio más recientemente seleccionado de la parte de la primera secuencia divisional que corresponde a la secuencia de comparación, se selecciona una segunda secuencia divisional que consiste en una serie de bitios espaciados en segundas distancias iguales en el flujo de bitios y cada bitio de la segunda secuencia divisional es comparado con el bitio últimamente mencionado, más recientemente seleccionado, de la primera secuencia divisional, hasta que se encuentre por primera vez desigualdad y, en el caso de falta de desigualdad dentro de un segundo límite de tiempo dado, se repite el proceso de sincronización, comenzando por la fase primera, y cuando se encuentra desigualdad por primera vez dentro de dicho segundo límite de tiempo, el receptor es sincronizado a una posición de bitios que tiene una posición predeterminada con relación a la posición de bitios de la segunda secuencia divisional en que se encuentra la desigualdad.

Este método de sincronización será expuesto con más detalle en lo que sigue.

El punto de partida del método de sincronización es un flujo de bitios dividido en bloques con un número de bitios constante. La longitud de un bloque, expresada en el número de posiciones de bitios se designa con b . En cada bloque, las posiciones de bitios están

20.11.1969



5 numeradas progresivamente de 0 a b-1. Las posiciones de bitios de cada bloque están ocupadas por dos tipos de bitios. Los bitios del primer tipo son bitios que pueden ser diferentes de un bloque a otro. Estos bitios se denominan bitios de información. Los bitios del segundo tipo son bitios iguales de un bloque a otro y se denominan bitios de sincronización.

10 La figura 1 ilustra un ejemplo de un bloque, B_j , de 40 posiciones de bitios situados sobre el eje de tiempos. Los bitios de información están designados por el símbolo x y los de sincronización por los símbolos 0 y 1. Por esta notación puede considerarse que un bloque es una combinación de sincronización consistente en una secuencia $S_0, S_1, S_2 \dots S_{b-1}$ de b símbolos del grupo de símbolos 0, 1 y x. Según este aspecto la corriente o flujo de bitios consiste en una secuencia periódica de símbolos S_n , que comprende en un período la secuencia de símbolos $S_0, S_1 \dots S_{b-1}$. El período de S_n en función del número de símbolos es b.

20 Se supondrá que b es el período mínimo de S_n , es decir, que las secuencias de símbolos $S_0, S_1 \dots S_{b-1}$ no pueden ser divididas en dos o más secuencias divisionales que forman una prolongación periódica una de otra. Un símbolo arbitrario de la secuencia $S_0, S_1, \dots S_{b-1}$ se indica por S_k , en que k es el número de la posición. $S_k = x$ quiere decir que en la posición k no se encuentra bitio de sincronización alguno y $S_k \neq x$ quiere decir que en la posición k se encuentra un bitio de sincronización. En el bloque B_j mostrado en la figura 1,

25 $S_k \neq x$ para los siguientes valores de k:

30



$k = 0, 2, 8, 10, 16, 18, 20, 22, 36, 38$

mientras que $S_k = x$ para todos los demás valores de k . De los 40 bitios del bloque B_j , 10 son bitios de sincronización y 30 son bitios de información.

5 El método de sincronización requiere que la combinación de sincronización contenga al menos una vez cada uno de los símbolos 0 y 1 y exige que la distancia mínima entre los símbolos 0 y 1 en función del número de posiciones de bitios sea divisible en todas las distancias relativas entre los símbolos $S_k \neq x$. Estas exigencias son satisfechas por la combinación de sincronización ilustrada en la figura 1.

10 A fin de determinar la distancia mínima entre los símbolos 0 y 1 y, en general, para determinar qué símbolo está situado a una distancia dada antes o después de un símbolo dado, la combinación de sincronización debe considerarse cerrada para formar un anillo de modo que la posición $k = b-1$ se una a la posición $k = 0$. Por la misma razón de simplicidad, las combinaciones precedentes y siguiente de sincronización B_{j-1} y B_{j+1} de la figura 1 pueden ser usadas para la determinación de las distancias.

15 La distancia mínima entre los símbolos 0 y 1 en la combinación de sincronización mostrada en la figura 1 se encuentra entre el símbolo 0 en la posición $k = 0$ y el símbolo 1 en la posición $k = 38$, así como entre el símbolo 0 en la posición 18 y el símbolo 1 en la posición 20. Esta mínima distancia asciende a dos posiciones de bitios. Las distancias relativas entre los símbolos $S_k \neq x$ son todas múltiplos de 2 de modo que la anterior exigencia de la divisibilidad queda satisfecha. La exi-

27 NOV 1969



5 gencia de la divisibilidad no debe tomarse, sin embargo, como demasiado estricta. Si, por ejemplo, en la combinación de sincronización de la figura 1, el símbolo en la posición 31 es un 1, $S_{31} = 1$, la combinación de sincronización puede usarse no obstante, pero este bitio de sincronización S_{31} no se emplea entonces en el método de sincronización, de modo que resulta superfluo. Para el método de sincronización es entonces indiferente que S_{31} se elija para que sea igual a x.

10 La mencionada distancia mínima entre los símbolos 0 y 1 se indica por do. Esta distancia es el máximo común divisor de todas las distancias relativas entre los símbolos $S_k \neq x$.

15 Las exigencias mencionadas en lo que antecede para la combinación de sincronización pueden formularse como sigue: Determinense todas las posiciones k para las cuales es válido $S_k \neq x$. Determinense las distancias relativas entre estas posiciones y determinense el máximo común divisor do de estas distancias. La combinación de sincronización debe contener entonces al me-
20 nos un par de símbolos 0 y 1 a la distancia do. En la combinación de sincronización de la figura 1 se encuentran dos pares de símbolos como éste, es decir, en las posiciones 0 y 38 y en las 18 y 20.

25 Para la ilustración de la estructura de la combinación de sincronización en cuanto es importante para el método de sincronización, se deriva una segunda distancia característica d_1 .

30 Para determinar la distancia d_1 se determinan todas las posiciones k para las cuales $S_k \neq S_{k-do}$.

372838



es decir, las posiciones k cuyos símbolos difieren de los símbolos que se hallan en las posiciones $k-d_0$ que preceden a la primera en una distancia d_0 . En la combinación de sincronización de la figura 1, esta desigualdad se satisface en las posiciones indicadas por las flechas, donde k tiene los valores siguientes:

$$k = 0, 4, 8, 12, 16, 20, 24, 36.$$

Las posiciones en las cuales es satisfecha la desigualdad $S_k \neq S_{k-d_0}$, se denominan abreviadamente posiciones de desigualdad.

La distancia d_1 es el máximo común divisor de las distancias relativas entre las posiciones de desigualdad. En la combinación de sincronización de la figura 1, la distancia d_1 es de 4 posiciones de bitio.

La estructura de la secuencia periódica S_n puede describirse como sigue por medio de las distancias d_0 y d_1 . Cuando la secuencia periódica S_n es dividida en intervalos de la longitud d_1 de modo que las posiciones de desigualdad estén situadas en el comienzo de un intervalo y los intervalos se dividen en sub-intervalos de la longitud d_0 , cada intervalo contiene, o bien ningún símbolo 0 ó 1 en absoluto, o bien símbolos iguales 0 ó 1 al comienzo de cada sub-intervalo. Esta estructura de la secuencia periódica S_n se ilustra para la combinación de sincronización de la figura 1 en la figura 2. Para la combinación de sincronización de la figura 1, $d_0 = 2$ y $d_1 = 4$. El número de símbolos de la combinación de sincronización es de 40. La combinación de sincronización, por tanto, puede dividirse en 10 intervalos I_0 a I_9 de la longitud d_1 . Cada intervalo pue-



de dividirse en dos sub-intervalos i_0 e i_1 de la longitud do .

Las intervalos I_1, I_3, I_6, I_7 e I_8 no contienen símbolos 0 ó 1. Los otros intervalos contienen al comienzo de los subintervalos i_0 e i_1 símbolos iguales 0 ó 1.

En el método de sincronización, las posiciones de desigualdad para las cuales es válido $S_k = 1$ y $S_{k-do} = 0$ o $S_k = 0$ y $S_{k-do} = 1$ desempeñan un papel particular. En la combinación de sincronización de la figura 1, éstas son las posiciones $k = 0$ y $k = 29$.

El método de sincronización tiene por objeto encontrar una de estas particulares posiciones de desigualdad. Esta posición de desigualdad particular se denomina posición de búsqueda. Si una combinación de sincronización comprende dos o más posiciones particulares de desigualdad, una de ellas es determinada como posición de búsqueda. El número de posición de la misma se designa ko . La combinación de sincronización mostrada en la figura 2 tiene dos posiciones particulares de desigualdad, es decir, para $k = 0$ y $k = 20$. De estas posiciones de desigualdad, la posición con $k = 0$ viene determinada como posición de búsqueda, de modo que $ko = 0$.

En general, no es necesario que la posición de búsqueda esté situada al comienzo del bloque. Todas las consideraciones que siguen se aplican a cualquier número ko arbitrario.

En lo que sigue, se supondrá que el flujo de bitios o la secuencia periódica de símbolos S_n se divide, aunque sea imaginariamente, comenzando desde la po-

27 NOV



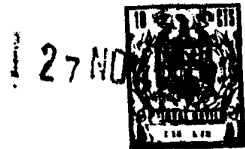
sición k_0 de un bloque o combinación de sincronización, en intervalos de la longitud de d_1 posiciones de bitio y que cada intervalo se divide en sub-intervalos de la longitud de d_0 posiciones de bitio, en que d_0 y d_1 tienen los mencionados valores. Estos intervalos se denominan abreviadamente intervalos d_1 y los sub-intervalos se denominan intervalos d_0 . La posición de búsqueda con el número k_0 se denomina brevemente la posición k_0 y sin menoscabar la generalización, puede suponerse que la posición k_0 es la primera posición de un bloque o combinación de sincronización. Un bloque comprende d/d_1 intervalos d_1 y cada intervalo d_1 comprende d_1/d_0 intervalos d_0 .

La importancia particular de un intervalo d_1 del flujo de bitios reside en que este intervalo no comprende bitios de sincronización en absoluto o en que comprende bitios de sincronización iguales al comienzo de cada intervalo d_0 . Será considerado ahora el intervalo d_1 último de una secuencia de intervalos d_1 que comienza en una posición k_0 y que termina en la posición k_0 inmediatamente siguiente. En la figura 2 es éste el intervalo $d_1 I_9$ de la combinación de sincronización B_j que precede inmediatamente a la posición k_0 ($k_0 = 0$) de la combinación de sincronización B_{j+1} .

Como se ha dicho antes, una posición k_0 es una a la cual se aplica que $S_k = 1$ y $S_{k-d_0} = 0$ o $S_k = 0$ y $S_{k-d_0} = 1$. En la figura 2, $S_{k_0} = 0$ y $S_{k_0-d_0} = 1$. El símbolo $S_{k_0-d_0}$ está situado al comienzo del último intervalo d_0 de la secuencia de intervalos d_1 en consideración. En el caso de la figura 2, está situado

20.11.1969

372838



5 al comienzo del intervalo d_1 del intervalo I_0 . El intervalo d_1 que precede inmediatamente a una posición k_0 se distingue de los otros intervalos d_1 porque este intervalo d_1 comprende de cualquier modo bitios de sincronización que difieren del bitio de sincronización que está en la posición k_0 . Este intervalo d_1 se denomina intervalo k_0, d_1 . En la figura 2, es éste el intervalo $d_1 I_0$.

10 En el receptor del flujo de bitios un generador de señales de reloj produce un parámetro de tiempo t que progresa a través de la serie de números naturales y es elevado en l al recibirse cada bitio. El símbolo recibido en el momento t se designa A_t . En el procedimiento de sincronización, el objeto consiste en determinar qué valor t módulo b corresponde a k_0 . t módulo b es el residuo positivo que queda después de la división de t por b . En un receptor práctico, t seguirá periódicamente la secuencia de números $0, 1, 2, \dots, b-1$, de modo que, en lugar de t módulo b , puede tomarse t , siendo
15 $t = 0, 1, \dots, b-1, 0, 1, \dots$

20 Una secuencia divisional d_1 de la secuencia entrante A_t es una secuencia de símbolos seleccionada de ella a distancias iguales d_1 . Como dentro de un intervalo d_1 hay tantas posibilidades de comenzar una secuencia d_1 como intervalos de bitios hay en un intervalo d_1 , el número de diferentes secuencias divisionales d_1 es igual al número de intervalos de bitios de un intervalo d_1 . La parte de una secuencia d_1 que está formada por los últimos símbolos $N + 1$:

30
$$A_{t-Nd_1}, A_{t-(N-1)d_1}, A_{t-(N-2)d_1}, \dots, A_t$$

5 se denomina la cabeza de la secuencia divisional d_1 . A cada aumento del parámetro de tiempo t en d_1 , la cabeza cambia por la adición de un nuevo símbolo en el frente y por la eliminación de un símbolo en la parte trasera.

La secuencia de los símbolos $N + 1$::

$$S_{k_0-(N+1)d_1}, S_{k_0-Nd_1}, S_{k_0-(N-1)d_1}, \dots, S_{k_0-d_1}$$

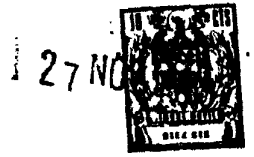
10 se denomina la secuencia de comparación. Para la combinación de sincronización de la figura 2 con $N = 9$, la secuencia de comparación es:

$$0 \times 1 \times 0 \ 1 \ xxx \ 1.$$

15 En general, el número de símbolos $N + 1$ de la secuencia de comparación y la cabeza de la secuencia divisional d_1 no necesitan ser iguales al número de intervalos d_1 de un bloque. En el caso de la figura 2, N puede ser mayor o menor que 9, a voluntad.

20 Si, para un valor T_0 dado del parámetro de tiempo t , la cabeza de la secuencia divisional d_1 pertinente es igual símbolo por símbolo a la secuencia de comparación en todas las posiciones en que la secuencia de comparación comprende el símbolo 0 ó 1 y si el flujo de bitios entrante no contiene errores, puede suponerse que el símbolo A_{t_0} que aparece en el instante t_0 está situado al comienzo de un intervalo de un intervalo $k_0 \cdot d_1$.

30 La secuencia de comparación es una secuencia determinada por la combinación de sincronización empleada y puede producirse de cualquier modo en el re-



ceptor para comparación con la cabeza de una secuencia
divisional d_1 .

5 Una secuencia divisional d_0 de la secuen-
cia entrante A_t es una secuencia de símbolos selecciona-
da de ella a distancias iguales d_0 . El comienzo de una
secuencia divisional d_0 se elige siempre para que sea
la posición del símbolo A_{t_0} . Cuando A_{t_0} se halla en el
comienzo de un intervalo d_0 de un intervalo k_0 , d_1 , la
secuencia divisional d_0 consiste en una secuencia de
10 los mismos símbolos 0 ó 1, seguida por los símbolos
 S_{k_0} que difieren de ella. Esta secuencia de símbolos
iguales contiene a lo sumo símbolos d_t/d_0 , en que el
símbolo A_{t_0} se considera que es el primero de la secuen-
cia divisional d_0 . Este máximo es alcanzado cuando A_{t_0}
15 se halla al comienzo del primer intervalo d_0 de un in-
tervalo k_0 , d_1 . En el caso de la figura 2, la secuencia
divisional d_0 es 110, cuando A_{t_0} se halla al comienzo
del intervalo d_0 i_0 del intervalo d_1 I_0 y la secuencia
divisional d_0 es: 10, cuando A_{t_0} se halla al comienzo
20 del intervalo d_0 i_1 .

La sincronización del receptor se lleva
a cabo en dos fases I y II.

Fase I

25 En esta fase, comenzando desde un valor
arbitrario del parámetro de tiempo $t = t_1$, se selec-
ciona una secuencia divisional d_1 de la secuencia entran-
te A_t y los símbolos de esta secuencia divisional d_1 se
almacenar hasta que se forme una cabeza de $N + 1$ símbo-
los. Esta cabeza de la secuencia divisional d_1 es com-

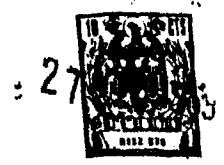
372838

parada símbolo por símbolo con la secuencia de comparación generada en el receptor en todas aquellas posiciones en que la secuencia de comparación contiene el símbolo. O ó 1. Las posiciones en que ocurren bitios de información en la secuencia de comparación no están incluidas, por tanto en la comparación. Si no ocurre igualdad en dichas posiciones, se selecciona de nuevo un símbolo de la secuencia divisional d_1 de la secuencia entrante y la cabeza resultante de la secuencia divisional d_1 es comparada con la secuencia de comparación. Se repite esto hasta que se encuentre igualdad o hasta que se alcance un límite de tiempo dado, según lo que ocurra primero. Si, antes de alcanzarse el límite de tiempo, no se encuentra igualdad, el receptor pasa por cambio de los instantes de selección a una secuencia divisional d_1 diferente y el proceso de comparación se repite hasta que se encuentre igualdad o hasta que se llegue al límite de tiempo.

Debe observarse que si $d_1 = 1$ y el flujo de bitios se recibe sin errores, no es posible que, por fin, no ocurra igualdad. El empleo del límite de tiempo puede entonces omitirse.

Si, dentro del límite de tiempo, no se encuentra constantemente igualdad, se seleccionan las diversas secuencias divisionales d_1 posibles en orden cíclico de sucesión hasta que, finalmente, se encuentre igualdad en todos los lugares afectados entre la cabeza de la secuencia divisional d_1 y la secuencia de comparación. Por la terminación de la fase I, se determina un valor t_0 del parámetro de tiempo, que puede suponerse que indica el comienzo de un intervalo do de un intervalo $ko.d_1$.

372838



5 El número de símbolos de la secuencia de
comparación y de la cabeza de la secuencia divisional d_1
se supone en general $N + 1$. Cuando se elige $N + 1$ para
que sea igual al número de intervalos d_1 de un bloque, la
10 secuencia de comparación ocupa todo el bloque. Con una
gran longitud b del bloque, esto dará lugar a una gran
capacidad de almacenamiento para guardar la cabeza de la
secuencia divisional d_1 . En estos casos, la combinación
de sincronización se elige con preferencia de modo que
15 una parte importante de los bitios de sincronización
estén situados en los últimos intervalos d_1 del bloque,
a fin de que la secuencia de comparación pueda ser restringi-
da a estos intervalos d_1 .

15 Fase II

Después de la terminación de la fase I,
se elige la secuencia divisional d_0 asociada con el va-
los t_0 resultante del parámetro de tiempo. En esta secuen-
cia divisional, se descubre el primer símbolo que difie-
20 ra de A_{t_0} que se supone, por consiguiente, que es el sím-
bolo S_{k_0} . Así se determinan la posición k_0 y, por tanto,
el comienzo de un bloque. Si, dentro de un límite de
tiempo dado, no ocurre cambio en la secuencia divisional
 d_0 , se repite el proceso de sincronización desde la fa-
25 se I.

En el estado en el cual el receptor se
halla en sincronismo con los bloques del flujo de bitios,
el estado de sincronización puede vigilarse continuamen-
te probando cada bloque con respecto a la presencia de

372838



la combinación de sincronización.

5 En realizaciones prácticas de sistemas de transmisión, el flujo de bitios transmitido presenta errores. Los errores de bitios pueden afectar el proceso de sincronización e incluso puede simularse un estado no síncrono. Puede resultar difícil, por la aparición de errores, encontrar la igualdad entre la cabeza de una secuencia divisional d_1 y la secuencia de comparación. Esto ha de tenerse en cuenta al determinar los criterios para iniciar el proceso de sincronización y determinar el límite de tiempo en la fase I. Puede resultar, además, que es más eficaz en la práctica no exigir, como criterio para terminar la fase I, que exista igualdad en todas las posiciones consideradas, sino sólo en la mayoría de estas posiciones. Los criterios para ensayar si el receptor está en situación de sincronización o no, pueden ser diferentes, de acuerdo con las circunstancias prácticas. La determinación de estos criterios no es objeto de esta solicitud.

20 El método de sincronización es completamente independiente del número de intervalos d_0 de un intervalo d_1 . Para el método de sincronización, es completamente indiferente que la combinación de sincronización de cada intervalo d_1 contenga, uno, dos, tres o más intervalos d_0 . En el caso de la figura 2, no es esencial para el método de sincronización que cada intervalo d_1 contenga dos intervalos d_0 . Nada varía en el método de sincronización cuando este número d_1/d_0 es 1, 2, 3, 4 ó mayor. Sólo interesa que las combinaciones de sincronización tengan todas la misma secuencia de com-



paración, ya que es sólo esta secuencia la que se genera en el receptor.

5 De la estructura puede derivarse una estructura básica de combinación de sincronización de orden superior multiplicando por un factor arbitrario n el número de intervalos d_1 en cada intervalo d_1 de la combinación de sincronización básica. Todas las estructuras de orden superior derivadas de este modo de la misma estructura básica forman una clase de estructuras. Para 10 todas las estructuras de esta clase, puede emplearse el mismo método de sincronización.

A fin de formar una corriente de flujo de bitios multiplex a partir de dos o más flujos de bitios de base, los grupos de bitios que ocurren simultáneamente, de los diversos flujos básicos de bitios, se disponen 15 en sucesión en el tiempo al paso que se reduce la duración de los bitios. Si cada grupo de bitios comprende un bitio, se usa el término "multiplex de bitios". En los otros casos, se usan las expresiones "multiplex de palabras" o "multiplex de bloques". La última es válida cuando un grupo de bitios comprende un bloque entero. 20

Multiplicando de tal modo que la estructura del flujo multiplex de bitios o la combinación de sincronización multiplex se asocie con dicha clase, se consigue que, para todos los flujos multiplex de bitios 25 pueda usarse el mismo método de sincronización que para el flujo básico de bitios. Un método sencillo de conseguir esto es que los bitios situados en un intervalo d_1 sean tomados como grupo de bitios y que los flujos de bitios básicos sean intercalados de modo que los grupos de 30

372838



271

bitios de intervalos d_1 de igual numeración se los diversos flujos de bitios básicos sean puestos en sucesión en el tiempo en el flujo multiplex de bitios. Este método se ilustra en la figura 3 a modo de ejemplo. La figura 3a muestra la combinación de sincronización de un primer flujo básico de bitios. Esta combinación de sincronización comprende los intervalos d_1 G_0 a G_9 .

En este caso, es cierto que $d_1 = d_0$. La figura 3b muestra la combinación de sincronización idéntica de un segundo flujo básico de bitios. Los intervalos d_1 de los mismos se indican por H_0 a H_9 . la combinación de sincronización del flujo multiplex de bitios obtenido de estos dos flujos básicos de bitios por el método de multiplicación que describimos se muestra en la figura 3c. El ejemplo se ha elegido de modo que la última combinación de sincronización sea idéntica a la combinación de sincronización de la figura 2.

Con referencia a dos ejemplo, ilustraremos cómo se determinan las combinaciones de sincronización adecuadas para uso práctico.

Ejemplo 1

Este ejemplo se basa en K señales de información moduladas por código de impulsos con n bitios por grupo de código de impulsos y una frecuencia de repetición de los grupos de código de impulsos $f_0 = 1/T_0$. A cada señal de información han de añadirse Z canales de señalización. Para el flujo de bitios básico ($K = 1$) se elige una combinación de sincronización básica $S_0, S_1,$

27



5 S_2, \dots, S_{b_0-1} , en la cual $\bar{d}_0 = \bar{d}_1 = n + 1$. La raya en el
 ma de las referencias d_0 y d_1 indica que se refieren a la
 combinación básica de sincronización. El número de inter-
 valos d_1 de la combinación básica de sincronización se
 supone que es N_0 , de modo que partiendo de la longitud
 b_0 del bloque es cierto que $b_0 = N_0 \cdot d_1 = N_0 \cdot (n + 1)$.

10 Por el método de multiplicación arriba
 descrito se forma, a partir de las K señales de informa-
 ción moduladas en código de impulsos, una señal multi-
 plex de K canales. La combinación de sincronización mul-
 tiplex de esta señal multiplex consiste en N_0 intervalos
 d_1 , cada uno con K intervalos d_0 , en que $d_0 = \bar{d}_1 = N + 1$
 y $d_1 = K \cdot (n + 1)$.

15 Si se asegura que la secuencia de símbo-
 los formada por los primeros símbolos de los intervalos
 d_1 de la combinación básica de sincronización comprenda
 Z veces el símbolo x , la primera posición de cada inter-
 valo d_0 en los correspondientes intervalos d_1 de la
 combinación multiplex de sincronización puede emplearse
 20 para la transmisión de información de señalización. La
 frecuencia de repetición de bitios V_0 de cada canal de
 señalización es $V_0 = f_0/N_0$.

25 Para la secuencia de primeros símbolos
 de los intervalos d_1 de la combinación de sincronización
 básica pueden elegirse g grupos consecutivos de $p + 1$
 símbolos: $(0, X, \dots, X)$ y un último grupo de $p + 1$ sím-
 bolos $(1, 1, \dots, 1)$, en que p y g son dos enteros arbitra-
 rios, a lo que se aplica que $p \cdot g = Z$. Esta secuencia
 comprende entonces exactamente Z veces el símbolo x . En
 30 este caso, es cierto que $N_0 = (p + 1) \cdot (g + 1)$.

372838



Los números p y g pueden determinarse de modo que, al considerar la condición de que $Z = p \cdot g$, No sea mínimo y Vo sea máximo. Este es el caso cuando p ó g se eligen para aproximarse todo lo posible a $Z \cdot \exp \frac{1}{2}$. Para $Z = 4$, se elige $p = g = 2$. La combinación básica de sincronización es entonces $(0, X, \dots X)$, $(X, X, \dots X)$, $(X, X, \dots X)$, $(0, X, \dots X)$, $(X, X, \dots X)$, $(X, X, \dots X)$, $(1, X, \dots X)$, $(1, X, X, \dots X)$, $(1, X, \dots X)$, en que $X, \dots X$ representa un grupo de n símbolos X . Como consecuencia de comparación durante la fase 1 del proceso de sincronización, se usa con preferencia la secuencia 1,1,1 para economizar espacio de almacenaje, estando formada esta secuencia por los símbolos al comienzo de los $3(=p + 1)$ últimos intervalos d_1 de la combinación multiplex de sincronización.

Ejemplo 2

El punto de partida es una señal multiplex de base para señales K_0 de información moduladas en código de impulsos con n bitios por grupo de código de impulsos y $K_0 \cdot Z$ señales de señalización.

Un cuadro es la mínima parte de un bloque en que está situado un grupo de código de impulsos de cada señal de información y un subcuadro es la mínima parte de un cuadro en que está situado un bitio de cada señal de información. El término subcuadro es particularmente importante en la multiplicación de bitios.

Un bloque de la señal multiplex de base consiste, por ejemplo, en $Z + 1$ cuadros y cada cuadro con-



siste en $n + 1$ subcuadros de $K_0 + 1$ símbolos cada uno.
El último subcuadro del $Z + 1$ ésimo cuadro del bloque puede consistir en $(K_0 + 1)$ veces el símbolo 1 y cada otro subcuadro puede consistir en un grupo de $K_0 + 1$ símbolos (0, X, ...X). Todos los subcuadros con excepción del último de cada cuadro sirven para la transmisión de las señales K_0 de información. El grupo de subcuadros formado por el último subcuadro de cada uno de los primeros Z cuadros sirve para la transmisión de las $K_0 \cdot Z$ señales de sincronización. Para esta combinación de sincronización es válido que $\bar{d}_0 = \bar{d}_1 = 1$.

Si por el método de multiplicación descrito se forma una señal de multiplex de orden superior a partir de señales multiplex de base K/K_0 del tipo descrito, es cierto que $d_0 = 1$ y $d_1 = K/K_0$, aplicado a la combinación de sincronización de la señal multiplex de K canales. En este caso particular, el método de multiplicación aplicado es idéntico al método de multiplicación de bitios.

Si, para la secuencia de comparación, durante la fase I del proceso de sincronización, se elige $N = K_0$, la secuencia de comparación consiste en $(K_0 + 1)$ veces el símbolo 1. Con esta elección de N , la fase I del proceso de sincronización, comenzando desde un valor arbitrario t_1 del parámetro de tiempo t , da siempre finalmente igualdad entre la cabeza de la secuencia divisional d_1 elegida y la secuencia de comparación, si no ocurren errores. El límite de tiempo puede hacerse entonces inoperante.

La figura 4 muestra una realización de un



dispositivo para sincronizar un receptor a un flujo de bitios dividido en bloques y con una combinación de sincronización como la ilustrada en las figuras 1 y 2.

5 El flujo de bitios se recibe en el terminal de entrada 100 y alcanza a través de un conductor 101 la entrada un registro de desplazamiento 102 que tiene diez pasos: 0, 1, ..., 9.

10 Al terminal de partida 103 se le aplica una señal para poner en funcionamiento el proceso de sincronización. Esta señal de partida establece en el estado 1, por medio de la puerta disyuntiva 104, el biestable 105. En este estado, el biestable 105 abre una puerta de coincidencia 106 como resultado de lo cual una secuencia de impulsos de desplazamiento con una frecuencia de repetición de los impulsos de f_b/d_1 se aplica al registro de desplazamiento 102, en que f_b es la frecuencia de bitios y $d_1 = 4$ (en este ejemplo).

15 La secuencia de los impulsos de desplazamiento se deriva de un distribuidor de impulsos cíclico 107 controlado por un generador 108 de impulsos de reloj con la frecuencia de bitios f_b . El distribuidor de impulsos 107 proporciona cuatro secuencias de impulsos de desplazamiento desplazadas en el tiempo en un período de bitios, con la frecuencia f_b/d_1 de repetición de los impulsos, en las cuatro salidas conectadas a las puertas de coincidencia 109-1, 109-2, 109-3 y 109-4. Estas puertas de coincidencia están conectadas en el lado de entrada a un contador 110 de impulsos cíclicos que tiene cuatro posiciones. En la posición 1, la puerta 20 109-1 está abierta, en la posición 2 la puerta 109-2 está

25

30

. 27 N



abierta y así sucesivamente. El contador cíclico de impulsos 110 tiene una posición inicial dada. Cuando la puerta de coincidencia 106 está abierta, la secuencia de impulsos de desplazamiento correspondiente a esta posición inicial es aplicada al registro 102 de desplazamiento.

5

Después de que el biestable 105 está establecido en el estado 1, los bitios de una secuencia divisional d_1 del flujo de bitios son desplazados al registro de desplazamiento 102.

10

Las salidas de los pasos 102-0, 102-4, 102-5, 102-7 y 102-9 están conectadas a un dispositivo de comparación 111. El otro lado del dispositivo de comparación está conectado a un dispositivo 112, que produce la secuencia de comparación. Los bitios 1 de esta secuencia son producidos por los bloques en que está indicado un 1 y los bitios 0 son producidos por los bloques que llevan un 0. El dispositivo de comparación 111 compara el bitio que está en el paso 102-0 con el bitio 1 del espacio 112, el bitio del paso 102-4 con el bitio 1 del dispositivo 112, el bitio del paso 102-5 con el bitio 0 del dispositivo 112, el bitio del paso 102-7 con el bitio 1 del dispositivo 112 y el bitio del paso 102-9 con el bitio 0 del dispositivo 112. Si en todos estos pasos se encuentra igualdad, se produce una señal que tiene el valor lógico de 1 a través del conductor 113. La señal 1 en el conductor 113, cuando aparece, establece en el estado 0 a través del conductor 114 todos los pasos del registro de desplazamiento 102 y establece en el estado 0 a través del conductor 115 el biestable 105.

15

20

25

30

En el instante en que el biestable 105 es

372838

5 llevado al estado 1, este biestable pone en funcionamiento un circuito 117 de límite de tiempo. Este circuito de límite de tiempo proporciona, después de un límite de tiempo dado, una señal de salida que tiene el nivel lógico 1, que hace que el contador cíclico de impulsos 110, por medio de la puerta disyuntiva 118, avance en un paso. La señal de salida es realimentada además, a través del conductor 119, de modo que se ponga de nuevo en funcionamiento el circuito de límite de tiempo.

10 La señal 1 en el conductor 113 excita a través del conductor 116 el circuito 117 de límite de tiempo llevándolo a la posición de reposo, de modo que este circuito no funcione cuando antes de la expiración del límite de tiempo el dispositivo de comparación 111 descubre igualdad.

15 Si el dispositivo de comparación 111 no descubre igualdad antes de que expire el límite de tiempo, es aplicada una secuencia de impulsos de desplazamiento desplazada en una posición de bitio al registro de desplazamiento 102. Así, se inserta en el registro de desplazamiento 102 otra secuencia divisional d_1 . Si, de nueva, no se descubre igualdad antes del límite de tiempo, se repite la fase I del proceso de sincronización con una secuencia de impulsos de desplazamiento diferente hasta que se encuentre igualdad para una u otra secuencia divisional d_1 .

20 Cuando se descubre igualdad, el biestable 105 es llevado al estado 0 como antes se ha descrito y el circuito 117 de límite de tiempo es conmutado a la posición de reposo.

372838



5 La señal 1 del conductor 113 es aplicada,
para iniciar la fase II del proceso de sincronización,
a través de los conductores 116 y 120, a un selector
biestable 121. Al selector 121 se le aplican dos secuen-
cias de impulsos de reloj que tienen la frecuencia de re-
petición de impulsos f_p/d_0 ($d_0 = 2$), que están relati-
vamente desplazadas en el tiempo en un período de bitio.
Estas secuencias de impulsos de reloj se derivan por un
distribuidor 122 cíclico de impulsos desde el generador
108 de impulsos de reloj.

10 Los impulsos de reloj de la frecuencia
de bitios producidos por el generador 108 de impulsos
de reloj son indicados por el parámetro t , que progresa
a través de la serie de números naturales. Este paráme-
tro t es el mismo que el presentado antes en la descrip-
ción. El impulso de reloj durante el cual el dispositivo
de comparación 111 busca la igualdad está indicado por
15 t_0 . El símbolo A_{t_0} está situado en el paso 102-0 del
registro de desplazamiento 102 y es cierto que $A_t = 1$.
El selector 121 es controlado por la señal 1 del dis-
positivo de comparación 111 que aparece durante el impul-
so de reloj t_0 de modo que la secuencia de los impulsos
de reloj $t_0 + d_0, t_0 + 2d_0, \dots$ es aplicada a la salida.
Esta secuencia de impulsos de reloj es aplicada a las
puertas de coincidencia 123 y 124. El flujo de bitios
entrante es suministrado desde el terminal de entrada
20 100 a través del conductor 135 a la puerta de coinciden-
cia 123. En la salida de la puerta de coincidencia 123
aparece entonces una secuencia divisional d_0 del flujo
de bitios entrante. El primer símbolo que aparece en la
25 30



salida de la puerta de coincidencia 123 es el símbolo
A_{to+do}. Cada bitio que aparece en la salida de la puerta
de coincidencia 123 es invertido por el inversor 125
y aplicado a la puerta de coincidencia 126. A la puer-
5 ta de coincidencia 124 se le aplica una señal 1 produci-
da por el bloque 134, cuya señal corresponde al valor
del bitio en el paso 102-0 del registro de desplazamien-
to 102 en el instante en que el dispositivo de compara-
ción 111 encuentra igualdad. La salida de la puerta de
10 coincidencia 124 está conectada a la puerta de coinci-
dencia 126 de modo que durante cada impulso de reloj
del selector 121 se aplica a la puerta de coincidencia
126 un impulso del valor de bitio 1. Cuando el bitio
invertido de la corriente de bitios aplicada por el in-
15 versor 125 a la puerta de coincidencia 126 tiene el valor
1, aparece una señal 1 en la salida de la puerta de coin-
cidencia, 126.

El primer impulso de reloj del selector
121 pone en funcionamiento un circuito 127 de límite
20 de tiempo. Este después de la expiración de un límite
de tiempo dado, suministra una señal 1 que por medio
del conductor 128 y la puerta de coincidencia 104 lle-
va al biestable 105 al estado 1 y hace que el conta-
dor cíclico de impulsos 110 avance en un paso a través
25 del conductor 128 y la puerta disyuntiva 118. Cuando
aparece esta señal 1 se repite el proceso de sincroni-
zación, comenzando por la fase I.

Cuando la puerta de coincidencia 126
alimenta una señal I antes del límite de tiempo del cir-
30 cuito 127, esta señal 1 lleva por medio del conductor

372838



129 al circuito de límite de tiempo a la posición de
 reposo, de modo que este circuito no puede ponerse en
 funcionamiento. La señal 1 de la puerta de coincidencia
 126 pone al contador de bitios 131 controlado por el
 5 generador 108 de impulsos de reloj y que tiene la capa-
 cidad de cómputo $b(b=40)$, por medio del conductor 130,
 en la posición inicial correspondiente al comienzo
 de un bloque de flujo de bitios. El contador de bitios
 131 es sincronizado de este modo con los bloques del
 10 flujo de bitios e indica para cada bitio entrante la
 posición en el bloque.

La señal 1 de la puerta de coincidencia
 126 lleva al selector 121 a la posición de reposo por
 medio del conductor 130 y la puerta disyuntiva 132.
 15 Cuando está terminada la fase II del proceso de sincróni-
 zación porque el circuito de límite de tiempo 127 se ha-
 ce operante, la señal 1 del mismo lleva al selector 121
 a la posición de reposo por medio de los conductores
 128 y 133 y la puerta disyuntiva 132.

20 La figura 5 muestra una realización del
 selector 121. A los terminales 200 y 201 se aplican
 dos secuencias de impulsos de reloj desplazadas en un
 período de bitio y con la frecuencia de repetición de
 impulsos f_p/d_o ($d_o = 2$). Al terminal 202 se aplica la
 25 señal 1 procedente del dispositivo de comparación 111,
 cuya señal coincide con un impulso de reloj de una de
 las dos secuencias de impulsos de reloj en los termina-
 les 200 y 201. La secuencia de impulsos de reloj del
 terminal 200 se aplica a las puertas de coincidencia
 30 203 y 204. La secuencia de impulsos de reloj del termi-



5 nal. 201 es aplicada a las puertas de coincidencia 205 y 206. La señal del terminal 202 se aplica a las puertas de coincidencia 203 y 205 y, después de inversión, es aplicada a las puertas de coincidencia 204 y 206. La inversión de la señal está indicada en la figura por una raya transversal.

10 Si la señal 1 del terminal 202 coincide con un impulso de reloj del terminal 200, la puerta de coincidencia 203 suministra una señal 1. Esta señal 1 lleva el biestable 207 al estado 1. El impulso de reloj invertido del terminal 200 lleva entonces al biestable 209 al estado 1 por medio de la puerta de coincidencia 208. El biestable 209 abre la puerta de coincidencia 210 de modo que, comenzando por el siguiente impulso de reloj, la secuencia de impulsos del terminal 200 es aplicada al terminal de salida 211. Durante este siguiente impulso de reloj, la puerta de coincidencia 204 suministra una señal 1 que lleva al biestable 207 al estado 0.

15 Cuando la señal 1 del terminal 202 coincide con un impulso de reloj del terminal 201, este impulso de reloj lleva al biestable 212 al estado 1 por medio de la puerta de coincidencia 205 y el impulso de reloj invertido lleva luego, por medio de la puerta de coincidencia 213, al biestable 214 al estado 1. En este estado, el biestable 214 abre la puerta de coincidencia 215, de modo que, comenzando por el siguiente impulso de reloj, la secuencia de impulsos de reloj del terminal 201 es aplicada al terminal de salida 211. Durante este siguiente impulso de reloj la puerta de coincidencia 206 suministra una señal 1, que lleva al biestable

20.11.1969

372838

127



212 al estado 0.

Una señal 1 aplicada al terminal 216 lleva el biestable 209 ó 214 al estado 0, dependiendo de cuál de ellos esté en el 1.

5

Debe observarse que para construir un dispositivo de sincronización para un flujo de bitios multiplex han de adaptarse correspondientemente sólo el número de salidas y, por tanto, el número de pasos del distribuidor cíclico de impulsos 107 y del contador cíclico de impulsos 110 del dispositivo arriba descrito. En el ejemplo dado, $d_1 = 4$ y el número de salidas es 4. Si se multiplica n flujos de bitios, d_1 aumenta n veces y el número de salidas de los dispositivos 107 y 110 ha de multiplicarse por el factor n .

10

15

Debe señalarse además que puesto que b puede dividirse por d_1 , el distribuidor cíclico de impulsos 107 puede combinarse con el primer paso del contador de bitios 131. Este contador de bitios está previsto en cada receptor y no está asociado con el dispositivo de sincronización propiamente dicho. La extensión del dispositivo de sincronización para un flujo multiplex de bitios queda entonces restringida al contador cíclico de impulsos 110 y las puertas controladas por él.

20

25

Esta solicitud que corresponde a la presentada en República Federal Alemana, el 26 de Octubre de 1968, bajo el número P 18 05 463.2, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

372838

20.11.1969

27 NOV.



- REIVINDICACIONES -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por veinte años son los siguientes:

- 5 1.- Un método de sincronizar un receptor a una corriente de bitios dividida en bloques que tienen un número constante de bitios, teniendo cada bloque al menos dos bitios de sincronismo diferentes, dispuestos en una pauta de bitios de sincronismo repetida periódicamente de bloque a bloque, caracterizado porque el proceso de sincronismo es dividido en dos fases distintas sucesivas en tiempo, en las cuales en la primera fase de una posición de bitios arbitraria en la corriente de bitios, es seleccionada una primera secuencia divisional
- 10 que consiste en una serie de bitios que están espaciados en primeras distancias iguales en la corriente de bitios, y cada bitio asociado con la primera secuencia divisional es almacenado temporalmente, y la porción de dicha primera secuencia divisional, que está formada por un número
- 15 predeterminado de los bitios más recientemente seleccionados, es comparada, después de cada selección de un bitio de la primera secuencia divisional, con una secuencia de comparación producida localmente, hasta que sea encontrada igualdad entre dicha porción de la primera secuencia divisional y la secuencia de comparación y, en el ca-
- 20
- 25

20.11.1969

- 30 -

372838

27M



so de falta de igualdad dentro de un primer límite de tiempo dado, la primera fase es repetida desde una posición de bitio asociada con una primera secuencia divisional, diferente, de manera que, si no es encontrada igualdad constantemente dentro de dicho primer límite de tiempo, las diversas primeras secuencias divisionales posibles son seleccionadas en orden cíclico de sucesión, en el entendimiento de que, si solamente es posible una primera secuencia divisional, dicho primer límite de tiempo es hecho inoperativo y, en el caso de igualdad dentro de dicho primer límite de tiempo, es iniciada la segunda fase del proceso de sincronización en la cual, desde la posición del bitio más recientemente seleccionado de la porción de la primera secuencia divisional que corresponde con la secuencia de comparación, es seleccionada una segunda secuencia divisional que consiste en una serie de bitios separados en segundas distancias iguales en la corriente de bitios, y cada bitio de la segunda secuencia divisional es comparado con el bitio últimamente mencionado, más recientemente seleccionado, de la primera secuencia divisional, hasta que es encontrada desigualdad por primera vez, y, en el caso de falta de desigualdad dentro de un segundo límite de tiempo dado, el proceso de sincronización es repetido empezando por la primera fase, y, cuando es encontrada desigualdad por primera vez dentro de dicho segundo límite de tiempo, el receptor es sincronizado a una posición de bitio que tiene una posición predeterminada con relación a la posición de bitio de la segunda secuencia divisional en la cual es encontrada la desigualdad.



2.- Un método de sincronizar un receptor a una corriente de bitios dividida en bloques que tienen un número constante de bitios.

5 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Madrid,
P.A.

27 NOV. 1969

Alberto de Elzaburu
Por Poder

372838

SAP/
20.11.1969



372838

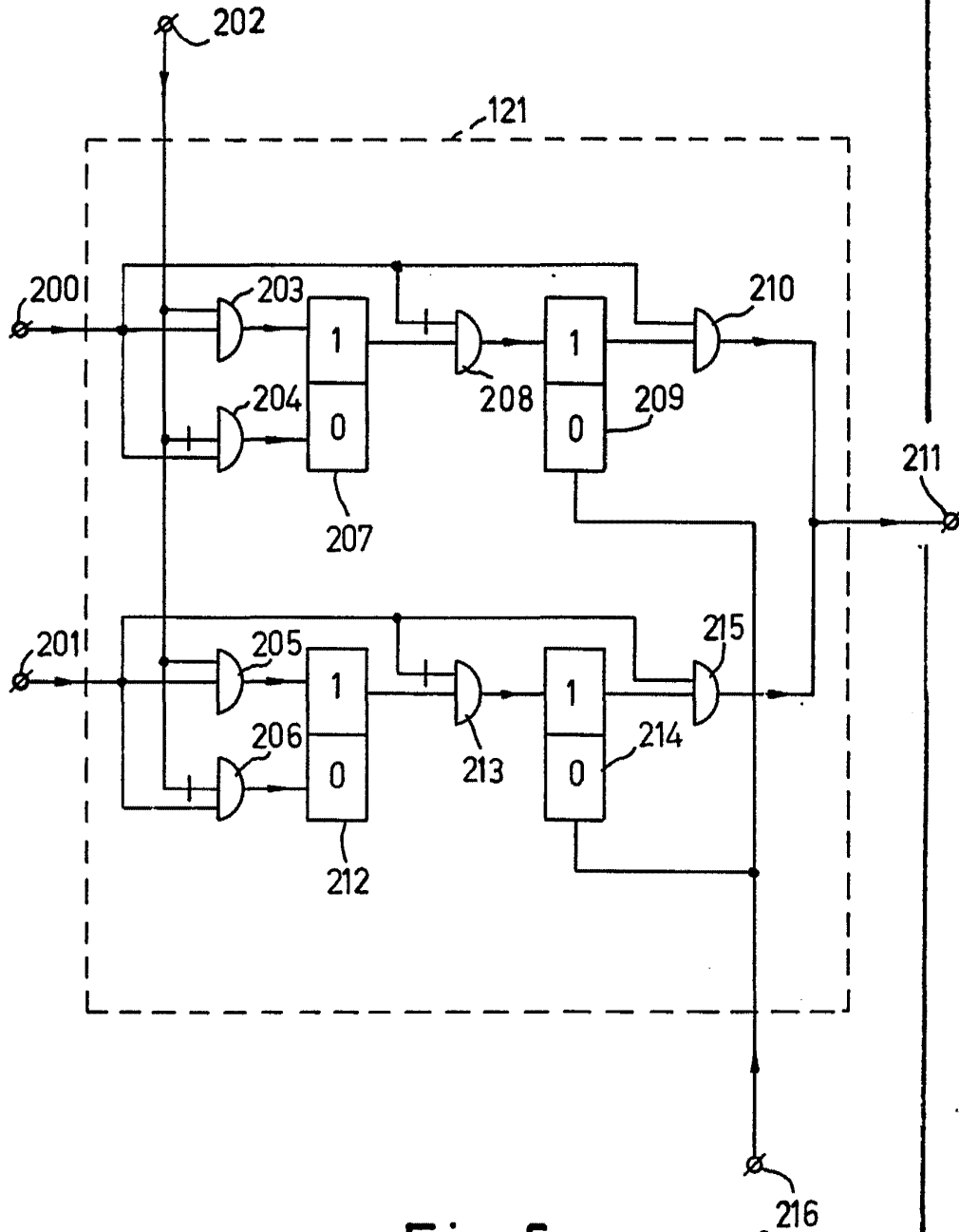


Fig. 5

Attest: do Elizabete
10. 1911.