

P.- 43.057

372687

PHN 3614
Spain
VD/FvD



Memoria descriptiva

SECCION TECNICA	
CLASIFICACION I. P. C.	
CLASE	H-04
SUBCLASE	N

para solicitar PATENTE DE INVENCION

por 20 años

a nombre de N.V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad / ~~de responsabilidad~~ holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda.

por: "UN SEPARADOR DE SINCRONISMO, PARA SEPARAR IMPULSOS DE
-SINCRONIZACION DE UNA SEÑAL DE VIDEO COMPUESTA".
(Clase Internacional -H04n)



El invento se refiere a un separador de sincro-
nismos para separar impulsos de sincronización a partir de
una señal de video compuesta que incluye por lo menos im-
pulsos de sincronización tanto de líneas como de campos,
5 estando equipado el separador con transistores e incluyen-
do un limitador de amplitud, una etapa descrestadora, me-
dios por los que la señal de video es aplicada a un elec-
trodo de entrada del limitador, y un circuito RC que tie-
ne una constante de tiempo relativamente pequeña con res-
pecto al período de los impulsos de sincronización de cam-
10 pos.

Tal separador de sincronismos es conocido por
la memoria de la patente británica Nº 959.694. El uso de
la constante de tiempo pequeña del circuito de RC en este
15 separador conocido es necesario para asegurar que, en el
caso de rápidas variaciones en la amplitud de la señal de
entrada, el voltaje de umbral que se desarrolla a través
del condensador pueda seguir estas rápidas variaciones. Si
no ocurre esto, el limitador de amplitud no será capaz de
20 cumplir su función satisfactoriamente cuando la amplitud
de la señal de video recibida se reduce a la información
de video aparecerá en la señal de sincronización separada.
Esto influye desfavorablemente sobre la sincronización .

Las rápidas variaciones de la amplitud de la se-
25 ñal de entrada pueden ser resultado de las denominadas vi-
braciones del aire (paso cercano de un avión que refleja
la señal de televisión procedente de una emisora a la an-
tena a la cual está conectado un receptor de televisión de
modo que esta señal reflejada en un instante esté en fase
30 y un corto instante después esté en oposición de fase con

23.11.70



la señal recibida directamente de la emisora por la antena). El circuito de control automático de la ganancia del receptor de televisión no puede seguir estas rápidas variaciones, dando como resultado que la amplitud de la señal de video detectada sea también propensa a variaciones.

Este fenómeno puede ocurrir también cuando se usan los denominados circuitos automáticos de control de la ganancia. Como es sabido, el voltaje de control suministrado por el circuito automático de control de la ganancia caerá al ocurrir una condición de sincronización de corte y la amplitud de la señal de video aumentará bruscamente. Esta señal incrementada puede generar de nuevo un voltaje de control automático de la ganancia por ejemplo, en partes oscuras de la imagen, de modo que la amplitud de la señal de video disminuye de nuevo. Si el receptor está todavía en su condición de corte, la amplitud de la señal de video aumentará de nuevo a continuación. La velocidad de estas variaciones depende de la constante de tiempo del circuito alisador del de control automático de la ganancia. La constante de tiempo del circuito RC en el separador de sincronismos ha de ser más corta que la del circuito alisador del de control automático de la ganancia ya que, de otro modo, el separador de sincronismos no puede seguir las variaciones en la señal de video como resultado de la causa últimamente mencionada.

Como se describe en la memoria de la patente británica nº 959.694, la reducción de una constante de tiempo sin embargo, tiene el resultado de que el voltaje de um-

2 D10



bral a través del condensador del circuito RC del separador de sincronismos varía mucho durante los impulsos de sincronización de campos que ocurren en el intervalo de sincronización de campos, cuyos impulsos tienen una duración mucho mayor que la de los impulsos de sincronización de líneas o de igualación. Como resultado, la amplitud de los impulsos de sincronización separados varía también. Esto produce una variación del voltaje de control durante el periodo en que ocurren los impulsos de sincronización de campos, cuyo voltaje de control es suministrado por un discriminador de fase de la sección de desviación de líneas. Como resultado, la imagen queda sesgada directamente después de acabar los impulsos de sincronización de campos (lo que es visible en el lado superior de la pantalla del tubo de imagen). Esto es indeseable.

Con el fin de evitar esta imagen sesgada, el separador de sincronismos de acuerdo con el invento se caracteriza porque dicho circuito RC está conectado a través de una primera resistencia al emisor de un primer transistor que forma parte de una etapa limitadora y a un electrodo de control del limitador de amplitud a una segunda resistencia.

Ha de observarse que, debido a la forma de conectar el separador de sincronismos, los impulsos de sincronización de campos no quedan disponibles en su salida normal. Es posible, por supuesto, fabricar un separador completamente independiente para la separación de los impulsos de sincronización de campos, pero esto exige muchos componentes adicionales.

372687



De acuerdo con otro principio del invento, sin embargo, es posible realizar la separación de los impulsos de sincronización de campos en el mismo separador si éste se caracteriza porque para separar independientemente los impulsos de sincronización de campos se incorporan en el separador otros dos transistores conectados como amplificadores diferenciales, estando conectada la base del primer transistor, para la c.c., al circuito RC y estando conectada la base del segundo transistor, para la c.c. al electrodo de salida del limitador de amplitud, y formando el colector del segundo transistor una segunda salida de la cual pueden derivarse los impulsos de sincronización de campos.

Describiremos ahora a modo de ejemplo una posible realización de un separador de sincronismos de acuerdo con el invento, haciendolo con referencia a los dibujos diagramáticos adjuntos, en los cuales:

La figura 1 muestra el separador de sincronismos de acuerdo con el invento;

La figura 2 muestra impulsos de sincronización separados que incluyen el voltaje de ondulación a través del circuito RC sin la medida de acuerdo con el invento;

la figura 3a muestra la señal de video con inclusión del voltaje de ondulación superpuesto sobre él tal como resulta activa en el limitador de amplitud de la disposición de circuito de la figura 1;

la figura 3b muestra la corriente de colector del limitador de amplitud de la figura 1.

la figura 3c muestra el voltaje de colector del limitador de amplitud de la figura 1;



la figura 3d muestra la corriente, con inclusión del voltaje de ondulación, a través del circuito RC, que atraviesa un paso limitador que sucede al limitador de amplitud de la figura 1; y

5 la figura 3e muestra la corriente de colector de uno de los dos transistores del amplificador diferencial de la figura 1 para separar independientemente los impulsos de sincronización de campos.

En la figura 1, el transistor 1 forma el limitador
10 de amplitud al paso que la combinación denotada con el número de referencia 2 es el paso limitador para limitar los impulsos de sincronización de líneas. El número de referencia 3 denota el amplificador diferencial que asegura que los impulsos de sincronización de campos sean separados in-
15 dependientemente.

La señal de video 4 es aplicada con los impulsos de sincronización de líneas de sentido positivo a través de una resistencia 5 al emisor del transistor npn 1. El colector de este transistor está conectado a través de una
20 resistencia de salida 6 a la fuente de voltaje de alimentación que proporciona una tensión de alimentación de $+V_V$ voltios. El colector del transistor 1 está conectado a la entrada del paso limitador 2. En la realización de la figura 1, este paso limitador 2 comprende dos transistores 7
25 y 8 dispuestos en configuración de Darlington. Como explicaremos luego, esto se ha hecho para facilitar el recorte o limitación de los impulsos de sincronización de campos con ayuda del amplificador diferencial 3. Si no se usa esta configuración, el paso limitador 2 puede consistir exclusi-
30 vamente en el transistor 8, estando el colector del transis-



tor 1 conectado directamente a la base del transistor 8.
En el caso de la figura 1, sin embargo, el colector del transistor 1 está conectado a la base del transistor 7, lo que asegura que la corriente de control es multiplicada por factor α' , de modo que la corriente de colector i_{c2} que circula por el transistor 8 es amplificada considerablemente.

El emisor del transistor 8 está conectado a través de una resistencia 9 de valor relativamente pequeño, por ejemplo de 260 ohmios, al circuito RC 10 que comprende una resistencia 11 de, por ejemplo, 10.000 ohmios, y un condensador 12 de, por ejemplo, 0, 2 microfaradios. El circuito RC 11, 12 es el mencionado en el preámbulo con una constante de tiempo relativamente pequeña con relación al periodo de 50 Hz de los impulsos de sincronización de campos que ocurren durante el intervalo de sincronización de campos. La resistencia 9 tiene solo un pequeño valor y sirve para ajustar el periodo de carga del condensador 12 cuando los transistores 7 y 8 transportan corriente. De hecho, como luego describiremos con referencia a las figuras 2 y 3, el condensador 12 ha de cargarse a una velocidad dada que puede ser ajustada opcionalmente con ayuda de la resistencia 9.

La unión del circuito RC 10 está conectada a través de una resistencia 13 de, por ejemplo, 10.000 ohmios, a la base del transistor 1. Esta unión está conectada también a la base de un transistor 14 que forma parte del amplificador diferencial 3. Este amplificador incluye además un transistor 15 y un transistor 16. La base del transistor 16 está conectada a la unión de un divisor de tensión que



comprenda las resistencias 17 y 18, cuyo divisor de tensión está directamente conectado al manantial de voltaje de alimentación que proporciona la tensión de alimentación de $+ V_V$ voltios, de modo que la corriente de colector del transistor 16 viene determinada de este modo. Así, el transistor 16 asegura de modo conocido que se aplica una corriente constante al amplificador diferencial 3, determinando las señales de control en las bases de los transistores 14 y 15 que parte de esta corriente pasará por el transistor 15 y que parte lo hará por el transistor 14. Finalmente, la figura muestra que el colector del transistor 15 incluye un segundo circuito RC 19 que comprende un condensador 20 de, por ejemplo, 22 KpF y una resistencia 21 de, por ejemplo, 6.200 ohmios. El circuito RC 19 sirve para integrar los impulsos de sincronización de campos de modo que la señal de sincronización de campos integrada 23' puede derivarse del terminal de salida 22 que está conectado al colector del transistor 15. Esta señal separada 23' de sincronización de campos puede aplicarse a otro paso limitador, si es necesario, de cuyo paso pueden derivarse entonces los impulsos de sincronización de campos limitados.

El terminal de salida 22 ha de considerarse como segundo terminal de salida del separador de sincronismos de la figura 1, al paso que el terminal de salida 23, que está conectado al colector del transistor 8, forma el primer terminal de salida del cual pueden derivarse los impulsos de sincronización de líneas 24 limitados. Para ello, el colector del transistor 8 está conectado a través de una resistencia de salida 25 al terminal de voltaje de alimentación de $+ V_V$ voltios.



Con el fin de explicar el funcionamiento del se-
parador de sincronismos de acuerdo con el invento y para
mencionar los inconvenientes del circuito 10 de pequeña
constante de tiempo, las figuras 2 y 3 muestran unas cuan-
tas intensidades y voltajes tales como ocurren total o par-
cialmente en el separador de la figura 1.

Para ello, la figura 2 muestra el voltaje V_{e2} tal
como ocurre a través del circuito 10 en función del tiempo
cuando el condensador 12 no está presente, y se ha supuesto
tambien que la resistencia 13 ha sido separada de la unión
de las resistencias 9 y 11 y está conectada a un potencial
fijo. Este voltaje V_{e2} representa impulsos separados de
sincronización de líneas, de igualación y de sincronización
de campos. Si solo se prevé el condensador 12, se produci-
rá un voltaje de ondulación en el circuito 10 como se mues-
tra por la línea 26 de puntos y trazos en la figura 2. Es-
te voltaje de ondulación no se muestra totalmente de un mo-
do correcto durante la ocurrencia de los impulsos de sin-
cronización de campos desde el instante t_{11} porque el con-
densador 12 se descarga a través de la resistencia 11 con
una pendiente constante. Esta pendiente se muestra correc-
tamente durante los periodos $t_2 \longrightarrow t_3$ como de un perío-
do de línea y durante los periodos $t_4 \longrightarrow t_5$, $t_6 \longrightarrow t_7$
como de la mitad de los periodos de líneas y, por tanto,
no se muestra correctamente durante los periodos $t_{11} \longrightarrow t_{12}$
y $t_{14} \longrightarrow t_{15}$ que son periodos durante los cuales ocurren
impulsos de sincronización de líneas invertidos. Sin embar-
go, esto se ha hecho en gracia a la conveniencia en la fi-
gura 2, porque, de otro modo, sería difícil mostrar el
efecto del invento en el curso de esta descripción.



La figura 2 muestra en cualquier caso que el voltaje de ondulación 26 a través del circuito 10 en el período durante el cual ocurren siempre impulsos de sincronización de líneas después de un período de línea (habiéndose mostrado el período $t_1 \longrightarrow t_3$ sólo en la figura 2) tiene un valor medio mostrado por la línea 27. Durante el período $t_4 \longrightarrow t_9$ que es el período durante el cual ocurren los impulsos de igualación, el valor medio de este voltaje de ondulación se muestra por la línea 28 y durante el período $t_9 \longrightarrow t_{16}$ y los siguientes, que es el intervalo de sincronización de campos, el valor medio del voltaje de ondulación se mostraría en realidad por el valor o nivel de la línea 29. Esto es así porque el condensador 12 apenas tiene oportunidad de descargarse durante los períodos de retorno de líneas $t_{11} \longrightarrow t_{12}$, $t_{14} \longrightarrow t_{15}$, etc. Esto quiere decir que si el circuito 10 se dispusiera del modo descrito en la memoria de la patente británica Nº 959.694, el voltaje medio de umbral para el limitador de amplitud variaría mucho durante la ocurrencia de los impulsos de igualación y de sincronización de campos, lo que significa que las amplitudes de los impulsos de sincronización separados variarían. Esto es fatal para la sincronización de líneas aproximadamente al ocurrir los impulsos de sincronización de campos ya que esto da como resultado el efecto de sesgo de la imagen en el lado superior como se dijo ya en el preámbulo de esta memoria.

De acuerdo con los principios del invento, el paso limitador 2 está dispuesto entre el limitador de amplitud 1 y el circuito 10 para impedirlo, y la base del transistor 1 está conectada también a través de la resistencia



13 el circuito RC 10. Así, no sólo se consigue que la conexión entre el limitador de amplitud y el circuito RC sea desplazada de su emisor a su base, sino que se logra también que, debido a la inclusión del paso limitador 2, el voltaje de ondulación 26 a través del circuito 10 se haya hecho independiente de la ocurrencia de los impulsos de sincronización de campos. Esto puede explicarse como sigue:

La figura 3a muestra la señal de entrada 4 según es aplicada a través de la resistencia 5 al emisor del transistor 1. Esta figura muestra asimismo la característica $i_{c1} - V_b$ del transistor 1. En este caso, se ha supuesto que el valor del voltaje al cual es cortada la corriente de colector i_{c1} del transistor 1 viene dado por V_{b1} . La figura 3a muestra también el voltaje de ondulación 26, tal como ocurrirá eventualmente a través del circuito RC 10. Si el voltaje de ondulación 26 no fuera superpuesto sobre la señal de entrada debido a la disposición de la resistencia 13, la corriente de colector i_{c1} habría sido interrumpida cada vez durante la ocurrencia de los impulsos de sincronización a la amplitud dada de la señal 4 y de la polarización posiblemente aplicada. Debido a la superposición del voltaje de ondulación 26, la corriente de colector i_{c1} , sin embargo, es cortada ahora sólo en los instantes t_1 y t_3 y éste ya no es el caso para todos los otros instantes, como resulta claramente evidente de la figura 3b. Suponiendo que el voltaje de ondulación 26 hubiera sido efectivamente mostrado de una manera correcta, circularía la corriente de colector i_{c1} mostrada en la figura 3b, por consiguiente, lo cual, a su vez, daría como resultado una caída de tensión a través de la resistencia 6, de modo que la señal en el



colector del transistor 8 tendria una forma de onda como se muestra por el voltaje V_{c1} en la figura 3c. Se comprueba por la figura 3c que cada vez que, durante los periodos $t_1 \longrightarrow t_2$, $t_3 \longrightarrow t_4$, $t_5 \longrightarrow t_6$, etc. hasta el periodo $t_{15} \longrightarrow t_{16}$ inclusive, ocurren siempre voltajes de cresta los cuales hacen posible provocar la circulación de una corriente de colector i_{c2} como se muestra en la figura 3d, a través de la resistencia 8 con ayuda del paso limitador 2. De hecho, aparte de la pequeña caída de tensión a través de la resistencia 9, el transistor 8 tiene un voltaje de ondulación en su emisor, que se muestra en la figura 3c por la línea de puntos y trazos 26. El valor medio de este voltaje de ondulación se indica aproximadamente por la línea 30. Se indica aproximadamente porque, como resulta evidente por la figura 3d, también este valor medio del voltaje de ondulación será propenso a cambios como resultado de la ocurrencia de los impulsos de igualación y de sincronización de campos. Como la corriente de colector puede circular a través del transistor 8 solamente cuando el voltaje en su base excede del valor indicado por la línea 30 por V_{be} voltios (valor de umbral de la unión base-emisor, o voltaje de la unión) el transistor 8 será capaz de transportar corriente solamente cuando la señal de entrada en su base es V_{be} voltios mayor que el valor medio indicado por la línea 30. Sin embargo, la señal V_{c1} desarrollada a través de la resistencia 6 es activa en la base del transistor 7, de modo que también el voltaje de unión V_{be} del transistor 7 debe ser tenido en cuenta. Por consiguiente, circulará corriente de colector a través del transistor 8 solamente cuando el voltaje V_{c1} sea $2 V_{be}$ voltios mayor que

372687



5 el valor indicado por la línea 30. Esto quiere decir que la corriente de colector i_{c1} circulará a través del transistor 8 solamente cuando la señal V_{c1} en la base del transistor 7 haya excedido el valor indicado por la línea 31 en la figura 3c. Además, suponiendo que el transistor 8 se haya saturado cuando la señal V_{c1} exceda el valor indicado por la línea 32, puede verse que se recorta una faja de la señal V_{c1} , que viene determinada por los valores de las líneas 31 y 32. Por consiguiente, circularán a través del transistor 8, como se muestra en la figura 3d, una corriente de colector i_{c2} y una corriente de emisor correspondientes a ello.

15 La figura 3d muestra que, en realidad, solo circulan débiles corrientes pulsatorias y que los anchos impulsos de sincronización de campos no ocurren ya en la señal de la figura 3d. Esto quiere decir que la señal i_{c2} según la figura 3d desarrollará una señal 24 a través de la resistencia de salida 25, cuya señal 24 no solo tiene siempre la misma amplitud sino cuya anchura variará sólo poco durante la ocurrencia de los impulsos de sincronización de campos. Por consiguiente, se impide el sesgo de la imagen en el lado superior de la pantalla. La figura 3d muestra asimismo por medio de la línea 26 de puntos y trazos el voltaje de ondulación que ocurrirá a través del

20

25 circuito RC 10. Como resultado del valor relativamente pequeño de la resistencia 9, el condensador 12 se cargará siempre hasta el valor de cresta de la señal cuando el transistor 8 transporta corriente, lo cual quiere decir que las crestas del voltaje de ondulación 26 se unen en realidad al valor de la línea 31'. Sin embargo, como el período

30



entre dos impulsos de línea (período de líneas) es mayor que el período entre dos impulsos de igualación (mitad del período de líneas) y la duración de los impulsos de sincronización de campos que ocurren en un intervalo de sincronización de campos, la descarga del condensador 12 durante el periodo $t_2 \longrightarrow t_3$ será mayor que en los periodos subsiguientes $t_4 \longrightarrow t_5$, etc., $t_{10} \longrightarrow t_{11}$, etc. respectivamente. Como resultado, el voltaje de ondulación 26 tiene un valor en los instantes t_1, t_3 , que es menos positivo que el que tiene en los instantes t_5, t_7, t_9, t_{12} y t_{15} . Que el voltaje de ondulación 26 considerado en la figura 3d está correctamente dibujado en la figura 3a puede resultar evidente por el hecho de que el nivel o valor de la línea 31' está también indicado en la figura 3a y que el voltaje de ondulación en la figura 3a y también en la figura 3d está situado del mismo modo con relación a la línea 31'.

Como el voltaje de ondulación en la figura 3d se halla debajo de la línea 31', el voltaje de ondulación de la figura 3a debe también estar a la izquierda de la línea 31'. La señal de entrada 4 se muestra en la figura 3a yendo en sentido negativo porque es aplicada al emisor del transistor 1.

Como, según se explicó ya, la corriente de colector i_{c1} se origina como resultado de la acción combinada de la señal de video aplicada 4 y el voltaje de ondulación 26, puede verse que las crestas de la corriente i_{c1} en la figura 3b en los instantes t_1 y t_3 están situadas a un nivel distinto del que ocupan en los instantes t_5, t_7, t_9, t_{12} y t_{15} . Esto afecta al voltaje de colector v_{c1} que tiene

372687



amplitudes diferentes en dichos instantes de modo que, debido a la pequeña constante de tiempo del circuito 10, la señal de salida del limitador de amplitud tendría también una amplitud variable sin el uso del paso limitador 2 lo que, como se dijo ya en el preámbulo, sesgaría la imagen en la parte superior de la pantalla. Esto quiere decir que el paso limitador 2 desempeña una doble función:

1) Debido a su acción limitadora entre los niveles 31 y 32, asegura que la señal de la figura 3d y la señal de salida 24 tengan siempre la misma amplitud.

2) Separa el circuito 10 del limitador de amplitud 1.

Por consiguiente, las corrientes de cresta que deben cargar el condensador 12 tienen siempre la misma amplitud. También, no hay problemas de acciones recíprocas entre el circuito 10 y el limitador de amplitud, lo cual sería el caso si el circuito 10 estuviera incorporado en la línea del emisor del limitador de amplitud en la forma descrita en la memoria de la patente británica Nº 959.694.

Como al ocurrir impulsos de igualación y de campos el voltaje de umbral varía y, por tanto, también la corriente de emisor, lo que a su vez da como resultado una variación del voltaje de umbral, el efecto de la variación del voltaje de umbral en tal circuito es mucho mayor que en el caso del circuito de la figura 1 del presente invento, porque la corriente de base del transistor 1 que circula también a través del circuito 10 por medio de la resistencia 13 es despreciable con relación a la corriente de emisor del transistor 8. De hecho, la corriente de emisor últimamente mencionada es amplificada muchas veces con relación



a la corriente de base del transistor 1.

El hecho de que, en realidad, un voltaje de ondulación 26 sea eventualmente activo en la base del transistor 1, incluso si un impulso de sincronización de campos no es suprimido directamente cuando se pone en conducción el circuito, con lo que ocurre un fenómeno transitorio de conexión, puede explicarse todavía con referencia a la figura 2. Con referencia a esta figura, se intentará describir este fenómeno transistorio de conexión. Para ello, la descarga del condensador 12 a través de la resistencia 11 durante los periodos $t_{11} \longrightarrow t_{12}$ y $t_{14} \longrightarrow t_{15}$, respectivamente, está representada por una pendiente exagerada y, por consiguiente, también la carga del condensador 12 a través de la resistencia 9 está representada de una manera exagerada para los periodos $t_{12} \longrightarrow t_{13}$, $t_{15} \longrightarrow t_{16}$ que son periodos durante los cuales son activos los impulsos de sincronización de campos. En cualquier caso, se ve por esta representación exagerada que comenzará a circular una pequeña corriente de colector en el transistor 1 durante los periodos $t_{12} \longrightarrow t_{13}$ y $t_{15} \longrightarrow t_{16}$, respectivamente, porque, como se consideró ya para el voltaje de ondulación 26 según la figura 3d, un sentido más positivo de este voltaje de ondulación en la base del transistor 1 contrarrestará el corte de la corriente de colector i_{c1} como resultado de los impulsos de sincronización de campos que son activos en el emisor. Es cierto que las corrientes de cresta pequeñas que ocurren durante estos periodos no son inicialmente tan grandes como se muestra en la figura 3b, pero contribuirán ya ligeramente al hecho de que comenzarán a circular pequeñas corrientes pulsatorias a través de la



resistencia 3. Estas corrientes pulsatorias tienen el resultado de que la descarga del condensador 12 a través de la resistencia 11 puede tener lugar sobre un período ligeramente más prolongado de modo que se aproxima uno ya ligeramente al estado de la figura 3d. Este período de descarga más prolongado supone que también debe aplicarse una carga mayor a través de la resistencia 9 de modo que la pendiente del voltaje de ondulación durante los períodos $t_{12} \longrightarrow t_{13}$ y $t_{15} \longrightarrow t_{16}$, respectivamente, aumenta, lo que da a su vez como resultado corrientes pulsatorias ligeramente mayores, etc. Finalmente, se ajustará un estado de equilibrio como se muestra en la figura 3d.

Es evidente por lo que antecede que sólo pueden derivarse impulsos de sincronización de líneas del terminal de salida 23 porque los impulsos de sincronización de campos han desaparecido de él. Por consiguiente, deben tomarse medidas para separar también los impulsos de sincronización de campos. Como se ha descrito ya en el preámbulo, esto se ha conseguido por medio del amplificador diferencial 3. Un voltaje de ondulación como se muestra en la figura 3c se aplica a la base del transistor 14 desde el amplificador diferencial 3, al paso que la señal V_{c1} es activa en la base del transistor 15. El resultado de ello es que comenzará a circular una corriente de colector i_{c3} a través de la resistencia 15 como se muestra en la figura 3e. Durante los períodos $t_1 \longrightarrow t_2$, $t_3 \longrightarrow t_4$, $t_5 \longrightarrow t_6$, $t_7 \longrightarrow t_8$, $t_9 \longrightarrow t_{11}$, $t_{12} \longrightarrow t_{14}$, etc., el voltaje V_{c1} estará situado en cualquier caso francamente por encima del valor indicado por la línea 30. Ahora bien, la corriente que circula por la resistencia 14 recoge la corrien-



te que circula por el transistor 15 cuando el voltaje en la base del transistor 15 es ligeramente más alto que el del transistor 14. Como se comprueba considerando la figura 3c, es éste ciertamente el caso en los períodos antes mencionados y, por consiguiente, queda explicada así la forma de onda de la corriente de colector i_{c3} .

La corriente i_{c3} dará como resultado un voltaje a través de la resistencia 21 que está invertido en fase con relación a la señal mostrada en la figura 3e y la señal de campo integrada 23' nace en el terminal de salida 22 con ayuda de la integración por medio del condensador 20.

Se ha supuesto que la señal de entrada 4 tiene un valor dado de voltaje de c. c. de modo que, como se muestra en la figura 3a, está situado de tal manera que las crestas de sus impulsos de sincronización coincidan en mayor o menor medida con el valor de corte V_{f1} del transistor 1. Si no pudiera ocurrir esto, por ejemplo, cuando la señal 4 está acoplada a la base del transistor 1 a través de un condensador, entonces puede asegurarse el valor deseado de c. c. para la señal 4 por medio de una polarización adicional en el emisor del transistor 1.

Además, se encuentra, considerando la figura 3c (línea 32) que los lados superiores de los impulsos según la figura 3d han terminado antes de los instantes t_2 , t_4 , t_6 , t_8 , t_{10} , t_{13} y t_{16} como resultado de los bordes de salida o posteriores inclinados de los impulsos de cresta en la figura 3c. Como resultado, también las crestas del voltaje de ondulación 26 estarán quizás desplazadas en ligera medida lo que, sin embargo, es difícil de mostrar en



las diversas figuras y lo cual, en la práctica, produce poca diferencia.

Finalmente, ha de señalarse que, aunque las realizaciones de la figura 1 muestran transistores de unión, es posible, alternativamente, usar los transistores denominados de efecto de campo MOST. Esto es particularmente importante para el limitador de amplitud 1 porque entonces no circulará corriente de base en absoluto a través de la resistencia 13, de modo que la carga y la descarga del circuito 10 vienen determinadas sólo por la corriente de emisor del transistor 8 y el valor de la resistencia 11. Lo mismo es cierto, para el transistor 14 porque también este transistor retirará parcialmente una corriente de base del circuito 10 lo que no ocurre en el caso de un transistor de efecto de campo MOST. Por lo demás, el funcionamiento de la disposición de circuito de la figura 1 sigue siendo el mismo. Sin embargo, debe observarse que en el caso de transistores MOST de efecto de campo debe leerse "electrodo de puerta" en lugar de base, "electrodo de entrada" en lugar de emisor y "electrodo de salida" en lugar de colector.

También debe observarse que no es necesario que la señal de video compuesta comprenda siempre impulsos igualadores. Estos impulsos igualadores están ausentes, por ejemplo, en el sistema inglés de 405 líneas.

El separador de sincronismos de la figura 1 es particularmente adecuado para ser integrado en un semiconductor (circuito IC) ya que sólo existen dos condensadores (12 y 20) que no puedan integrarse en el cuerpo semiconductor. Esto es posible para los demás componentes y ello

2 DU



quiere decir que solo han de preverse dos terminales adicionales en el cuerpo semiconductor (ya que masa y terminal de voltaje de alimentación + V_V debe estar siempre presentes).

5 La presente solicitud que corresponde a la presentada en Holanda el 21 de Octubre de 1.968 con el número 6815053, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10

N O T A

15

Los puntos de Invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

20

12.- Un separador de sincronismo, para separar impulsos de sincronización de una señal de video compuesta, que incluye al menos impulsos de sincronización de líneas y de campos, estando equipado el separador con transistores e incluyendo un limitador de amplitud, una etapa descrestadora, medios por los que la señal de video es
25 aplicada a un electrodo de entrada del limitador y un circuito RC que tiene una constante de tiempo relativamente pequeña, con respecto al periodo de los impulsos de sincronización de campos, caracterizado porque dicho circuito
30 RC está conectado a través de una primera resistencia

23.11.70

- 20 -

372697



2010

al emisor de un primer transistor que forma parte de la etapa descrestadora y a un electrodo de control del limitador de amplitud a una segunda resistencia.

5 2^a.- Un separador según la reivindicación 1, caracterizado porque la etapa descrestadora comprende además un segundo transistor, estando dispuestos dichos primero y segundo transistores en configuración Darlington, estando conectado el electrodo de salida del limitador de amplitud a la base del segundo transistor, cuyo emisor está conectado a la base del primer transistor, mientras que el
10 circuito RC y la primera resistencia están incorporados en la línea de emisor del primer transistor y estando incorporada la resistencia de salida en su línea de colector, formando la salida del separador.

15 3^a.- Un separador según cualquiera de las reivindicaciones 1 ó 2, caracterizado porque para separar independientemente los impulsos de sincronización de campos, están incorporados en el separador dos transistores adicionales conectados como un amplificador diferencial, estando
20 la base del primer transistor conectada para corriente continua al circuito RC y estando la base del segundo transistor conectada para corriente continua al electrodo de salida del limitador de amplitud y formando el colector del segundo transistor una segunda salida de la cual pueden ser
25 derivados los impulsos de sincronización de campos.

4^a.- Un separador según cualquiera de las reivindicaciones precedentes, caracterizado porque los componentes del separador están ampliamente integrados en un cuerpo semiconductor.

30 5^a.- Un separador de sincronismo, para separar



impulsos de sincronización de una señal de video compuesta.
ta.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

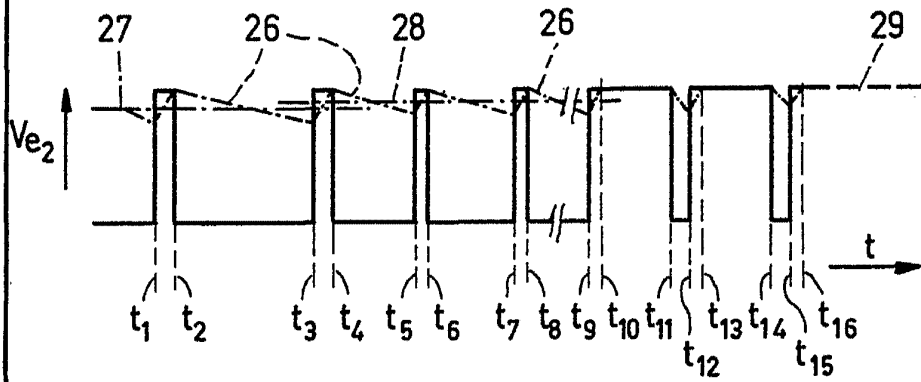
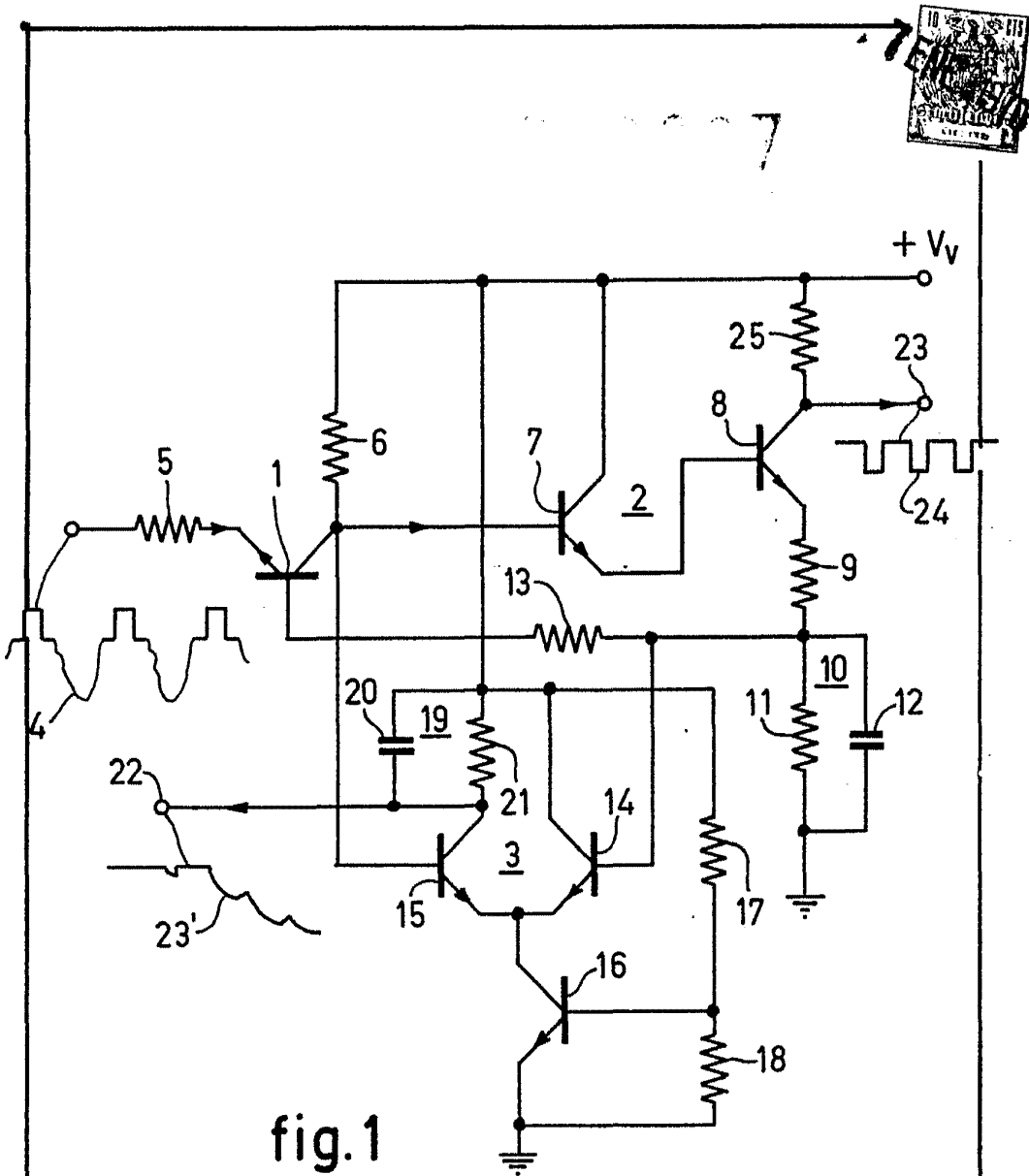
Esta Memoria consta de veintidos hojas escritas a máquina por una sola cara.

Madrid, 7 ENE. 1970

P. A.

Alberto ~~de~~ ~~la~~ ~~Alzaburu~~
Por Poderes *Alzaburu*

372637



Alberto C. Chabita
For Power

372687

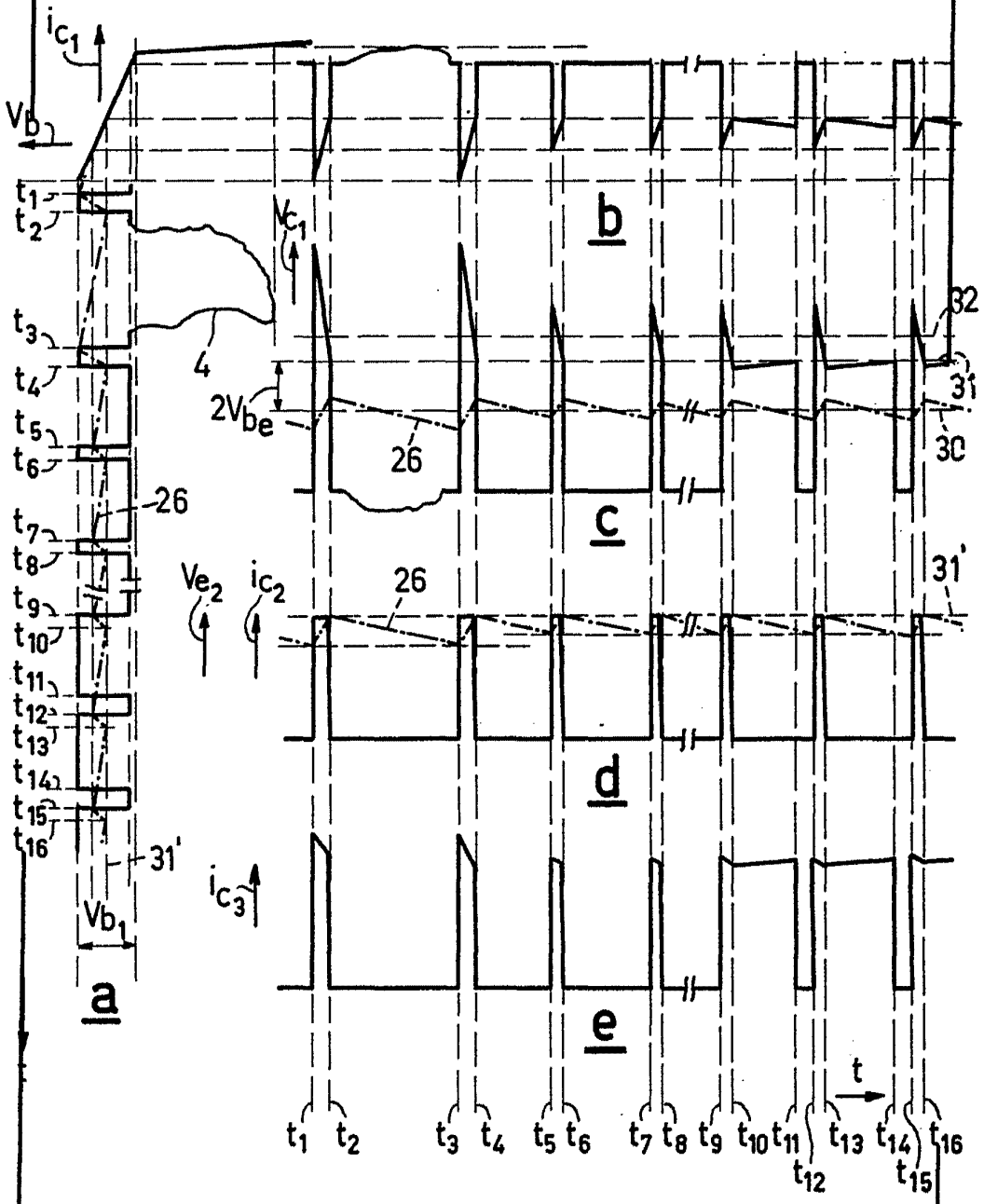


fig.3

Alberto de S. ...
For Paces