

371476



M. J. Herry - A. Lejay 3 - 2

371476

SECCION TECNICA
CLASIFICACION I.P.C.
CLASE <u>H-04</u>
SUBCLASE <u>J</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN CIRCUITO DE SINCRONIZACION EN UNA CENTRAL
DE TRANSMISION DE DATOS POR MODULACION DE CODIGO DE IMPULSOS"
A NOMBRE DE STANDARD ELECTRICA, S. A. DOMICILIADA EN MADRID,
CALLE DE RAMIREZ DE PRADO Nº 5.

El presente invento se refiere a circuitos de sincronización asociados con cada una de las centrales de conmutación de una red de transmisión de datos que trabaja con división de tiempo en múltiple y en modulación de código de impulsos o PCM.

5 Estos circuitos de sincronización serán descritos con un ejemplo de su aplicación a un sistema PCM, con las siguientes características:

- período de repetición o cuadros $T_R = 125$
- número de canales por unión: $m = 24$
- 10 - número de dígitos binarios que constituyen el mensaje transmitido por un canal $p = 8$
- un impulso o señal de mensaje se transmite cuando el dígito correspondiente es 1.

15 Cada una de las centrales de la red tiene un reloj local independiente que proporciona las señales siguientes:



371476

2.

- señales de sectores de tiempo de canal numeradas de t_1 a t_{24} , que dividen cada período de repetición en 24 sectores de tiempo de canal de igual duración. Cada una de esas señales tiene una duración de $t_p = 5,208$ microsegundos;
- 20 - señales de sectores de tiempo de dígito numeradas de m_1 a m_8 , que dividen cada sector de tiempo de canal en ocho sectores de tiempo de igual duración. Cada sector de tiempo así definido es más particularmente usado para la transmisión en forma de serie, desde la central, de uno de los dígitos de un mensaje;
- 25 - señales de sector de tiempo elemental que dividen cada sector de tiempo de dígito en tiempos elementales a , b , c , d_1 y d_2 , cuyas duraciones se definirán durante la descripción.

Estas señales juntas definen el tiempo HC de la central.

30 La transmisión de mensajes entre dos centrales se hace con una unión que comprende dos líneas respectivamente reservadas a la transmisión de A hacia B y a la transmisión de B hacia A.

35 Para las necesidades de la transmisión y de la conmutación, cada una de las uniones que terminan en una central dada se identifica por un código especial, llamado código de unión. En cada unión, cada uno de los m canales se identifica por el código del sector de tiempo en que se recibe, constituyendo los canales homólogos de las dos líneas una unión identificada por el mismo código.

40

Cuando se transmiten las señales del mensaje desde la central B a la central A, son ajustadas en la central expedidora en la escala de tiempo (señales de sectores de tiempo de dígito)



371476

3.

establecida por el reloj local de esta central. Si consideramos,
45 como ejemplo, que la transmisión comprende una secuencia ininte-
rrumpida de dígitos 1 o señales de mensaje, ello significa que es
transmitida una señal en cada sector de tiempo de dígito defini-
do por el reloj de la central B.

En realidad sabemos que, en una transmisión, las posi-
50 ciones en el tiempo de las señales de mensaje están afectadas
por unas perturbaciones que pueden clasificarse en deslizamiento
lento, agitación de fase y pérdida de sincronización.

A - Deslizamiento lento: Es una pequeña variación en la frecuen-
cia de repetición de las señales, que puede considerarse co-
55 mo una diferencia de fase de las señales recibidas la cen-
tral A comparadas con las señales que provienen del reloj
local de esta central. Ello es debido a modificaciones en
las condiciones de la propagación del medio de transmisión
(línea telefónica, radioenlace, etc.) y al deslizamiento rela-
60 tivo de los relojes de las centrales B y A. Se observará que
el período de batido entre las señales recibidas y las seña-
les del reloj de la central A es muy grande (10^4 a 10^5 segun-
dos) de modo que la diferencia de fase puede mantener el mis-
mo signo durante períodos muy largos. Consecuentemente, si
65 se considera un período de tiempo unidad T_u , el número de se-
ñales de mensaje recibidas durante este tiempo T_u nunca se-
rá realmente igual al número de señales de sectores de tiem-
po de dígito facilitadas por el reloj de la central A durante
el mismo tiempo.

70 Por consiguiente, la finalidad del período de conmuta-
ción en la central es el establecimiento, para cada comunica-



371476

4.

75 ción entre abonados, de una conexión, entre dos canales, que pueda corresponder a diferentes uniones afectadas por deslizamientos, sin ninguna correlación entre ellos. Por tanto, para establecer estas conexiones es necesario usar un tiempo común que es el tiempo HC de la central.

80 Así, suponiendo que, para una unión dada, se reserva el sector de tiempo de dígito m5 del sector de tiempo de canal t21 (sector de tiempo t21.m5 de la unión) para el procesamiento de la quinta señal de mensaje perteneciente al canal 21, la consecuencia de este deslizamiento es que la posición en el tiempo de esta señal de mensaje tiene una lenta variación y coincide en sucesión, para un signo dado de la diferencia de fase, con las señales de sectores de tiempo t21.m6, 85 t 21.m7, t21.m8, t22.m1, t22.m2, etc., que están en el tiempo HC de la central. Se ve así que una señal del canal 3 puede ser recibida durante el tiempo reservado al proceso del canal 4, después al del canal 5, etc., y que los mensajes sufren una perturbación total.

90 B - Agitación de fase: Es un deslizamiento rápido de las señales de mensaje a uno u otro lado de la posición media en que tendrían que estar si solamente estuvieran afectadas por el deslizamiento. Ello es debido a diversas causas, tales como a un cruce de conversación entre líneas, a efecto de inducción de 95 señales periódicas de dispersión, a una mutua acción entre las señales sucesivamente transmitidas cuando el medio de transmisión introduce distorsión de amplitud y de fase, etc..

100 La agitación de fase perturba la transmisión y la conmutación y su amplitud aumenta con la longitud de la línea de transmisión, de forma que puede alcanzar uno o dos secto-



371476

5.

res de tiempo de dígito y causar perturbación en el mensaje.

105 C - Pérdida de sincronización: Esta ocurre cuando ha sido imposible equilibrar el deslizamiento lento o cuando hay una pérdida de sincronización del canal debida, bien a una importante perturbación en la transmisión o a la iniciación del trabajo de la central. Entonces, los mensajes se reciben durante sectores de tiempo que no guardan relación con aquellos reservados a su procesado y la operación de la central es totalmente perturbada.

110 Antes de explicar brevemente los medios usados para eliminar los efectos de estas perturbaciones se debe hacer notar que, en el sistema de acuerdo con el invento, en cada línea de entrada se ha situado una memoria "buffer" o memoria de datos en la que se escriben los mensajes a medida
115 de que son recibidos y se leen cíclicamente para ser transmitidos al circuito. Esta memoria de datos comprende m líneas y p columnas, estando dispuesta cada línea para el almacenamiento de las señales que corresponden a uno de los canales. Por consiguiente, durante cada período de repetición, la información que corresponda, por ejemplo, al canal 13, se escribe en la línea 13 de la memoria y dispuesta en paralelo.
120 Las señales de selección de dirección en esta memoria se referenciarán de V1 a V24.

125 La forma en que operan estas memorias ya se ha descrito con detalle en el caso M. Herry - J.P. Le Corre - G.R. Yelloz 1-7-1.

En general, la supresión de la agitación de fase se hace almacenando las señales de mensaje, la duración de las



371476

6.

130

cuales es corta en comparación con la de un sector de tiempo de dígito (1 o bien 0,5 sectores de tiempo elemental, por ejemplo), en una segunda memoria "buffer" llamada corrector de fase y procesando los datos de esta memoria; las señales de selección escrita de esta memoria tienen la duración de un tiempo de dígito y se obtienen de las señales recibidas por la unión. Así, se tiene una amplitud total de agitación que oscila alrededor de un sector de tiempo de dígito. Las señales de mensaje se leen bajo el control de las señales en el tiempo HC, de forma que están libres de toda agitación.

135

140

Para compensar los efectos del deslizamiento lento, se elabora una señal de error comparando la frecuencia media de las señales recibidas con la de una señal de reloj. Siendo muy pequeña la diferencia entre estas dos frecuencias, es una detección de fase que generalmente se lleva a cabo con un detector digital que dé una información discreta sobre la amplitud y el signo de la diferencia de fase. Esta señal de error se usa entonces para modificar el tiempo de escritura o de lectura (o ambos) de las memorias "buffer", de forma que los mensajes que se reciben se almacenan en las direcciones exactas que están reservadas para ellos en la memoria de datos.

145

150

155

Se sabe que el período de la señal de un detector de fase es igual al período de batido T_B entre los trenes de señales que son comparadas, siendo este período T_B el tiempo durante el que el número de señales de los dos trenes



371476

7.

corresponde a la diferencia exacta de uno. Así se comprende que, a pesar de las correcciones que se acaban de mencionar, algunas señales se pueden perder cuando se escriben en la memoria de datos.

160 Para poder sincronizar una unión es necesario enviar un código de sincronización CSy con una posición en el tiempo precisamente definida. Este código de sincronización CSy puede, por ejemplo, ser transmitido, como se ha descrito en el caso M.J. Herry - J.L.R. Jamet 2-1, durante el tiempo reservado al canal 24 y se dice que la unión está sincronizada cuando el código CSy se recibe justamente al ser la línea 34 marcada para este canal seleccionada para ser escrita en la memoria de datos. Si se comparan la posición en el tiempo de este código y la de la señal de selección V24, se obtiene una señal de error que caracteriza la pérdida de sincronización cuando dichas posiciones ya no coinciden.

170 Al ser las diferentes uniones conectadas a la central seleccionadas cíclicamente, la detección de una señal de error así controla, en esta unión, el comienzo de las operaciones de sincronización del canal, que son:

- 175
- a) una primera comprobación del código recibido en el sector de tiempo V24 del canal durante tres periodos de repetición;
 - b) una búsqueda por el código de sincronización, si se han detectado tres faltas de coincidencia;
 - 180 c) una corrección del error que se obtiene actuando en los selectores del corrector de fase o en la memoria de datos (o en ambos a la vez);



371476

8.

d) una segunda comprobación.

185

En el sistema PCM para el que son de aplicación los circuitos de sincronización de acuerdo con el invento el código de sincronización CSy se forma con el grupo de los primeros dígitos binarios de los mensajes, desde el canal noventa al canal veinticuatro y dicho código es transmitido solamente una vez cada noventa y seis canales. Estos noventa y seis canales forman cuatro períodos de repetición de veinticuatro canales consecutivos cada uno y el código CSy aparece en los canales 9 a 24 del período de repetición.2.

190

195

Para obtener la sincronización del canal se comprueba, para cada unión, si el código CSy es bien recibido durante los canales 9 a 24 del período de repetición 2. Cuando se detecta un error, la señal de error controla el comienzo de las operaciones de sincronización del canal, que consisten en:

200

a) una comprobación de la primera señal de cada código de los canales 9 a 24 del período de repetición 2 durante dos sucesivos períodos de repetición 2;

b) una búsqueda por el código de sincronización de si han sido detectados tres errores consecutivos;

205

c) una corrección del error que se obtiene actuando en el escalonamiento del selector de columna por escritura en el corrector de fase; este escalonamiento se efectúa a intervalos regulares, cuando no ha tenido resultado positivo durante dicho intervalo.

210

En los canales 1 a 8 del período de repetición 2 y en los canales de los otros tres períodos de repetición, el pri-



371476

9.

215 mer dígito de cada mensaje tiene otro significado. Así, el primer dígito de los mensajes de los canales 1 a 8 en el período de repetición 2, y de los mensajes de los canales en el período de repetición 4, es usado para transmitir información de cualquier especie; el primer dígito de los mensajes de canal en los períodos de repetición impares 1 y 3 se usa para las funciones de señalización en la red de PCM.

220 El objeto del presente invento es, por tanto, hacer posible la escritura de cada uno de los mensajes transmitidos por una unión múltiple de tiempo, en la dirección particular que se le asigna en una memoria de datos, eliminando los efectos de un deslizamiento lento, agitación de fase y perturbaciones en la transmisión.

225 De acuerdo con una característica del presente invento, en un sistema de transmisión de datos en que la información se transmite en grupos de p impulsos binarios, se componen grupos de p uniones en que se reserva un sector particular de tiempo de dígito para el proceso de los mensajes recibidos por cada unión y cada uno de los circuitos de grupo de uniones comprende p circuitos de enlace de entrada, una memoria de datos de grupo, una memoria de instrucción con una exploración cíclica que provee la información de selección de la dirección en la memoria de datos del grupo y el corrector de fase de cada circuito de unión, la información del número de períodos de repetición, la información del error de deslizamiento provista por cada circuito de unión, la información sobre la situación de sincronismo o falta del mismo provista por un detector de código de sincronización común al circuito de grupo de uniones y la información sobre la situación de estar o no en orden cada unión.

230

235

240



371476

10.

De acuerdo con otra característica del presente inven-
to cada circuito de unión de entrada comprende un circuito que
elabora una señal de "riesgo de error", un corrector de fase cons
tituido por una memoria con v líneas de p dígitos cada una, en
245 la que se escriben, una tras otra, las señales recibidas en se-
rie por la unión, en dicho corrector de fase y que son leídas
en forma paralela por una señal de selección de línea elaborada
a partir de la información facilitada por la memoria de instruc-
ción de grupo, para ser transferidas a la dirección de la memo-
250 ria de datos del grupo seleccionada en el sector de tiempo por
dicha memoria de instrucción de grupo y un circuito que contro-
la el escalonamiento del selector de columna del corrector de
fase; la información sobre el error de deslizamiento dada por
la memoria de instrucción de grupo se usa para modificar la se-
255 lección de dirección del corrector de fase y de la memoria del
grupo de datos.

Otra característica del presente invento consiste en
el hecho de que para cada unión se cuenta el número de compro-
baciones sucesivas del código de sincronización GSy con las que
260 se ha encontrado un error, porque una búsqueda por el código de
sincronización se comienza cuando el número de comprobaciones ζ
en las que se ha encontrado un error es igual a tres, porque
la búsqueda por un código de sincronización para una unión con-
siste en ver si el primer dígito en N mensajes sucesivos corres-
265 ponde a los N dígitos del código de sincronización, porque con
intervalos iguales de tiempo el selector de columna de escritu-
ra del corrector de fase sube una posición cuando la búsqueda
no ha dado resultado al final de dicho intervalo, porque al fi-



371476

11.

270 nal de una demora dada los mensajes recibidos por la unión de-
sincronizada no son ya transmitidos a la memoria de datos de
grupo y porque la unión normalmente vuelve a trabajar tan pron-
to como el código de sincronización ha sido detectado.

275 Lo que se ha mencionado y otras características del
invento se pondrán más de, manifiesto con la descripción que
sigue, hecha en unión con los dibujos que se acompañan, en los
que:

Las Figs. 1. a a 1.i indican los símbolos usados en
los dibujos que siguen:

280 La Fig. 2 es el diagrama de bloque de una central que
opera por modulación de código.

La Fig. 3 es el diagrama detallado de un circuito de
unión.

La Fig. 4 es el diagrama de un circuito de grupo de
uniones.

285 La Fig. 5 es el diagrama detallado del circuito de
conmutación del primer dígito de cada mensaje de canal.

La Fig. 6 representa la sucesión de los sectores de
tiempo elementales a, b, c, d1, d2 que dividen cada sector de
tiempo de dígito mn.

290 Las Figs. 7.a y 7.b representan el contador de cana-
les.

La Fig. 8 representa el contador de período de repeti-
ción.

295 Las Figs. 9.a, 9.b, 9.c representan el circuito de de-
tección de deslizamiento.



371476

12.

La Fig. 10 representa el contador de líneas.

La Fig. 11 representa el circuito de comprobación del código de sincronización y el circuito de contado del número de comprobaciones de las que ha resultado un error.

300 La Fig. 12 representa el circuito de demora para sacar del servicio una unión desincronizada.

Las Figs. 13.a a 13.g son unos diagramas de señales que tienen por objeto aclarar como se hace la detección del deslizamiento.

305 Las Figs. 14.a, 14.b, 15.a y 15.b son unos diagramas que tienen por objeto poner clara la pérdida de información en la memoria de datos de grupo durante una operación con deslizamiento.

310 Las Figs. 16.a, 16.b, 17.a y 17.b son diagramas que tienen por objeto poner clara la ausencia de la información perdida en la memoria de datos de grupo durante una operación con demora.

Las Figs. 18.a y 18.b representan el circuito para la búsqueda del código de sincronización.

315 Antes de describir el invento discutiremos brevemente las notaciones de álgebra lógica que serán aquí usadas, para simplificar la descripción de las operaciones lógicas. Este asunto ha sido extensamente tratado en numerosos informes y en particular en el libro "Lógica design of digital computers" (Diseño lógico de computadores digitales) de M. Phister (editado por J. Wiley).

320 Así, si una condición caracterizada por la presencia de una señal se escribe A, la condición caracterizada por la



371476

13.

ausencia de dicha señal se escribirá \bar{A} .

325 Estas dos condiciones se relacionan entre sí por la relación lógica bien conocida $A \times \bar{A} = 0$, en la que el signo "x" es el símbolo de la función de coincidencia lógica o función "Y".

330 Si una condición C aparece solamente cuando se presentan simultáneamente las condiciones A y B, se escribe $A \times B = C$ y esta función puede llevarse a cabo por medio de un circuito de coincidencia o circuito "Y".

335 Si una condición C aparece cuando está presente una por lo menos de las dos condiciones E y F, se escribe $E F = C$ y esta función se lleva a cabo por medio de un "gate" de mezcla o circuito "Y".

Como estas funciones lógicas "Y" y "O" son conmutativas, asociativas y distributivas, se puede escribir:

$$A + B = B + A;$$

$$A \times B (B+C) = A \times B + A \times C;$$

340 $(A + B) (C + D) = A \times C + A \times D + B \times C + B \times D;$ etc.

Por último, una función de dos variables A y B puede presentar cuatro posibles combinaciones, y si se escribe $A \times B$ las otras tres combinaciones se representan globalmente con la expresión $\overline{A \times B}$.

345 Si se caracteriza la condición A por el dígito 1 y, la condición \bar{A} por el dígito 0, la condición B por el dígito 1 y la condición \bar{B} por el dígito 0, la combinación $A \times B$ se puede escribir 11, la combinación $\bar{A} \times B$ se puede escribir 01, etc.

350 En relación con las Figs. 1.a a 1.i especificaremos, también, el significado de algunos símbolos particulares usados en los dibujos de esta patente:



371476

14.

355 La Fig. 1.a representa un "gate" de coincidencia electrónica llamado circuito "Y" simple, el cual da una señal positiva en su salida cuando sus entradas, representadas por las flechas que tocan el círculo, reciben al mismo tiempo una señal positiva. Si las señales presentes en cada una de sus dos entradas son llamadas A y B, este circuito cumple con la condición lógica que se escribe $A \times B$.

360 La Fig. 1.b representa un "gate" electrónico de mezclado, llamado circuito "O" que da una señal positiva a su salida cuando es aplicada una señal positiva a, por lo menos, una de sus entradas representadas por las flechas que tocan el círculo. Si se llaman E y F las señales presentes en cada una de las dos entradas, este circuito cumple la condición lógica que se
365 escribe $E + F$.

370 La Fig. 1.c representa un circuito "Y" múltiple, es decir, que comprende, en el caso del ejemplo, cuatro circuitos "Y" que tienen un primer terminal de entrada conectado a cada uno de los conectores 91a y un segundo terminal de entrada conectado a un conector común 91b.

375 La Fig. 1.d representa un circuito "O" múltiple que comprende, en el caso del ejemplo, cuatro circuitos "O" con dos entradas 91c y 91d, y que da, en los cuatro conductores de salida 91e, las mismas señales que las que se aplicaron sobre cada uno de los terminales de entrada.

Se dice que un terminal de entrada de un circuito "Y" está activado cuando es aplicada una señal en dicha entrada, y que el circuito "Y" está en "on" si todos sus terminales de entrada son simultáneamente activados.



371476

15.

380 La Fig. 1.e representa un circuito biestable o "flip-flop" al que se aplica una señal de control sobre uno de sus terminales de entrada 92-1 o 92-0 para ponerle en el estado 1 o para reponerle en el estado 0. Una tensión de la misma polaridad que la de la señal de control está presente bien en la salida 93-1 cuando el "flip-flop" está en el estado 1, o en 385 la salida 93-0 cuando está en el estado 0. Si el "flip-flop" lleva la referencia B1, la condición lógica que caracteriza el hecho de que está en el estado 1 se escribirá B1 y la que caracteriza el hecho de que está en el estado 0 se escribirá $\bar{B}1$.

390 La Fig. 1.f representa un grupo de varios conductores, cinco en el ejemplo considerado.

La Fig. 1.g representa un multiplaje de conductores, es decir, en el ejemplo que se muestra, diez conductores de salida 94j están conectados en paralelo con el mismo conductor de 395 entrada 94h.

La Fig. 1.h representa un "flip-flop" registrador. En el caso de la figura comprende cuatro "flip-flops" que tienen cuatro entradas 1 conectadas a los conductores del grupo 92a y sus salidas 1 conectadas a los conductores del grupo 93a. El 400 dígito 0 situado en un extremo del registro significa que este último está puesto en cero cuando es aplicada una señal al conductor 91h.

La Fig. 1.i representa un decodificador que, en el caso del ejemplo, transforma un código binario de cuatro dígitos 405 aplicado por el grupo de conductores 94a en un código 1 de entre 16 códigos, es decir, que una señal aparece en uno solo de los 16 códigos 94b por cada uno de los números aplicados a la entrada.



371476

16.

En el caso de la descripción se usará frecuentemente como referencia una señal precedida por la letra C para nombrar al código binario cuya decodificación da esa señal. Así, CV1
410 designa al código al que corresponde la señal VI.

Se notará, por lo menos, que en las diferentes figuras asociadas con la descripción, los "gates" electrónicos (circuitos "Y" u "O") no van indicados. En efecto, cada uno de los "gates" se identifica en el texto, sin ninguna ambigüedad,
415 por la ecuación lógica que describe la función que desempeña y el número de la figura, haciéndose referencia a cada una de las señales elementales en la proximidad del correspondiente terminal de entrada. Así, el circuito "Y" de la Fig. 1 se define como el circuito lógico que entrega una señal Wv para la condición
420 lógica A B (Fig. 1.a).

Además, los circuitos descritos en el presente invento emplean un número dado de memorias cíclicamente procesadas, que pueden ser clasificadas, para mayor conveniencia, en dos
425 distintos grupos: en memorias de mensaje y memorias semipermanentes.

La característica común de todas estas memorias que comprenden r_0 filas, diseñadas cada una de ellas para el almacenaje de un número c_0 de dígitos, es que al menos una de las
430 operaciones de lectura o escritura es hecha cíclicamente bajo el control de r_0 señales de selección aplicadas sucesiva y cíclicamente a las r_0 filas de la memoria.

Una memoria de mensaje que comprende p columnas para el almacenamiento de los p dígitos de un mensaje y un número de
435 filas que depende de su función se caracteriza por el hecho de



371476

17.

que es limitada la duración disponible para la escritura de cada mensaje. Así, en los circuitos descritos se usará:

- el corrector de fase que es una memoria que comprende tres líneas y en que un mensaje es almacenado durante, como máximo, dos sectores de tiempo de canal. En esta memoria la lectura y la escritura son hechas cíclicamente;
- la memoria de datos, que comprende veinticuatro líneas asignadas a los veinticuatro canales de una unión, y en la que los mensajes son cíclicamente escritos y cíclicamente leídos. En esta memoria un mensaje se almacena durante un cuadro como máximo.

El término "memoria semipermanente" significa, en esta descripción, memorias en que la información puede permanecer almacenada durante cualquier duración

Así, en los circuitos descritos se usará:

- la memoria de ruta, en la cual son almacenadas las instrucciones de selección de dirección de lectura en memorias de datos o de selección de dirección en el conmutador (véase descripción de la Fig. 2);
- la memoria de instrucción de grupo, en la que cada línea almacena la información correspondiente a un canal de una unión que pertenece a un grupo de uniones (véase la descripción de la Fig. 4). Esta memoria es procesada cíclicamente y la información es modificada, si ello es necesario, antes de escribirla.

Con objeto de facilitar la descripción del invento estableceremos cuatro capítulos, divididos como sigue:

- 1 - Estudio de la etapa de conmutación
- 2 - Circuitos de unión y grupo



371476

18.

3 - Sincronización de impulsos

465 4 - Sincronización de canales

1 - Estudio de la etapa de conmutación

470 El funcionamiento de una central con división de tiempo en múltiple, y más especialmente, de una central de este tipo operando con modulación de código de impulsos PCM, ha sido descrito en los casos que citamos a continuación:

- a) Caso E. Touraton - J.P. Le Corre 53-4
- b) Caso J. G. Dupieux - P. Sénèque 1-7
- c) Caso J. G. Dupieux - J.P. Le Corre - P. Sénèque 2-8-8
- 475 d) Caso J. G. Dupieux - A. Pirotte 3-4

480 En estos casos han sido descritos varios ejemplos de funcionamiento de etapa de conmutación en PCM que permiten el establecimiento de un enlace entre un canal de entrada de una unión múltiple y un canal de salida libre de otra unión múltiple (o de la misma unión) teniendo ambos canales de entrada y salida, por lo general, diferentes posiciones en tiempo.

Con posterioridad ha sido descrita una central mejorada en los siguientes documentos:

- 485 e) "Electronics" número del 3 de Octubre de 1966. Artículo de A. Chatelon titulado "PCM telephone exchange switches digital data like a computer" (páginas 119 a 126).
- f) Obra "Techniques of pulse code modulation in communication networks", páginas 97 a 102 (Cambridge University Press - Edición 1962).

490 Como se muestra en la Fig. 2, esta central perfeccio-



371476

19.

nada comprende:

- un conmutador SW representado en forma de matriz, y que comprende, por ejemplo, h filas R y h columnas C. Las filas R1 y R2 y la columna C5 son las únicas representadas en la figura y a los correspondientes puntos de cruce se les ha dado la referencia R1C5 y R2C5;
- h circuitos de grupo de unión G1 a Gh;
- h juntores J1 a Jh;
- un circuito marker MKR que tiene acceso a todos los juntores;
- una unidad de reloj CU que facilita las señales de sectores de tiempo t1 a t24, m1 a m8 que se han definido en el preámbulo. También facilita las señales de sectores de tiempo elementales a, b, c, d1 y d2 que dividen cada uno de los sectores de tiempo de dígito en sectores de tiempo elementales, como se muestra en la Fig. 6. Cada una de las señales a, b, c tiene una duración igual a un cuarto de un sector de tiempo de dígito y las señales d1 y d2 una duración igual a un octavo de un sector de tiempo de dígito. La unidad de reloj igualmente facilita, durante un período de repetición TR, dos series entrelazadas de $\frac{q}{2} = 96$ señales cada una, es decir, las señales sincronas de sector de tiempo tS1, tS2...tSx...tR96 y las señales asíncronas de sector de tiempo tA1, tA2, tAy...tA96; teniendo cada una de estas señales una duración de un sector de tiempo de dígito.

Cada uno de los circuitos de grupo de unión tales como

G1 comprende:

- un circuito receptor R1 de los mensajes recibidos por p = 8 líneas de entrada;
- un circuito de sincronización SCR1;



371476

20.

- una memoria de datos de grupo MDG1 que comprende $g = p \times m =$
520 192 líneas;
- un circuito demultiplicador DXG1 de los mensajes que proceden
del conmutador SW;
- un circuito de emisión EI de los mensajes a los cuales hay co-
nectadas $p = 8$ líneas de salida. Cada junctor tal como el J5 com-
525 prende principalmente un cierto número de memorias de $\frac{g}{2} = 96$ lí-
neas; que son:
 - una memoria de conversación MDJ;
 - una memoria de tiempo;
 - una memoria de conmutador de espacio síncrona MSS;
 - 530 - una memoria de conmutador de espacio asíncrona MSA;

La red de conmutación de la Fig. 2 está diseñada de
forma que establezca conexión entre h grupos de uniones $G1$ a Gh ,
cada uno de los cuales comprende $g = 192$ canales y siendo esta-
blecida cada conexión por uno de entre h junciores. Una conexión
535 así se hace mediante dos semiconexiones que unen respectivamente
el canal de entrada y el canal de salida del junctor; una de las
semiconexiones se establece en un sector de tiempo síncrono tS
y la otra en un sector de tiempo asíncrono tA , siendo sus números
seriales generalmente diferentes. Una conexión necesita que exis-
540 ta un conmutador de tiempo en el junctor y dos conmutadores de es-
pacio (uno por cada semiconexión) en la red de conmutación SW.

El conmutador de tiempo está formado por la asociación
de un junctor de una memoria de conversación MDJ y de una memoria
de tiempo MCT. La dirección de la memoria de tiempo funciona cí-
545 clicamente bajo el control de las señales tS y acíclicamente en



371476

21.

los sectores de tiempo tA bajo el control de los códigos de dirección facilitados por la memoria de tiempo MCT cuya selección es también cíclica.

El conmutador de espacio está formado por el conmutador SW cuyos puntos de cruce electrónico son controlados por las memorias de conmutación de espacio síncronas MSS cuando ha de establecerse una semiconexión síncrona, o por las memorias de conmutación de espacio asíncronas MSA cuando tiene que establecerse una semiconexión asíncrona. Tal conmutador permite llevar a cabo la conexión entre los diferentes grupos de unión tales como el G1 y el G2.

A continuación describiremos brevemente la conmutación de tiempo y espacio para una conexión entre el canal x del grupo G1 (semiconexión G1: tSx) y el canal y del grupo G2 (semiconexión G2:tAy) empleando esta conexión el juntor J5 (reducción del enlace: G1: tSx/J5/G2:tAy).

El circuito marker MKR sitúa la línea x del juntor J5 para esta conexión y escribe en la línea y de la memoria MCT el código Cx que define la dirección x de la memoria MDJ. El circuito marker escribe también el código C (RIC5) que permite la selección del punto de cruce RIC5 en el conmutador SW en la línea x de la memoria de conmutación de espacio síncrono MSS. También escribe el código C (R2C5) que permite la selección del punto de cruce R2C5 en el conmutador SW, en la línea y de la memoria de conmutación de espacio asíncrono MSA.

En el sector de tiempo tSx son seleccionadas las líneas x de las memorias MDJ, MDG1 y MSS y establecida la semico-



371476

22.

575 nexión G1:tSx. Esta se hace por una transferencia de datos en
ambos sentidos entre el juntor 15 y el grupo G1, es decir, en
primer lugar la transferencia de la información contenida en la
línea x de la memoria MDJ para el circuito de demultiplicación
DXG1, y después la transferencia del contenido de la línea x de
la memoria MDG1 a la línea x de la memoria MDJ.

580 En el sector de tiempo tSy se selecciona a su vez la
línea y de la memoria MCT y el código Cx que se lee en ella
controla a su vez la selección de la línea x de la memoria MDJ
en el sector de tiempo tAy; la línea y de la memoria MSA es se-
leccionada en el tiempo tSy y el código C (R2C5) permite la
operación del punto de cruce R2C5 en el sector de tiempo tAy.
585 La semiconexión G2: tAy hace primero la transferencia del con-
tenido de la línea x de la memoria MDJ al circuito de demulti-
plicación DXG2 y después la transferencia del contenido de la
línea y de la memoria MDG2 a la línea x de la memoria MDJ.

590 Así vemos que el conmutador de tiempo permite sintoni-
zar las posiciones de tiempo de los canales de entrada y salida
demorando la información recibida desde G1 desde el sector de
tiempo tSx al sector de tiempo tAy y demorando la recibida des-
de G2 desde el sector de tiempo tAy al sector de tiempo tSx.

2 - Circuitos de unión y grupo

595 La transferencia de datos entre un grupo y un juntor
se lleva a cabo de forma paralela y el tiempo de establecimiento
de una semiconexión es el sector de tiempo de un dígito, es de-
cir, el sector de tiempo reservado para la transmisión de un dí-
gito de un mensaje en una unión. Así, hemos constituido un cier-
600 to número w de grupos de uniones G1, G2, G3...Gh...Gw, cada una



37 1476

23.

605 de las cuales comprende tantas uniones como dígitos tenga cada mensaje, por ejemplo, ocho uniones: N1, N2...N8. Así, se pueden establecer simultáneamente 24x8 conexiones y el sistema trabaja como un sistema múltiple de ciento noventa y dos canales.

En cada grupo se reserva un sector de tiempo de dígito especial para el proceso de cada unión, reservándose el sector de tiempo de dígito m1 para la unión N1, el sector de tiempo de dígito m2 para la unión N2, etc...

610 Así, si en la unión N3 se supone que se recibe el mensaje del canal 24 en t24, el mensaje del canal 1 será procesado en t1 x m3, el mensaje del canal 2 en t2 x m3, y así sucesivamente.

615 Los mensajes de canal recibidos en las ocho uniones del grupo son almacenados en una memoria común llamada memoria de datos de grupo, la cual comprende ciento noventa y dos líneas.

620 La Fig. 3 representa el diagrama del circuito de unión NCn asociado a la línea de entrada Ln de la unión Nn que pertenece a un grupo de ocho uniones que constituyen el circuito común Gcb. La línea de entrada Ln alimenta a un repetidor regenerativo 101, de diseño normal, el cual da en su salida 11 unas señales de mensaje normalizadas con una duración de una centésima de nanosegundos y en su salida 12 señales de referencia Y, con un ciclo "duty" de 0,5, que es la frecuencia media de las
625 señales recibidas.

Las señales de referencia se aplican a un selector 113 de ocho posiciones que sucesiva y cíclicamente activa uno de sus ocho hilos de salida, facilitando las señales k1 a k8, cada



371476

24.

una de las cuales tiene la duración de un sector de tiempo de
630 dígito en el tiempo de la unión. La señal k8 hace que pase el
selector de tres posiciones l12 que sucesiva y cíclicamente ac-
tiva uno de los tres hilos de salida que facilitan las señales
g1, g2, g3. Las señales k1 a k8 se usan para seleccionar las co-
lumnas y las señales g1 a g3 para seleccionar las líneas cuando
635 se almacenan en el corrector de fase l11 las señales de mensaje
normalizadas que aparecen en serie en la salida ll del repetidor
101. Cuando el circuito opera normalmente se almacena un mensa-
je de ocho dígitos en los ocho puntos de memoria de una línea.
La extracción de la información se efectúa en forma paralela, o
640 sea que un mensaje almacenado en una línea es extraído durante
el sector de tiempo de dígito mn asociado a esta unión.

La línea que ha de ser leída se muestra por la infor-
mación extraída de la memoria de instrucción de grupo, estando
disponible esta información en el registrador de salida de la
645 misma memoria desde el sector de tiempo elemental b de cada uno
de los sectores de tiempo de dígito.

Las señales de salida de la memoria l11 de cada uno de
los ocho circuitos de unión de un grupo se aplican al registra-
dor 120 (Fig. 4) puesto primero a cero en el sector de tiempo
650 elemental de cada sector de tiempo de dígito, estando por lo
tanto disponibles durante el sector de tiempo c+d1+d2. A la sa-
lida del registro 120 se aplica por una parte el primer dígito
de cada mensaje al circuito de búsqueda de comprobación y sin-
cronización (terminal F) y por otra parte al circuito 121 que
655 lleva a cabo la conmutación del primer dígito de acuerdo con



371476

25.

la posición, dentro de los cuatro períodos de repetición, del canal con el que está asociado. Los cuatro terminales de salida del circuito 121 facilitan el código de sincronización CSy, el primer dígito de los canales 1 a 8 del período de repetición 2 (señal E), el primer dígito de los canales del período de repetición 4 (señal D) y la señal Sig. Los otros siete dígitos del mensaje así como la señal Sig son almacenados en la memoria de datos de grupo 130, que comprende 192 líneas. La dirección en esta memoria se da, por una parte, por el sector de tiempo de dígito mn en proceso y, por otra parte, por la identidad del canal, estando disponible esta última información en el registro de salida de la memoria de instrucción de grupo. El registro en la memoria de datos de grupo se lleva a cabo durante el sector de tiempo elemental d2 de cada sector de tiempo de dígito. Como se ha visto anteriormente, al estudiar la etapa de conmutación, esta memoria 130 se lee cíclicamente. Como esta memoria comprende $g = 192$ líneas, cada señal tS es causa de la lectura de dos líneas.

La memoria de datos de grupo 130 comprende en realidad ocho memorias elementales de veinticuatro líneas cada una (una línea por canal) y cada memoria elemental se reserva para almacenar los mensajes recibidos en una de las ocho uniones del grupo. La selección de la escritura de una línea de la memoria de datos de grupo 130 se obtiene así seleccionando primero una de las ocho memorias elementales con la señal mn correspondiente a la unión bajo proceso y seleccionando después una de las veinticuatro líneas con el código de canal registrado en el registro



371476

26.

de salida de la memoria de instrucción de grupo, siendo dicho código de canal decodificado por el circuito 132 de la Fig. 4.

685

Cuando la unión que se tiene bajo consideración es declarada defectuosa, siguiéndose de ello la imposibilidad de sincronizarla después de un cierto tiempo, una señal de "defectuoso" HS impide el registro de los mensajes en la memoria de datos de grupo. Esta señal impide asimismo la distribución de las señales CSy, E y D. La Fig. 5 muestra un diagrama detallado del circuito de conmutación 121 (fig. 4) del primer dígito de cada mensaje de canal.

690

Toda la información que se necesita para operar el circuito de sincronización de cada grupo de uniones es dada por el circuito 170 de la Fig. 4. Este circuito 170 comprende principalmente una memoria de instrucción de grupo 140 con $p = 8$ líneas de diecisiete dígitos cada una, permitiendo la información extraída de una línea procesar un canal de una de las siete uniones del grupo. La lectura y escritura de esta memoria son llevadas a cabo cíclicamente a la cadencia de selección de una línea por cada sector de tiempo de dígito. Así, la línea 1 es seleccionada en el sector de tiempo de dígito m1 y la información extraída permite el proceso de un canal de la primera unión N1 del grupo; la línea 8 es seleccionada en el sector de tiempo m8 y la información extraída permite el proceso de un canal de la unión ocho N8 del grupo. La duración de la selección de una línea es un sector de tiempo de dígito: en el sector de tiempo elemental b la palabra es extraída de la línea seleccionada y transferida a un registro 150 previamente puesto a cero durante el sector de tiempo elemental a; dicha palabra se modifica en un

700

705

710



371476

27.

circuito lógico 160 y una vez modificada se registra en el sector de tiempo d2 en la línea seleccionada por la señal mn.

715 La palabra binaria con diecisiete dígitos b1 a b17, que es extraída de una línea de la memoria 140 se divide en seis grupos de dígitos, teniendo cada grupo su propio significado. Así la memoria 140 se corta en seis partes 141 a 146, correspondiendo cada una a un grupo de dígitos. Los primeros cinco dígitos b1 a b5 extraídos de una línea de la memoria 141 indican el canal al que corresponde el mensaje contenido en la

720 línea del corrector de fase 111 (Fig. 3) seleccionado al mismo tiempo; estos dígitos constituyen los códigos CV1 a CV24; en correlación con el sector de tiempo de dígito usado mn, dan también la dirección de la memoria de datos 130 (Fig. 4) en que dicho mensaje será almacenado.

725 La línea seleccionada del corrector de fase se da por los dígitos b10 a b12 extraída de la memoria 144. Como el corrector de fase solamente comprende tres líneas, no es necesario decodificar los tres dígitos b10 a b12 para conocer la línea seleccionada. Así, el código 100 (señal B10) dirige la línea 1, el código 010 (señal B11) dirige la línea 2, el código 001 (señal b12) dirige la línea 3. Las señales B10 a B12 son las señales que aparecen en la salida 1 de la parte 154 del registro 150 y corresponden a los dígitos b10 a b12 extraídos de la memoria 144.

735 Los códigos registrados en los registros 151 y 154 son modificados en los circuitos 161 y 164 de tal manera que, por una parte, la línea del corrector de fases del circuito de unión NCn que será leída en el siguiente sector de tiempo de dígito mn,



371476

28.

es la línea siguiente de dicho corrector de fase y por otra parte, el contenido de esta línea es almacenado en la dirección de la memoria de datos de grupo correspondiente al siguiente canal. En general este cambio consiste en obtener los códigos siguientes de la línea y del canal; no obstante, este cambio es diferente cuando se declara la unión fuera de sincronismo o cuando se ha descubierto la posibilidad de una lectura y escritura simultáneas de la misma línea del corrector de fase.

El código que indica la posibilidad de la lectura y escritura simultáneas de la misma línea del corrector de fase está constituido por los dígitos b8 y b9 que son extraídos de la memoria 143. Este código muestra también el tipo de cambio a ser hecho en los códigos del canal y de la línea.

Una unión se declara fuera de sincronismo cuando hayan mostrado un error tres comprobaciones sucesivas del código de sincronización CSy. El hecho de que la comprobación dé un error se indica por el dígito b13 extraído de la memoria 145; el número de comprobaciones sucesivas que den error se indica por los dígitos b14 y b15 extraídos de la memoria 145.

Cuando una unión ha sido declarada fuera de sincronismo el circuito se dispone de forma que proceda a la búsqueda del código de sincronización CSy. Después de un cierto tiempo de búsqueda la unión es declarada defectuosa (señal HS), pero la búsqueda continúa. El tiempo de búsqueda se mide contando el número de veces que aparece la señal T2 de un período $t_2 = 5$ milisegundos; la situación de contado se muestra con los dígitos b16 y b17 extraídos de la memoria 146. La señal HS aparece después de tres períodos t_2 .

371476



29.

El número del período de repetición se muestra por los dígitos b6 y b7 extraídos de la memoria 142.

770 El circuito de cambio 160 de la palabra de diecisiete dígitos binarios es un complejo circuito que recibe la señal de salida del registro 150 y algunas de las otras señales, principalmente la señal llamada de "riesgo de error" RD provista por cada circuito de unión (Fig. 3), viniendo las señales V1 a V25 de la decodificación de los códigos CV1 a CV25 registrados en el registro 151 (Fig. 4) por el circuito 132 (Fig. 4), correspondiendo la señal F al primer dígito de cada mensaje registrado en el registro 120 (Fig. 4), una señal T2 de período $t_2 = 5$ milisegundos. Para que la explicación sea más fácil y se comprenda mejor la operación del circuito de cambio 160, se ha separado en seis circuitos, del 161 al 166, cuyas señales de salida corresponden a seis grupos de dígitos previamente definidos y siendo así almacenadas en la parte de la memoria 140 que les corresponde. Estos circuitos 161 a 166 serán descritos refiriéndonos respectivamente a las Figs. 7 a 18; el objeto de los "flip-flops" B'1 a B'17 representados a trazos en estas figuras es mostrar la información que se registrará en la memoria 140. Estos "flip-flops" no existen en el circuito y se entiende que las señales que serán almacenadas en la línea seleccionada de la memoria de instrucción de grupo son las que aparecen en las entradas de dichos "flip-flops" B'1 a B'17.

775

780

785

790

Las Figs. 7.a a 7.b representan el circuito 161 de la Fig. 4, circuito que será denominado contador de canal. La tabla 1 da los códigos que son en realidad usados durante el contado y también la correspondencia con los canales. La primera



371476

30.

795 columnas de esta tabla da la señal que procede de la decodifica-
ción de los primeros tres dígitos b_1 , b_2 y b_3 . Esta tabla 1 mues-
tra que el dígito b_5 cambia con cada movimiento de avance regular
del contador, de forma que el "flip-flop" B^5 (Fig. 7.a) actúa
para la señal $\overline{B_5}$ y se repone para la señal B_5 . El cambio de esta-
do del "flip-flop" B^4 es controlado por el valor de los dígitos
800 b_4 y b_5 y la tabla muestra que se establece para la condición
 $\overline{B_4} \overline{B_5}$ y que se repone para la condición $B_4 B_5$. En cuanto a los
tres dígitos b_1 , b_2 y b_3 solamente uno de ellos cambia cuando apa-
rece la condición $B_4 B_5$ (excepto en el caso particular del cambio
805 a CV25) y, por consiguiente, la señal resultante de esa condición
es aplicada a la entrada correcta del "flip-flop" que debe cam-
biar su estado; la elección del "flip-flop" que debe cambiar su
estado depende de la decodificación de los tres dígitos b_1 , b_2 y
 b_3 , es decir, de las señales D_1 a D_6 . Así, en la transición desde
810 CV4 (01011) a CV5 (01100) si no se tiene en cuenta el cambio de
los dígitos b_4 y b_5 antes explicado, solamente cambia el dígito
 b_3 y toma el valor 1; este cambio se obtiene por la condición
 $D_1 B_4 B_5$. Debe anotarse que es también necesaria una señal N para
obtener los cambios de estado de los "flip-flops" B^1 a B^5 con el
815 avance regular del canal contador. La señal N aparece, para algu-
nas condiciones, dada por la Fig. 7.b, diferentes condiciones és-
tas que aparecerán en la explicación de la operación.

La Fig. 8 representa el circuito 162 de la Fig. 4 y
corresponde al contador de períodos de repetición. La tabla 2
820 da la correspondencia entre los códigos hechos con los dígitos
 b_6 y b_7 y las señales de períodos de repetición Tr_1 a Tr_4 . Las
condiciones lógicas del cambio de estado de los "flip-flops"



371476

31.

B'6 y B'7 son similares a las que controlan el cambio de estado de los "flip-flops" B'4 y B'5 del contador de canales; no obstante, cuando el circuito está sincronizado (señal $Sy = \overline{B14+B15}$) el cambio de estado solamente existe si se da la señal V24.

Las Figs. 9.a, 9.b y 9.c representan el circuito 163 de la Fig. 4, cuyo objeto es determinar si se debe operar un salto AV o una demora RE en el contador de línea (Fig. 10) y en el contador de canales (Fig. 7). Esta información de salto o demora se almacena para ser usada a su debido tiempo. Debe efectuarse una operación de salto o de demora cuando pueda darse la lectura de una línea del corrector de fase durante la escritura de la misma línea. Para dar con este riesgo se elabora, primeramente, en cada circuito de unión (Fig. 3), una señal llamada de "riesgo de error" RD cuya duración es superior a la del tiempo de escritura de, por ejemplo, la línea 1. Un sector adicional de tiempo se añade, por ejemplo, a cada lado de la señal de selección g1 de la línea 1. El diagrama de la Fig. 13. a muestra que con la actuación del "flip-flop" RD (Fig. 3) para la condición g3 x k8 y con su restablecimiento para la condición g2 x k2 se obtiene la señal RD mostrada en el diagrama de la Fig. 13.b en la salida 1 de dicho "flip-flop". Comparando esta señal con las señales de selección de lectura B10 y B11 de las líneas 1 y 2 se determina si debe procederse a un salto o a una demora.

La Fig. 10 representa el circuito 164 de la Fig. 4 o contador de líneas del corrector de fase. La tabla 4 da los códigos usados y su correspondencia con las líneas.

La Fig. 11 representa el circuito 165 de la Fig. 4;



371476

855 el objeto de este circuito es comprobar si la unión está bien sincronizada (circuitos asociados con el "flip-flop" B'13) y contar el número de veces que un error ha sido detectado en tres códigos de sincronización consecutivos (circuitos asociados a los "flip-flops" B'14 y B'15). Cuando el número de errores es igual a tres (señal B14 x B15) y cuando esto ocurra durante el canal 9 (señal B1) el circuito elabora una señal de búsqueda de sincronización RS (Fig. 18.a).

860 La Fig. 12 representa el circuito 166 de la Fig. 4, cuyo objeto es declarar la unión defectuosa después de una cierta demora. Esta demora se mide por intermedio de una señal T2 de un período de $t_2 = 5$ milisegundos; la unión es declarada defectuosa cuando la señal T2 ha aparecido tres veces consecutivas.

865

Tabla 1

870

875

	b1	b2	b3	b4	b5	Canal
D1	0	1	0	0	0	V1
	0	1	0	0	1	V2
	0	1	0	1	0	V3
	0	1	0	1	1	V4
D2	0	1	1	0	0	V5
	0	1	1	0	1	V6
	0	1	1	1	0	V7
	0	1	1	1	1	V8
D3	1	1	1	0	0	V9
	1	1	1	0	1	V10
	1	1	1	1	0	V11
	1	1	1	1	1	V12
D4	1	0	1	0	0	V13
	1	0	1	0	1	V14
	1	0	1	1	0	V15
	1	0	1	1	1	V16
D5	1	0	0	0	0	V17
	1	0	0	0	1	V18
	1	0	0	1	0	V19
	1	0	0	1	1	V20
D6	1	1	0	0	0	V21
	1	1	0	0	1	V22
	1	1	0	1	0	V23
	1	1	0	1	1	V24
	0	0	0	0	0	V25

371476



33.

880

Tabla 2

b6	b7	Cuadro
0	0	Tr 1
0	1	Tr 2
1	0	Tr 3
1	1	Tr 4

Tabla 3

b8	b9	Significado
0	0	Ni AV ni RE
1	0	RE
1	1	AV

885

Tabla 4

b10	b11	b12	Línea
1	0	0	1
0	1	0	2
0	0	1	3

Tabla 5

b10	b11	b12	Condición l6gica
1	0	0	B10
1	0	1	
1	1	0	
1	1	1	$\overline{B10} \times B11$
0	1	0	
0	1	1	$\overline{B10} \times \overline{B11}$
0	0	1	
0	0	0	

890

Tabla 6

9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

895

Tabla 7

b14	b15	Número de comprobaciones
0	0	0
0	1	1
1	0	2
1	1	3

900

3 - Sincronización de impulsos

3.1 - Generalidades

Como ya se ha dicho anteriormente, la frecuencia F_j de las señales k_1 a k_8 es la frecuencia media de las señales de entrada de una unión, N_n por ejemplo, y no es exactamente la misma frecuencia F_c de las señales m_1 a m_8 del reloj de la central que se usan para sacar la información del corrector de fase III

905



371476

34.

(Fig. 3). Las señales de mensaje son sucesivamente almacenadas en los ocho puntos de memoria de la línea 1, después en los
910 ocho puntos de memoria de la línea 2 y así sucesivamente. Las direcciones a las que son mandadas esas lecturas se facilitan por los selectores 112 para las líneas y 113 para las columnas, como ya se explicó anteriormente. La información contenida en una línea es leída de forma paralela en el sector de tiempo
915 de dígito mn asociado a la unión considerada Nn. Como se dijo anteriormente, las señales de selección de líneas de lectura se obtienen de la información contenida en la línea de memoria 144 (Fig. 4) seleccionada en el sector de tiempo de dígito mn.

920 Por supuesto que una línea debe ser leída después de que ha sido completamente almacenada y antes de que se almacene cualquiera nueva información.

Si la frecuencia F_C del reloj de la central es mayor que la frecuencia media F_J de las señales en la unión Nn, es decir, que si $F_C > F_J$, se comprende que, en promedio, se lee
925 más información de la memoria 111, que la que se almacena en ella y así, si ha habido un desplazamiento al comienzo entre el sector de tiempo de dígito reservado para leer una línea dada y el tiempo real de escritura de esta última señal (en k8)
930 para la misma línea, éste decrece. Como ejemplo podemos suponer que el sector de tiempo de dígito durante el cual se ha leído la línea 1 coincide con el almacenamiento del cuarto punto de memoria de la línea 2 seleccionada por una señal g2. Si el desplazamiento entre las frecuencias F_J y F_C es de una unidad,
935 después de un segundo de operación el sector de tiempo de dígito



371476

35.

to durante el que es leída la línea 1 coincide con la operación de almacenamiento del tercer punto de memoria de la línea 2 y así sucesivamente.

3.2 - Como descubrir el deslizamiento y registro del error

940 En el circuito objeto del presente invento se conviene en el establecimiento de una señal que indique cuando la lectura de una línea del corrector de fase III tiene lugar, al menos parcialmente, durante el tiempo k_1 que sigue inmediatamente al registro en k_8 , en el último punto de memoria de esta línea, o durante el tiempo k_8 que inmediatamente precede al registro, en k_1 , en el primer punto de memoria de esta línea.

945 El primer caso corresponde a $F_C > F_J$, y debe producir una demora en la lectura; el segundo caso corresponde a $F_C < F_J$ y deberá producirse un salto en la lectura. Como se dijo anteriormente, la línea de referencia que se ha elegido es la línea 1 y el circuito de unión facilita una señal RD (Fig. 13.b) que se compara con la señal de lectura B10 de la línea 1 (Fig. 13.c y 13.e). Ello corresponde a la condición $RD \times B10$ (Fig. 9.a) que acciona el "flip-flop" B'8 (Figs. 13.d y 13.f). Para conocer

950 la señal del deslizamiento se compara la señal RD o bien con la señal de lectura B11 de la línea 2 o con la señal de lectura B12 de la línea 3. Si se elige hacer la comparación con la señal B11, las Figs. 13.b y 13.c muestran que en caso de que $F_C > F_J$, solamente la señal B10 coincide con la señal RD y, en consecuencia, solamente se acciona el "flip-flop" B'8. Así, se

955 obtiene el código 10 de la tabla 3, que corresponde a la producción de una demora RE. En el caso de que $F_C < F_J$, las Figs. 13.b y 13.e muestran que la señal RD coincide con las señales

960



371476

36.

965 B10 y B11 y consecuentemente el accionamiento de los "flip-flops" B'8 y B'9 (Fig. 9.a) que corresponde a tener un salto AV.

970 Para el cambio de estado de los "flip-flops" B'8 y B'9 se dan algunas condiciones más. Como se verá más adelante, cuando la unión está sincronizada, (señal $Sy = \overline{B14} + \overline{B15}$ - Fig. 9.b) la corrección del deslizamiento se lleva a cabo cuando el contador de canales está en CV22 (salto) o en CV24 (demora) del período de repetición 2. Así se entiende que no sea bueno hacer el descubrimiento del deslizamiento durante los canales 22, 23 y 24 del período de repetición 2. Esta imposibilidad abarca también al canal 21 del período de repetición 2, ya que los sectores de tiempo de dígito mn correspondientes a la misma unión Nn son necesarios para que descubran, sin duda de ningún género, un salto o una demora.

980 Deberá ser bien tenido en cuenta que esta prohibición se ha aplicado a los canales 21 a 24 de los otros períodos de repetición, pero que ello no es necesario.

985 Cuando una unión se ha salido de sincronismo (señal \overline{Sy}) aún existe el peligro de una escritura y lectura simultáneas de la línea 1; sin embargo, en este caso, no es necesario evitar descubrir el deslizamiento durante los canales 21 a 24, porque ya no hay correspondencia entre los canales recibidos y los canales que muestra el contador de canales. Por la misma razón no hay corrección del deslizamiento en el contador de canales cuando la unión está fuera de sincronismo.

990 3.3 Corrección de deslizamiento



371476

37.

Para que no se pierda ninguna de las señales Sig, D o E, la corrección del deslizamiento se lleva a cabo al final del cuadro 2 cuando la unión está sincronizada. Así aparece la señal del salto sincronizado AVs (Fig. 9.b) en el canal 22
995 (condición $SyxTr2xB9xV22$) y la señal de demora sincronizada REs aparece en el canal 24 (condición $SyxTr2xB9xV24$).

La operación del salto consiste en no leer la línea que normalmente debiera ser leída en el siguiente sector de tiempo mn y, en su lugar, en leer la línea siguiente. Si, cuando aparece la señal V22, la línea a ser leída es la línea 1 (señal B10) que corresponde al canal 22, la línea que será leída en el sector de tiempo siguiente mn será la línea 3 que corresponde al canal 24. Así, la línea 2 que corresponde al canal 23 no será leída y se perderá su contenido. Por tanto, la
1000 señal AVs deberá producir efecto, por una parte, sobre el contador de líneas (Fig. 10), para pasarle una posición y, por otra parte, sobre el contador de canales (Fig. 7a) para llevarle de CV22 a CV24.
1005

En la Fig. 10, el contador de líneas pasa de la línea 3 a la línea 2 por la condición $AVxB10xB11$, de la línea 1 a la línea 3 por la condición $AVxB10$, de la línea 2 a la línea 1 por la condición $AVxB10xB11$.
1010

Debe ser notado que este contador opera teniendo en cuenta el hecho de que, cuando se arranca, los dígitos b10, b11 y b12 pueden tomar un valor cualquiera. Así, los ocho posibles códigos han sido divididos en tres grupos, como se indica en la tabla 5; esta tabla muestra también las condiciones lógicas para el descubrimiento de estos grupos. Por tanto, si cuando se
1015



371476

38.

1020 arrancan los circuitos de sincronización, los dígitos b10, b11 y b12 son tales que componen un código del primer grupo, darán una señal B10. Como la Fig. 10 muestra, esta señal B10 permite el registro de un código correcto de la tabla 4 en la memoria 144 (Fig. 4). Por este proceso, el contador de líneas opera correctamente después de un sector de tiempo de canal.

1025 Debe también advertirse que el salto de una línea en la lectura supone que el corrector de fase comprende por lo menos $v=3$ líneas.

1030 La tabla 1 muestra que para pasar del código CV22 al código CV24 solamente tienen que ver los dígitos b4 y b5. Con una operación normal se pasaría del código CV22 ($b4 = 0$, $B5 = 1$) al código CV24 ($b4 = 1$, $b5 = 1$); únicamente se necesita mantener la operación normal para el dígito b4 y mantener el dígito b5 en el valor 1, únicamente permitiendo el valor 0 de dicho dígito cuando esté ausente la señal AVs, lo que corresponde a la señal $Nx\overline{AV}sx\overline{B5}$ aplicada a la entrada 0 del "flip-flop" B'5.

1040 La operación de demora consiste en leer dos veces la misma línea del corrector de fases. Por consiguiente, el contador de líneas deberá permanecer en el mismo código; en la Fig. 10 esto se obtiene porque el contador solamente se para si existe la señal AV (salto) o la señal $\overline{AV+RE}$ (ni salto ni demora). En cuanto al contador de canales la operación de demora consiste en registrar el código de un veinticincoavo canal, cuando éste que no corresponde a ninguna línea de la memoria de datos de grupo 130 (Fig. 4). Comparándolo con la operación

1045



371476

39.

normal del contador desde el código CV24 al código CV1 (tabla 1), el pasar al CV25 consiste en restablecer el circuito biestable B'2 por medio de la señal REs aplicada en la entrada Q del "flip-flop" B'2. El paso del código del canal 25 o de códigos no usados que pueden aparecer cuando se arranca, al código del canal 1, se obtiene con la actuación del "flip-flop" B'2 para la condición $\overline{B1+B2}$, la cual solamente aparece para los códigos que no se usan y para el CV25; además, el "flip-flop" B'5 no actúa por la condición $\overline{NxB5xV25}$.

1055 3.4 - Información perdida

Hemos visto anteriormente que la operación del salto consistía en saltarse una línea en la lectura del corrector de fase y en pasar del canal 22 al canal 24 en la memoria de datos de grupo. Por consiguiente, se pierde el mensaje contenido en la línea del corrector de fase que no se ha leído. La memoria de datos de grupo es escrita y leída cíclicamente; la escritura se efectúa al final de un sector de tiempo de dígito y la lectura al comienzo de un sector de tiempo de dígito, de forma que ambas operaciones no pueden tener lugar al mismo tiempo.

1065 Cuando, durante una operación de salto, los tiempos de escritura y lectura de una misma línea son separados por un intervalo de tiempo t_x mayor que un sector de tiempo de canal t_c , la línea que corresponde al canal 23 no se escribe y se lee dos veces el mismo mensaje, no siendo esta lectura destructiva. Esta doble lectura del mensaje del canal 23 se verá mejor con ayuda de los diagramas de las Figs. 14.a y 14.b. La Fig. 14.a representa los sectores de tiempo de escritura de los mensajes del canal en la memoria de datos de grupo en el caso de que se pro-



371476

40.

1075 duzca un salto, y la Fig. 14.b representa los sectores de tiempo de lectura de dichos canales; las flechas entre ambas figuras muestran la correspondencia entre la escritura y la lectura del mismo mensaje. Estas dos figuras indican como un mensaje del canal 23 del primer cuadro es leído una primera vez en 23_1 y una segunda vez en 23_2 .

1080 Cuando la lectura de una línea tiene lugar antes de la escritura de la misma línea, con un intervalo de tiempo t_x más corto que t_p (Figuras 15.a y 15.b), el salto desde el canal 22 al canal 24 produce el efecto de que la lectura sigue inmediatamente a la escritura de la misma línea. La Fig. 15.a representa la serie de sectores de tiempo de escritura de las líneas en la memoria de datos de grupo en el caso de un salto, y la Fig. 15.b la serie de sectores de tiempo de lectura de las líneas en dicha memoria; las flechas que enlazan ambas figuras muestran la correspondencia entre los sectores de tiempo de escritura y lectura del mismo mensaje. Estas dos figuras muestran que si, antes del salto, la lectura de la línea del canal '22' ocurre inmediatamente antes de la escritura de la misma línea con un tiempo $t_x < t_p$, después del salto del canal 22 al canal 24 la lectura de la línea del canal 24 sigue inmediatamente a la escritura de la misma línea. Este cambio produce el efecto de que el canal 24 del período de repetición 1 y los canales 1, 2, ... 22 del período de repetición 2 no son leídos, perdiéndose los mensajes correspondientes.

1095 Debe notarse que este fenómeno del cambio no es frecuente, porque solamente se da para $t_x < t_p$ mientras que en la

2000



371476

41.

mayor parte de los casos el valor de tx es mayor que el de tp.

Como quiera que la operación de demora consiste en leer dos veces la misma línea del corrector de fase, en éste no hay pérdida del mensaje. En la memoria de datos de grupo habrá que considerar dos casos:

2005

1 - Cuando los sectores de tiempo de escritura y lectura de la misma línea estén separados por una cantidad de tiempo tx mayor que tp, como ha sido representado por las figuras 16.a y 16.b, no perdiéndose ninguna información.

2010

2 - Cuando el tiempo de lectura de una línea tenga lugar inmediatamente después del tiempo de escritura de la misma línea ($tx < tp$) mostrando las Figs. 17.a y 17.b que, después del paso al canal 25, el tiempo de lectura de la línea correspondiente al canal 1 del período de repetición 2 tiene lugar inmediatamente antes del tiempo de escritura de la misma línea, correspondiendo entonces al canal 1 del período de repetición 3. Así vemos que el canal 1 del período de repetición 2 es leído dos veces (en 1_1 y en 1_2) y que lo mismo ocurre para los otros canales del período de repetición 2.

2015

2020

La operación del circuito de sincronización de impulsos se ha descrito suponiendo que la unión fué sincronizada (señal Sy) y que el salto o demora se ha producido por mediación de una señal AVs o una señal REs (Fig. 9.b). Cuando la unión está fuera de sincronismo se entiende que debe llevarse a cabo una corrección en el corrector de fase, habiendo una falta de coincidencia entre los tiempos de escritura y lectura de la misma línea. No ocurre lo mismo con la corrección en la memoria de datos de grupo en la que ya no hay ninguna correspondencia entre

2025



371476

42.

2030 les canales recibidos y la línea. Por consiguiente, la corrección en la memoria de datos de grupo, o, dicho de otra forma, en el contador de canales (Fig. 7.a) tiene solamente lugar cuando la unión está sincronizada, o sea, en presencia de las señales AVs o REs (Fig. 9.b).

2035 Cuando la unión está fuera de sincronismo, durante un largo período de tiempo puede el contador de canales no alcanzar nunca las posiciones CV22 y CB24, cuyas señales respectivas V22 y V24 son las que permiten producirse las señales de salto y demora; por consiguiente, la corrección del deslizamiento no podrá producirse a su debido tiempo, efectuándose tan pronto como ha sido descubierta. Como en el ejemplo particular que se ha descrito, ello se descubre con las señales de lectura de las líneas 1 y 2 del corrector de fase, la corrección en el contador de líneas se llevará a cabo cuando aparezca la señal de lectura B12 de la línea 3. Por consiguiente, la señal de salto no sincronizado AVns aparece con la condición B9xB12xRS (Fig. 2040 9.c) y la señal de demora no sincronizada REns aparece con la condición B8xB9xB12xRS (Fig. 9.c). La señal RS (Fig. 18.a) significa que la unión está fuera de sincronismo y que es buscado el código CSy.

2050 3.5 - Como se lleva a cabo

Las operaciones de salto y demora solamente son llevadas a cabo durante el período de repetición 2, de modo que no se produce perturbación en las señales de otros períodos de repetición; por consiguiente, un salto o demora solamente se puede 2055 efectuar cada cuatro períodos de repetición, lo que corresponde



371476

43.

a quinientos microsegundos. Si se descubre una anomalía al comienzo del período de repetición 3, la corrección solamente puede hacerse al final del siguiente período de repetición 2; por consiguiente, durante este tiempo, el deslizamiento máximo de las señales HJ y HC debe ser menor que un sector de tiempo de dígito, o sea, menor de seiscientos cincuenta nanosegundos. Así, el deslizamiento máximo permitido es de $1,3 \cdot 10^{-3}$. Como la frecuencia F_C de las señales HC es de $F_C = 1,536$ megaciclos por segundo, la diferencia de frecuencia permitida es de aproximadamente dos kilociclos por segundo.

En este cálculo simplificado no se ha tenido en cuenta el hecho de que, por las razones anteriormente expuestas, el deslizamiento no puede descubrirse durante los canales 21 a 24 del período de repetición 2. Así que el descubrimiento de un deslizamiento que tendría que ser hecho en el tiempo de las señales V21 y V22 del período de repetición 2 será realmente hecho en el tiempo de las señales V1 y V2 del período de repetición 3 y el deslizamiento se corregirá en el tiempo de la señal V22 del período de repetición 2, si se trata de un salto, y en el canal 24 del período de repetición 2, si es una demora. El intervalo máximo entre la anomalía y su corrección es tan insignificante como el obtenido al tomar un intervalo de cuatro períodos de repetición. Se comprende fácilmente que la imposibilidad de descubrimiento de un deslizamiento durante los canales 21 a 24 de los otros períodos de repetición no limita el rendimiento del aparato.

Es cosa fácil en el circuito objeto del invento aumentar la tolerancia de frecuencia de deslizamiento dotándolo, por ejemplo, de una señal denominada de "riesgo de error" RD (Figs.

371476



44.

3 y 13.b) que tendrá una duración mucho mayor.

2085

4 - Sincronización de canales

2090

2095

Como ya hemos indicado, el código de sincronización CSy se compone de todos los primeros dígitos de los códigos de los canales 9 a 24 del período de repetición 2. Este código CSy aparece en la tabla 6, en la que puede verse también la correspondencia con los canales del período de repetición 2. Este código CSy es continuamente verificado para cada unión; para esta verificación, en la salida del registro multiplicador 120 (Fig. 4) es aplicado el primer dígito F de cada línea del corrector de fase al circuito 160 de la Fig. 6 y particularmente al circuito 165 de dicha figura. Este circuito 165 está representado por la Fig. 11 en lo que concierne al circuito de comprobación y a las Figs. 18.a y 18.b en lo que concierne al circuito de búsqueda para el código de sincronización CSy.

2100

Cuando el circuito de comprobación de la Fig. 11 descubre un error en la sucesión de los primeros dígitos de los códigos de los canales 9 a 24 del cuadro 2, el "flip-flop" B'13 actúa. Este error puede ser descubierto en tres casos:

2105

- que haya un dígito 0 en el canal 9 (señal $\overline{F}xV9$)
- que haya un dígito 0 en un canal par (señal $\overline{F}xB5$)
- que haya un dígito 1 en un canal impar que no sea el canal 9 ($\overline{F}xB5x\overline{V9}$).

2110

Cuando se ha descubierto un error (señal B13) se hacen las otras dos comprobaciones del código CS y se obtiene la cuenta de dichas comprobaciones con los dígitos b14 y b15 (tabla 7).



371476

45.

2115 Los "flip-flops" B'14 y B'15 cambian de estado, si es necesario, en el canal 1 del período de repetición 3, si el dígito b13 es un 1 (señal $V1xTr3xB13$); las señales B14 y B15 se usan en el contado para obtener la sucesión de códigos de la tabla 7.

2120 Si al tiempo de cualquiera de las dos comprobaciones que siguen al descubrimiento de un error se alcanza el canal 1 del período de repetición 3 sin descubrir un error, actúa el "flip-flop" B'13 (señal $V1xTr3$) e igualmente ocurre para los "flip-flops" B'14 y B'15 cuando aparece la señal $V1xTr3$ cuatro períodos de repetición más tarde.

2125 Después de tres comprobaciones con error, la unión se declara fuera de sincronismo y aparece una señal RS denominada de "búsqueda de sincronismo" (Fig. 18.a) cuando el contador de canales pasa al canal 9 (condición $B14xB15xB1$).

2130 El paso a CV9 se ha obtenido por un establecimiento forzado del contador de canales por la aparición de la señal PV9 para la condición $B1 B14xB15xB1$ (Figura 18.b). Como la señal Sy , correspondiente a la condición $\overline{B14+B15}$ no aparece, lo mismo ocurre para la señal N (Fig. 7.b), de modo que el contador de canales solamente puede pasar cuando se han cumplido algunas condiciones. El contador de períodos de repetición (Fig. 8) pasa una posición cuando, estando sincronizada la unión, (señal Sy), aparece la señal V24; cuando la unión esté fuera de sincronismo la señal V24 desaparece durante el canal 2 del período de repetición 3, con lo que el contador permanece estacionario en el período de repetición 3 durante toda la duración de la búsqueda. Unicamente pasa al período de repetición 4 si, siendo

2135



371476

46.

2140 resincronizada la unión, aparece la señal V24 del período de repetición 3.

Durante la búsqueda del código CSy el contador de canales únicamente pasa si la señal F corresponde al dígito a ser recibido por el canal cuyo código es mostrado por el contador. Así, el contador de canales pasa del código CV9 al código CV10 cuando la señal F corresponde a 1, es decir, con la condición RSxFxV9 (Fig. 7.b). El contador de canales pasa de un canal par al canal siguiente cuando la señal F corresponde a 1 y cuando la señal V9 no está presente, o sea, para la condición B5xFxV9xRS; pasa de un canal impar, excepto el 9, a un canal par, cuando la señal F corresponde a 0, es decir, con la condición B5xFxV9xRS. Cuando la señal F no corresponde al dígito esperado, el contador de canales retrocede a CV9 o a CV11 de acuerdo con la señal F. Así, si es procesado un canal par, (señal B5) y si la señal F es un 0 en vez de un 1, el contador de canales se coloca en CV9 por la señal PV9 que resulta de la condición RSxB5xF (Fig. 18.b). De igual manera, si es procesado un canal impar (señal B5), excepto el canal 9, y si la señal es un 1 en vez de un 0, este dígito es considerado como correspondiente al canal 10 y es por consiguiente, considerado, que el canal siguiente es el canal 11; en consecuencia, el contador de canales se pone en CV11 por la señal PV11 que resulta de la condición V9xB5xFxRS (Fig. 18.b).

2160 Cuando el contador de canales se establece en CV24 y cuando la señal F corresponde a 1, el circuito para la búsqueda del código CSy obtiene una señal ST resultante de la condi-

2165



371476

47.

2170 ción FxV24xRS (Fig. 18.a). Esta señal ST significa que ha sido
descubierto el código CSy y que, por lo tanto, se ha resincro-
nizado la unión. Esta señal ST se usa para establecer un núme-
ro dado de "flip-flops" cuyos estados correspondan a la unión
sincronizada. Es particular el caso de los "flip-flops" B'14 y
B'15 (Fig. 11) usados para contar las comprobaciones, que se
actúan de forma que aparezca la señal Sy (Fig. 9.b). Esta se-
ñal ST es también aplicada a los "flip-flops" B'6 y B'7 (Fig.
8) con lo que ellos den lugar al código 10 correspondiente al
2175 período de repetición 3. Facilitando la señal ST al contador
de período de repetición y al contador de comprobaciones, se
tiene en cuenta a la vez el arranque en que tienen algún valor
los dígitos b6, b7, b14 y b15.

2180 Si la desincronización es tal que el primer dígito
de cada línea de la memoria de corrección de fase no correspon-
de al primer dígito de cada mensaje de canal, es imposible de-
tectar el código de sincronización CSy. Para detectarle se ha
previsto el cambio en una línea del corrector de fase, por ejem-
plo, saltando desde la posición k4 a la posición k6 al regis-
2185 trar una línea del corrector de fase. En consecuencia, todos los
dígitos recibidos después del salto serán desplazados una lí-
nea a la derecha. En la búsqueda del código CSy este salto se
hace a intervalos regulares y se comprende que la duración de
uno de estos intervalos deberá ser por lo menos igual a la de
2190 cuatro períodos de repetición, más dieciseis canales, para es-
tar seguros de que la detección del código CSy es, por una par-
te, completa y, por otra, sin cortes debidos al salto de k4 a



371476

48.

2195 k6, ya que dicho salto se hace de una vez y, por tanto, puede
ocurrir al tiempo de la recepción del primer dígito del código
CSy. Como la duración de este intervalo es medida con las
señales HC, la frecuencia de las cuales puede ser mayor que
la de las señales HJ, se medirá realmente un intervalo de cinco
períodos de repetición.

2200 Este contador por cinco no ha sido representado y se
ha supuesto que da una señal T1 cada cinco períodos de repeti-
ción, siendo dicha señal usada para controlar el salto de k4
a k6 del selector 113 de la Fig. 3. En esta Fig. 3 se ha repre-
sentado el circuito que controla el salto asociado con cada
unión. Así, si la unión Nn definida por la señal mn está en el
período de búsqueda del código CSy (señal RS) y si aparece la
2205 señal T1, ello significará que deberá ser dado un salto desde
k4 a k6. Como la señal S que resulta de la condición RSxT1xmn
ocurre en un tiempo cualquiera con respecto a las señales k1
a k8, es almacenada en el "flip-flop" S1, de forma que se da
2210 en el tiempo correcto.

El estado 1 del "flip-flop" S1 es transferido en
el tiempo k2 al "flip-flop" S2; la señal S2 del estado 1 del
"flip-flop" S2 se aplica en el tiempo k4, por una parte, al
"flip-flop" S1, para reponerle y, por otra parte, al selector
2215 113, con lo que la señal de seguimiento "Y" hace que se vaya
a la posición k6 en lugar de a la posición k5. La señal k6 re-
pone el "flip-flop" S2 si el "flip-flop" S1 está en el estado
0.

2220 Cuando la magnitud de la desincronización es tal que
el primer dígito de cada código de canal es realmente regis-



371476

49.

trado en el segundo punto de la memoria de cada línea (casó
más defavorable) el número de cambios que habrá que hacer para
que aparezca en el primer punto de la memoria de cada línea es
igual a siete, que corresponde a una duración $8t_1$ y lo cual sig-
2225 nifica veinticuatro períodos de repetición o cinco milisegundos.
Así, el tiempo máximo necesario para recobrar la sincronización
es de cinco milisegundos; si tras una demora igual a tres veces
este tiempo máximo no ha sido detectado el código CSy, la unión
se declara defectuosa. Esta demora se mide con una señal T2 de
2230 un período $t_2 = 5$ milisegundos y con los dígitos b16 y b17. En
cada señal T2 el contador hecho con los "flip-flops" B'16 y B'17
(Fig. 12) y los "gates" electrónicos asodados actúa al momento
(condición $T_2 \times RS$). Después de tres señales T2 los "flip-flops"
B'16 y B'17 dan al código 11, la decodificación del cual da lu-
2235 gar a la señal preventiva HS que se emplea para evitar que se
transfieran mensajes del canal a la memoria de datos de grupo
(Fig. 4).

No obstante, la señal HS no evita la continuación de
la búsqueda para el código CSy, de modo que si se detecta el
2240 código CSy aparece la señal ST (Fig. 18.a) y vuelve a poner,
como se ha visto anteriormente, un número dado de "flip-flops"
en estado de trabajo sincronizado, así como también los "flip-
flops" B'16 y B'17.

Este invento ha sido descrito para el caso particular
2245 de un corrector de fase de $V = 3$ líneas y de una memoria de da-
tos de grupo de $g = pxm = 192$ líneas, pero se comprende, sin
embargo, que el invento tiene también aplicación a los circui-
tos de sincronización en que el número de líneas del corrector



371476

50.

2250 de fase o de la memoria de datos de grupo (o de ambos) es diferente; en particular, se puede aumentar el número de líneas del corrector de fase y disminuir el número de líneas de la memoria de datos de grupo.

2255 Resumiendo lo antedicho, se refiere al invento a circuitos de sincronización situados a la entrada de cada una de las centrales de una red de PCM que transmite mensajes de p dígitos y caracterizado por los puntos siguientes:

- 1.- Se constituyen grupos de p uniones en que es reservado un sector particular de tiempo de dígito para el proceso de los mensajes recibidos en cada unión.
- 2260 2.- Los mensajes recibidos en cada unión se escriben en un corrector de fase y son transferidos después a una memoria de datos de grupo; las direcciones en el corrector de fase y en la memoria de datos de grupo se seleccionan por medio de instrucciones dadas por una memoria de instrucción de grupo ordinal de explosión cíclica.
- 2265 3.- Para cada unión se mide la amplitud del deslizamiento y, en los casos en que ésta sobrepase una amplitud dada, es elaborada una información con el signo del error, que se escribe en una memoria de error de explosión cíclica.
- 2270 4.- La información cíclicamente extraída de la memoria de error es usada para modificar el paso del selector de línea de lectura del corrector de fase y del selector de escritura de la memoria de datos de grupo.
- 2275 5.- El código de sincronización se forma con el primer dígito de los mensajes de los canales 9 a 24 de un período de repetición que comprende veinticuatro canales, apareciendo dicho código



371476

51.

digo solamente una vez cada cuatro períodos de repetición.

2280 6.- Un circuito de comprobación del código de sincronización usado en múltiple de tiempo por las p uniones de un grupo facilita una información de defectuoso cuando la unión bajo proceso está fuera de sincronismo.

2285 7.- Hay un circuito de búsqueda del código de sincronización, usado en múltiple de tiempo para las p uniones de un grupo, el cual está calculado de forma que busque la sincronización durante cinco períodos de repetición; si al cabo de esta demora el código de sincronización no ha sido detectado, el selector de columna de escritura del corrector de fase pasa una posición; este salto se repite cada cinco períodos de repetición hasta lograr la detección del código de sincronización.

2290 Si bien los principios del invento han sido descritos en relación con realizaciones específicas y modificaciones particulares del mismo, ha de ser claramente entendido que esta descripción se hace solamente a modo de ejemplo, sin que signifique una limitación de la finalidad del invento.

2295 Este invento corresponde a una solicitud de patente formulada en Francia el día 12 de Septiembre de 1.968, con el Nº 0113/0200 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

2300 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de invención de veinte años son los siguientes:

1. - Un circuito de sincronización en una central de transmisión de datos por modulación de código de impulsos, com-



371476

52.

prendiendo:

- 2305 medios para la constitución de grupos de p uniones si cada sector de tiempo de un canal se divide en p sectores de tiempo de dígito, estando reservado cada uno de estos sectores de tiempo de dígito al proceso en paralelo de los mensajes recibidos en forma de serie sobre una unión dada;
- 2310 medios asociados a la línea de entrada de cada unión, comprendiendo cada uno de dichos circuitos de línea de entrada, primero, un repetidor regenerativo que recibe las señales del mensaje de entrada y que entrega señales de mensaje normalizadas y unas señales de referencia a la frecuencia media de las señales del mensaje de entrada; segundo, un corrector de fase con una capacidad de v mensajes y estando organizado como una memoria v por p y en la que la selección de la escritura se controla por un selector de línea y un selector de dígitos que recibe las señales de referencia de tal forma que las señales normalizadas del mensaje que son recibidas en forma de serie son cíclicamente almacenadas en dicho corrector de fases en forma paralela; tercero, medios para la lectura en forma paralela del contenido del corrector de fase en el sector de tiempo de dígito reservado para el proceso de los mensajes recibidos sobre la unión considerada, de forma que las v líneas de dicho corrector de fase puedan ser leídas cíclicamente en dicho sector de tiempo de dígito; cuarto, medios para tener una señal de riesgo de error cuya duración sea mayor que la de la señal de selección de la línea de escritura del corrector de fase y, quinto, medios para
- 2320 del mensaje que son recibidas en forma de serie son cíclicamente almacenadas en dicho corrector de fases en forma paralela; tercero, medios para la lectura en forma paralela del contenido del corrector de fase en el sector de tiempo de dígito reservado para el proceso de los mensajes recibidos sobre la unión considerada, de forma que las v líneas de dicho corrector de fase puedan ser leídas cíclicamente en dicho sector de tiempo de dígito; cuarto, medios para tener una señal de riesgo de error cuya duración sea mayor que la de la señal de selección de la línea de escritura del corrector de fase y, quinto, medios para
- 2325 elevar a 2 el selector de dígitos durante una búsqueda de código de sincronización ;
- 2330

371476



53.

medios asociados a cada uno de los grupos de uniones que comprenden:

- 2335 - un detector de asignación de dirección en el que son comparadas las posiciones de tiempo de la señal de riesgo de error y de las señales de selección de lectura del corrector de fase, entregando información de la dirección asignada.
- 2340 - un detector de desincronización que entrega una señal de desincronización cuando han sido recibidos tres códigos sucesivos de sincronización con un error.
- una memoria de grupo de datos que comprende p x 24 líneas si cada unión comprende veinticuatro canales.
- 2345 - una memoria de grupo de instrucciones que tiene p líneas estando cada una de dichas líneas reservada a las instrucciones relativas a una unión y siendo dichas líneas cíclicamente leídas con las señales de sector de tiempo de dígito y comprendiendo dicha memoria de grupo de instrucciones un primer contador de grupo de direcciones que controla la selección de dirección cíclica en la memoria de grupo de datos, un segundo contador de grupo de direcciones que controla la selección de
- 2350 dirección cíclica en el corrector de fase, una memoria de errores para el almacenamiento de información en la dirección de la asignación mandada por el detector de asignación y una memoria de defectos para almacenar la información entregada por
- 2355 el detector de desincronización;

medios para corregir el error de asignación de dirección en un circuito dado de línea de entrada bajo el control de la información leída en la memoria de errores y de la información entregada por el primer contador de grupo de direcciones, siendo dicha información leída en el sector del tiempo de dígito reserva-

2360



371476

54.

do a dicho circuito de línea de entrada y consistiendo dicha corrección, de acuerdo con la dirección asignada, en una corrección en adelanto o retardo sobre el avance del primero y segundo contador de grupo de direcciones;

2365 medios para la búsqueda del código de sincronización que comprenden

- medios para buscar el primer dígito de cada línea de la memoria del corrector de fase asociada a la unión desincronizada y para subir o bajar el primer contador de grupos de direcciones de acuerdo con dicho primer dígito, y

2370

- medios para activar a intervalos regulares de tiempo los medios provistos para elevar a 2 el selector de dígitos del corrector de fase.

2375

2. - Un circuito de sincronización en una señal de transmisión de datos por modulación de código de impulsos.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

2380

Esta Memoria consta de cincuenta y cuatro hojas escritas por una sola cara.

Madrid, 20 NOV 1969



EUGENIO BARZOSO
Secretario General

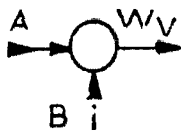


Fig. 1.a

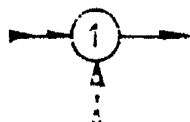


Fig. 1.b



Fig. 1.c

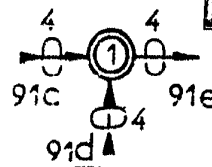


Fig. 1.d

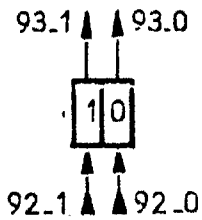


Fig. 1.e

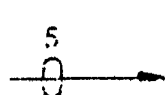


Fig. 1.f

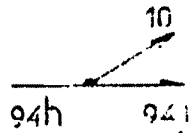


Fig. 1.g

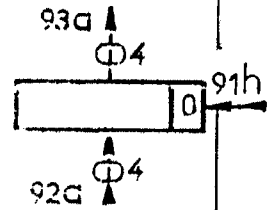


Fig. 1.h

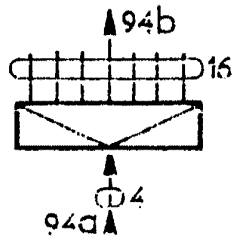


Fig. 1.i

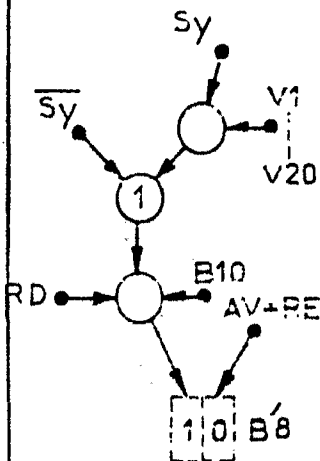


Fig. 9.a

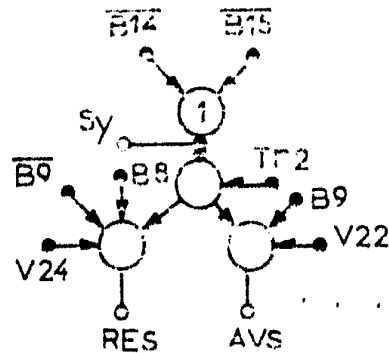
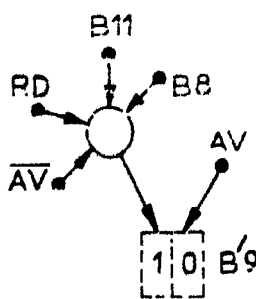


Fig. 9.b

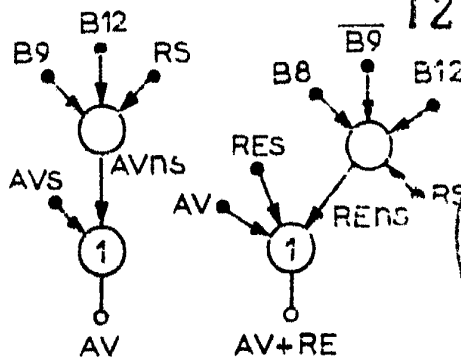


Fig. 9.c

12 SEP. 1969



EUGENIO BARROSO
Secretario General



FIG. 2

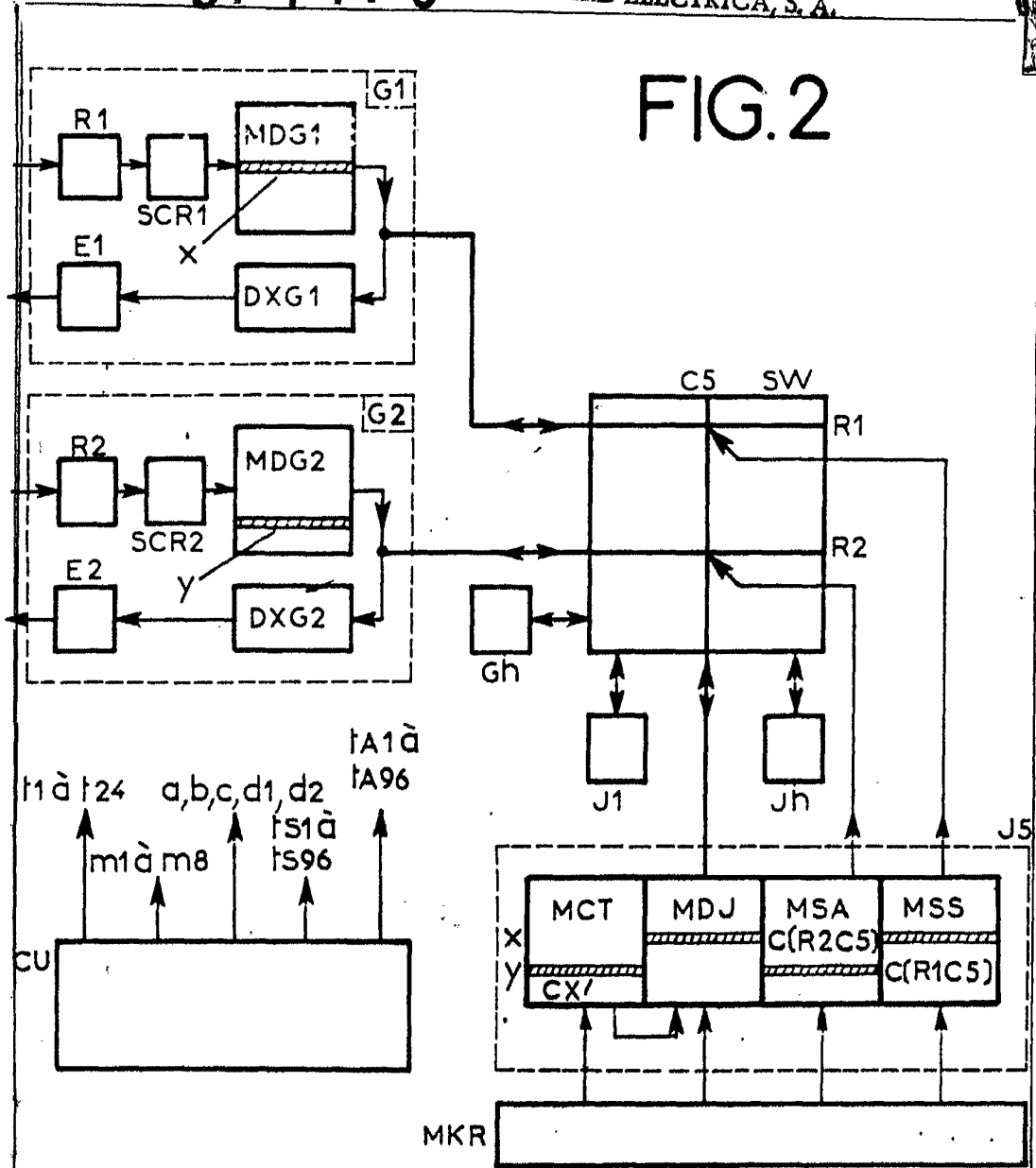
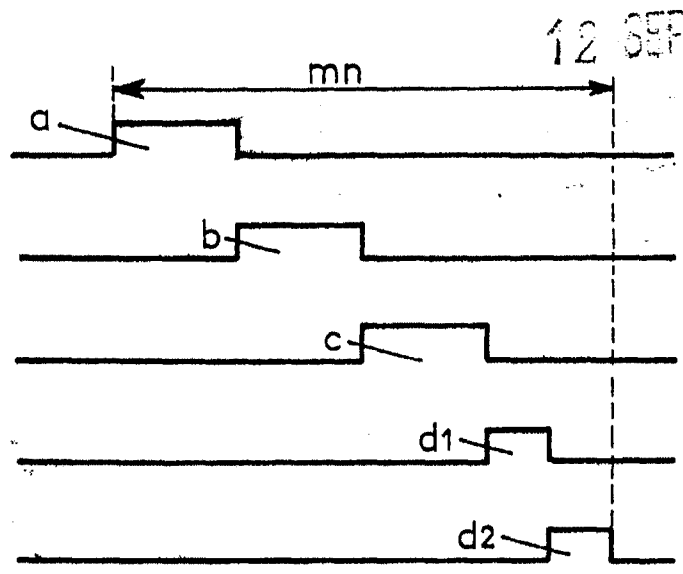


FIG. 6



EUGENIO BARROSO
Secretario General

9/3



371476

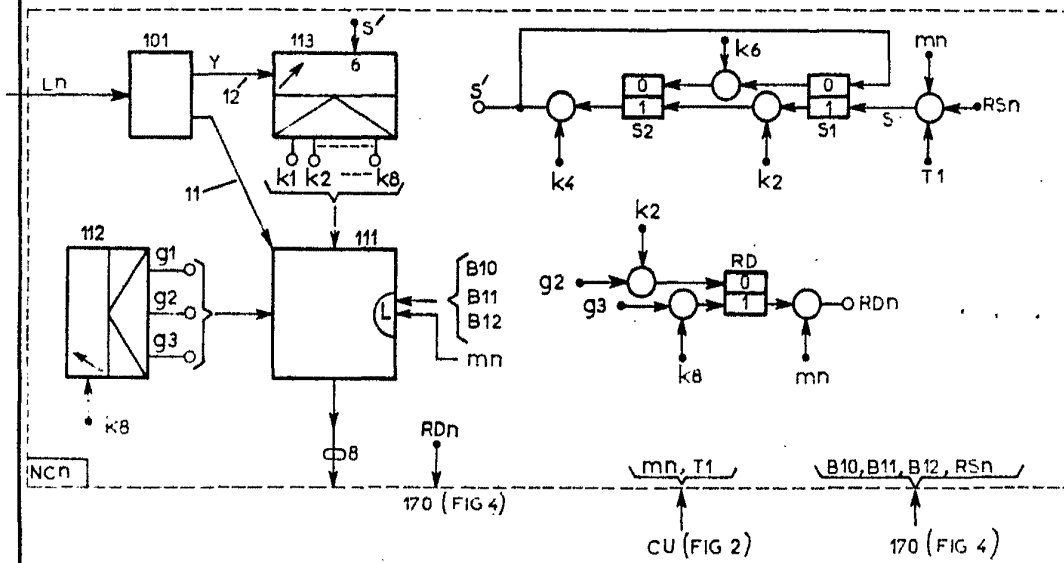
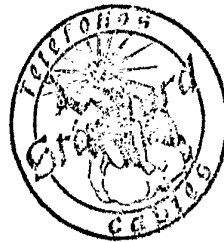


FIG. 3

12 SEP. 1969



EUGENIO BARROSO
Secretario General



371476

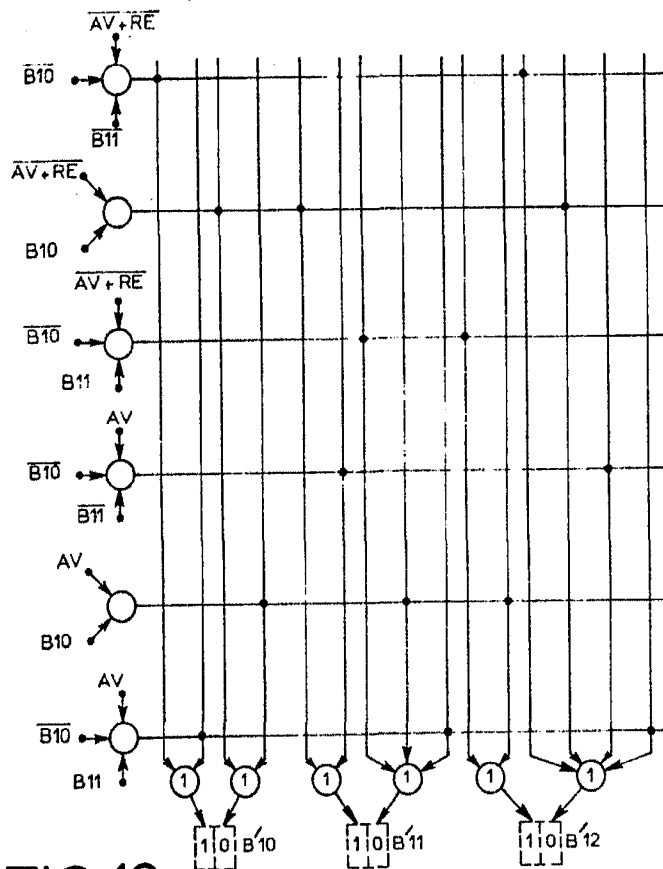


FIG.10

12 SEP. 1969

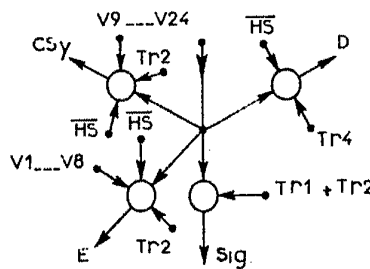


FIG.5



EUGENIO BARROSO
Secretario General



371476

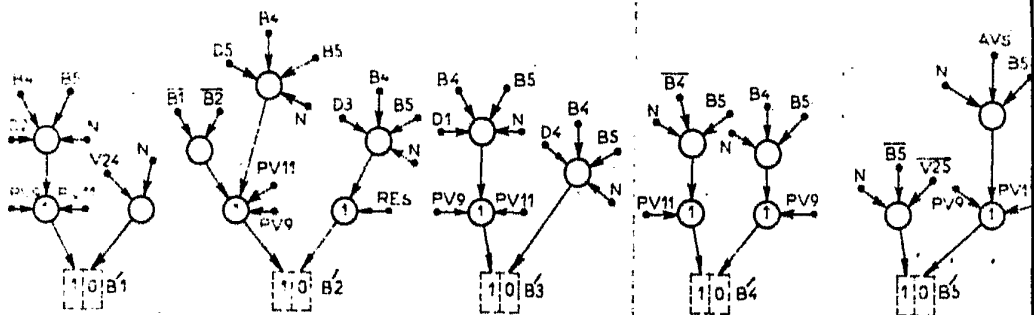


Fig. 7a

12 SEP. 1969



EUGENIO BARROSO
Secretario General



371476

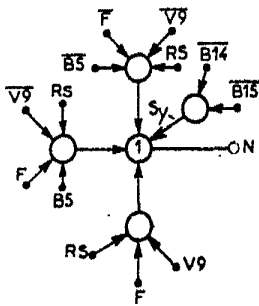


Fig. 7.b

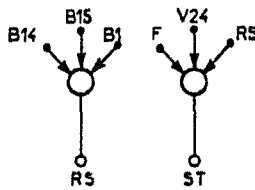


Fig. 18a

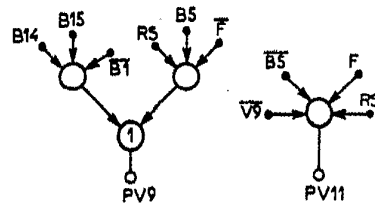


Fig. 18b

12 SEP. 1969



EUGENIO BARROSO
Secretario General

9/8



371476

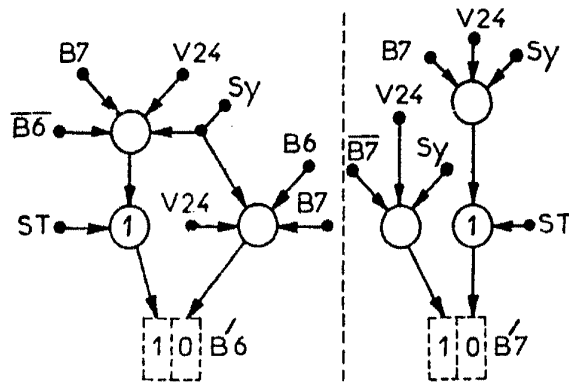


FIG. 8

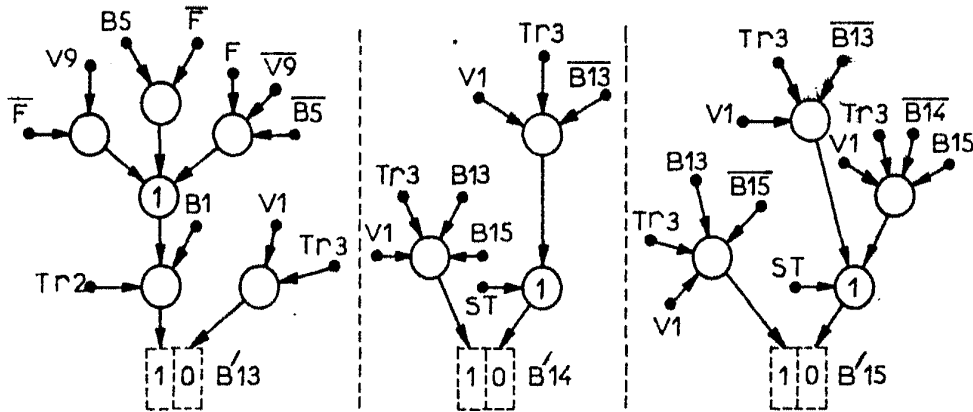


FIG. 11

12 SEP. 1969

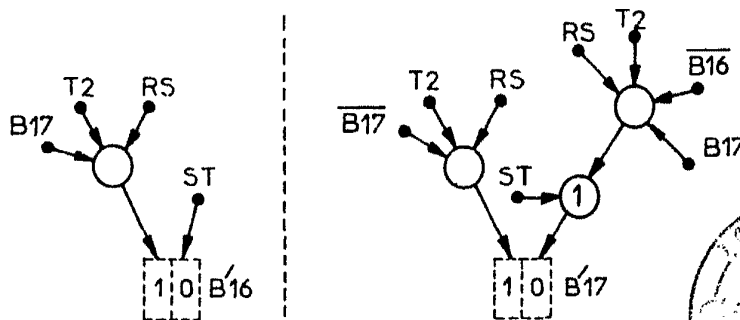
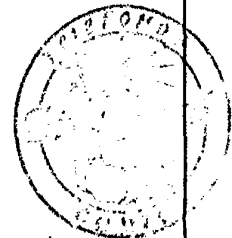


FIG. 12



EUGENIO BARROSO
Secretario General



Fig.13.a

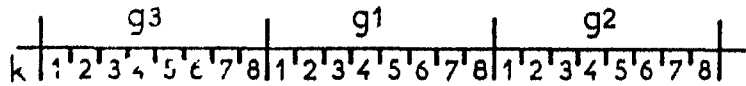


Fig.13.b



Fig.13.c

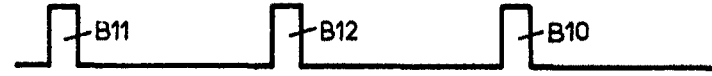


Fig.13.d



Fig.13.e



Fig.13.f



Fig.13.g



Fig.14.a

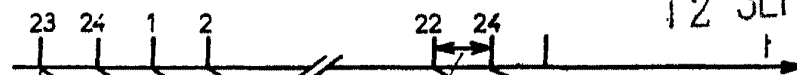


Fig.14.b

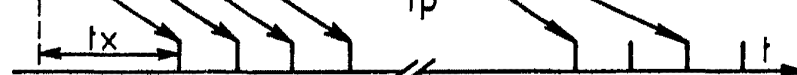


Fig.15.a

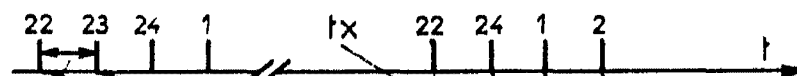


Fig.15.b



Fig.16.a

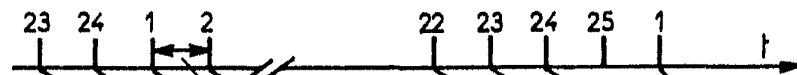


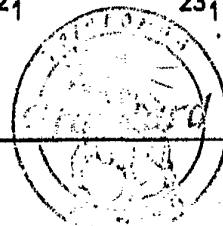
Fig.16.b



Fig.17.a



Fig.17.b



EUGENIO BARROSO
Secretario General