

P. 42.701

37 1379

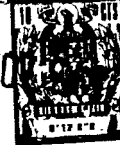
RCA 60794

SECCION TECNICA	
CLASIFICACION I. P. C.	
CLASE <u>H-03</u>	<u>G-06</u>
SUBCLASE <u>K</u>	<u>F</u>

Memoria descriptiva

4 NOV

37 1379



4 NOV. 1969

para solicitar PATENTE DE INVENCION EN ESPAÑA por 20 años

a nombre de RCA CORPORATION

entidad / ~~corporacion~~ norteamericana

con domicilio en 30 Rockefeller Plaza, Nueva York, Nueva
York, Estados Unidos de América

por: "UNA DISPOSICION COMBINADA QUE COMPRENDE MEDIOS INVER-
SORES PRIMERO Y SEGUNDO" (Clase Internacional H03k
G06f)

1-11-69.

- 1 -



4 NOV 1964

5 El presente invento se refiere a un circuito de contador binario dinámico mejorado que tiene un número mínimo de componentes y que, además, presenta baja disipación de potencia, alta velocidad y funcionamiento confiable, para bajas tensiones de alimentación de potencia.

10 En muchos circuitos de la técnica anterior se usan inversores y puertas de transmisión en el diseño de basculadores biestables dinámicos y estáticos. En esos circuitos, sin embargo, se usan más componentes que en el presente invento y, por consiguiente, se usa más área de pastilla de silicio por función. Puesto que un objetivo principal en el diseño de circuitos en general, y de los circuitos integrados en particular, es la eficaz utilización del área de pastilla de silicio, su uso óptimo del área de pastilla de silicio disponible requiere diseñar los circuitos usando menos componentes por función. Un problema adicional relativo al diseño de circuitos de alta densidad es la disipación de potencia máxima permisible. El uso de transistores complementarios para llevar a la práctica el invento - aunque el invento no queda limitado a su uso - se traduce en una disipación de potencia despreciable en estado estable y, por consiguiente, en la reducción al mínimo del consumo de potencia. No obstante, incluso cuando se usa la etapa de inversor complementaria como bloque de construcción básico para el circuito, la disipación de potencia por etapa es función directa de la frecuencia de conmutación ($P_{DIS} = CV^2f$). Ello es debido al hecho de que cada vez que el inversor es accionado por reloj o conmutado, circula una cantidad considerable de corriente durante el tiempo de transición entre uno de los dos estados. Así, por

15
20
25
30

371379



4 NOV. 1969

ejemplo, cuando una función requiere tres etapas inversoras en lugar de dos, el consumo de potencia se aumenta en un 50%. En muchos circuitos de la técnica anterior se usan también relojes múltiples que han de ser puestos en fase.

5 Un objeto del presente invento es proporcionar una báscula biestable dinámica en que se usa un número mínimo de componentes y muy poca potencia. El pequeño número de componentes y la mínima potencia consumida por función, permiten la construcción de circuitos de alta densidad.

10 Adicionalmente, la simplicidad del circuito se traduce en elevados rendimientos y en un alto grado de confiabilidad.

En las disposiciones que incorporan el invento, se obtiene una etapa de contador binario dinámico por medio de dos medios inversores y dos medios de conmutación.

15 Cada uno de los medios inversores tiene un nudo de entrada y unos medios de salida. El nudo de entrada de un inversor está acoplado por unos primeros medios de conmutación al nudo de entrada del otro inversor, y por los segundos medios de conmutación a los medios de salida del otro inversor.

20 En los dibujos que se acompañan, un mismo componente se ha representado siempre por el mismo símbolo de referencia; y

25 La Fig. 1 es un diagrama de un circuito binario dinámico que realiza el invento;

La Fig. 2 es un diagrama de forma de onda que ilustra las señales de entrada y de salida para el circuito de la Fig. 1; y

30 La Fig. 3 es un diagrama de circuito de otra realización del invento.

1-11-69

- 3 - 371379



4 NOV. 1969

Los dispositivos activos que se prefieren para uso en la puesta en práctica del invento son los de la clase conocida en la técnica como transistores de efecto de campo de puerta aislada (IGFET ó TEFPA). Por esta razón, los circuitos se han ilustrado en los dibujos empleando tales transistores, y así se describirán en lo que sigue. No obstante, con esto no se pretende excluir el uso de otros dispositivos adecuados y, con este fin, cuando se usa el término "transistor" sin limitación en las reivindicaciones de la Nota adjunta, se usa en un sentido genérico.

Un TEFPA puede ser definido en general como un dispositivo portador de cargas mayoritarias que comprende un cuerpo de material semiconductor que tiene una fuente o entrada y un elemento de consumo o salida en contacto con el cuerpo y que define en general los extremos de un canal de conducción o circuito de transporte de corriente, a través del cuerpo. Una puerta (electrodo de control) está superpuesta a una parte al menos del circuito de conducción y está separada del mismo por un aislador o región de material aislante. Puesto que la puerta está aislada del cuerpo, no toma corriente alguna en condiciones de funcionamiento en estado estable, o al menos no toma corriente alguna apreciable, con lo que la puerta de un transistor puede ser conectada directamente ya sea a la fuente o ya sea al elemento de consumo del otro transistor, con escasa o ninguna circulación de corriente en estado estable, a través de la conexión.

En asociación con cada puerta de un TEFPA hay una capacitancia de entrada que es función de la configuración geométrica del canal de transistor y del grueso del óxido



del canal. Típicamente, la capacitancia puede ser del orden de C,2 a 1 picofaradios. Aunque la capacitancia de la puerta es pequeña, el hecho de que la puerta esté aislada del cuerpo hace que la impedancia eficaz de puerta a fuente o de puerta a elemento de consumo sea extremadamente elevada - del orden de 10^{12} ohmios o más. Ello permite almacenar la carga en la capacitancia de la puerta, dado que la carga situada sobre la misma se perderá muy lentamente. Calculando la constante de tiempo (RC), suponiendo una capacitancia de puerta de un picofardio y una resistencia de aislamiento de 10^{12} ohmios, se pone de manifiesto que transcurrirá un segundo para que la tensión de puerta disminuya al 37% de su valor inicial ($1 \text{ pf} \times 10^{12} \text{ ohmios} = 1 \text{ segundo}$).

La capacitancia de puerta puede por tanto ser usada como un elemento de memoria o de almacenamiento temporal, ya que cualquier carga situada sobre la misma disminuye muy lentamente.

Un TEFFPA puede ser o bien una unidad de tipo P de conductividad o bien una unidad de tipo N de conductividad. Una unidad de tipo P es aquella en que los portadores de cargas mayoritarios son hoyos o huecos y una unidad de tipo N es aquella en que los portadores de cargas mayoritarios son electrones. En la puesta en práctica del invento se prefieren las unidades del tipo de enriquecimiento a las unidades del tipo de empobrecimiento. A modo de definición, una unidad de tipo P de enriquecimiento tiene un circuito de conducción de conductividad relativamente alta cuando la tensión de puerta es negativa con relación a la tensión de fuente, y tiene una conductividad bajísima cuando



4 NOV 1969

do las tensiones de puerta y de fuente son iguales, o cuando la tensión de puerta es positiva con relación a la tensión de fuente. Tal dispositivo se ha indicado en los dibujos por el símbolo que aparece en la Fig. 1, en que el electrodo de fuente se ha identificado por una flecha que apunta hacia dentro, y el elemento de consumo puede ser identificado como el otro electrodo en el mismo lado del dispositivo. Como es sabido, los transistores de efecto de campo de puerta aislada (TEFPA) son dispositivos bidireccionales, en los cuales puede circular corriente en uno u otro sentido a través del canal de conducción. Cuando se emplea un dispositivo de tipo P como un dispositivo bidireccional, los electrodos de consumo y de fuente pueden ser intercambiados, y por tanto ambos electrodos, el de fuente y el de consumo, se han ilustrado con flechas apuntando hacia el cuerpo.

Una unidad de tipo N de enriquecimiento, por otra parte, es aquella que tiene un canal de conductividad relativamente alta cuando su tensión de puerta es positiva con relación a su tensión de fuente, y que tiene una conductividad bajísima cuando las tensiones de fuente y de puerta son iguales, o cuando la tensión de puerta es negativa con relación a la tensión de fuente. Tal dispositivo se ha representado en los dibujos a describir por el símbolo dado en la Fig. 1, donde el electrodo de fuente es aquel al cual está fijada una flecha. En este caso, sin embargo, la flecha apunta hacia fuera del cuerpo. Cuando se emplea un dispositivo de tipo N como un dispositivo bidireccional, ambos electrodos, el de fuente y el de consumo, se han representado con flechas apuntando hacia fuera del cuerpo.



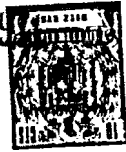
19 513

En los medios de puerta de transmisión - los medios de conmutación usados para ilustrar el invento - se emplea la propiedad bidireccional de un transistor de tipo N y de un transistor de tipo P. Usando dos transistores por cada medio de puerta de transmisión se garantiza que uno de los dos transistores será saturado cuando se active la puerta de transmisión. Una vez activada, la puerta presenta una impedancia muy baja, dando por resultado, una pequeña caída de tensión a través de su circuito de conducción. La puerta de dos transistores impide el funcionamiento en el modo de seguidor de fuente, en que la puerta y la fuente están desplazadas en la tensión de umbral, (V_T) de un transistor.

Con referencia a la Fig. 1, un ejemplo de un conmutador binario dinámico que realiza el invento, se ve en ella que el circuito incluye dos etapas inversoras, 10 y 20, y dos puertas de transmisión 30 y 40. Los dos inversores son de configuraciones esencialmente similares, comprendiendo un TEFPA de tipo P y un TEFPA de tipo N, que tienen sus circuitos de conducción conectados en serie entre un punto de potencial de referencia, ilustrado como la masa del circuito, y el terminal positivo de una fuente 50 de V_1 voltios de potencial de funcionamiento, la cual puede ser, por ejemplo, una batería. El inversor 10 incluye un transistor 12 de tipo N, cuya fuente está conectada a masa y cuyo electrodo de consumo está conectado en común con el electrodo de consumo de un transistor 14 de tipo P a un punto de salida 15. Las puertas de los transistores 12 y 14 están conectadas en común y a un extremo de la capacitancia en línea de trazos 16 (C_B) en el nudo de entrada 18,

371379

15 ENE 19



la cual incluye la capacitancia de puerta de los transis-
tores 12 y 14 y la capacitancia del electrodo de consumo
representado en líneas de trazos para indicar que es una
capacitancia distribuida, en lugar de un elemento concen-
5 trado. El otro extremo de C_B se ha ilustrado conectado a
masa (la cual está enlazada al sustrato).

El inversor 20 incluye el transistor 22 de tipo
N con su fuente conectada a masa y su electrodo de consumo
conectado en común con el electrodo de consumo del transis-
10 tor 24 de tipo P en el punto de salida 25. La fuente del
transistor 24 está a su vez conectada en común con la fuen-
te del transistor 14 al terminal positivo de la fuente 50.
Las puertas de los transistores 22 y 24 están conectadas
en común y a un extremo de la capacitancia 26 (C_A), repre-
15 sentada en línea de trazos, en el nudo de entrada 28. El
otro extremo de C_A está conectado a masa. C_A representa la
capacitancia total existente en el nudo de entrada 28. In-
cluye ésta la capacitancia de puerta de los transistores
22 y 24, la capacitancia de consumo y de fuente de las
20 puertas de transmisión 40 y 30, y cualquiera capacitancias
de carga asociadas con la línea de salida marcada como CP_1 .
El nudo de entrada 28 del inversor 20 está acoplado al nu-
do de entrada 18 del inversor 10 por medio de la puerta de
transmisión 30, y al punto de salida 15 del inversor 10 por
25 medio de la puerta de transmisión 40. Las puertas de trans-
misión 30 y 40 son de configuraciones similares. Cada una
de las puertas 30 y 40 consiste en un transistor de tipo N
(34 y 44 respectivamente) y un transistor de tipo P (32 y
42 respectivamente), con sus circuitos de conducción, como
30 definidos por un electrodo de fuente y un electrodo de con

371379

19 ENE 68



5 sumo, conectados en paralelo. Como se ha explicado en lo
que antecede, puesto que los dispositivos son bidirecciona
les, sus electrodos de fuente y de consumo son intercambia
bles, como se ha indicado mediante las dos flechas. No obs
tante, las conexiones a las dos puertas de transmisión no
son idénticas. En primer lugar, las puertas de transmisión
están conectadas de modo que cuando una está activada (co
nectada) la otra está desactivada (desconectada). Ello se
logra conectando la puerta del transistor 32 de tipo P en
10 común con la puerta del transistor 44 de tipo N a la línea
de señal marcada con CP y la puerta del transistor 42 de
tipo P en común con la puerta del transistor 34 de tipo N
a la línea de señal marcada con CP. En segundo lugar, el
circuito de conducción de la puerta de transmisión 40 es
15 tá conectado entre el nudo de entrada 28 y el punto de sa
lida 15, y el circuito de conducción de la puerta de trans
misión 30 está conectado entre el nudo de entrada 28 y el
nudo de entrada 18.

20 El funcionamiento del circuito de la Fig. 1 se
comprenderá mejor con referencia a la Tabla I y a las for
mas de onda ilustradas en la Fig. 2.

25

371379

30

9.1.71

TABLA I

TIEMPO	CP	CP	* T.G. 40	* T.G. 50	V ₁₈	V ₁₅	CP ₁ V ₂₈	CP ₁ V ₂₅
t ₁	1	0	ON Activo	OFF Desactivado	0	1	1	0
t ₂	0	1	OFF Desactivado	ON Activo	$\frac{C_A}{C_A+C_B}(V_{28}) \approx 1$	0	$\frac{C_A}{C_A+C_B}(V_{28}) \approx 1$	0
t ₃	1	0	ON Activo	OFF Desactivado	$\frac{C_A}{C_A+C_B}(V_{28}) \approx 1$	0	0	1
t ₄	0	1	OFF Desactivado	ON Activo	$\frac{C_B}{C_A+C_B}(V_{18}) \approx 0$	1	$\frac{C_B}{C_A+C_B}(V_{18}) \approx 0$	1
t ₅	1	0	ON Activo	OFF Desactivado	≈ 0	1	1	0

*T.G. = Puerta de Transmisión





Además, es conveniente estudiar el funcionamiento del circuito de la Fig. 1 y el del otro circuito, en términos del algebra de Boole. El convenio adoptado arbitrariamente es que V_1 voltios representa el dígito binario 1 (bitio), y que la masa representa el bitio 0. Para simplificar más la explicación del funcionamiento del circuito, en el estudio que sigue se dice algunas veces que un 1 ó un 0 es aplicado a un circuito u obtenido de un circuito, en vez de decir que una tensión que es indicativa de un 1 ó de un 0 es aplicada a, o derivada de un circuito.

Cada ciclo (un periodo) del impulso de reloj (CP) consiste en dos intervalos de tiempo representados en la Fig. 2 como T_1 y T_2 . La amplitud de la señal de reloj puede tomar dos valores, siendo mantenida a un nivel de V_1 voltios (1 lógico) durante el intervalo de tiempo T_1 , y a 0 voltios (cero lógico) durante un intervalo de tiempo T_2 .

Partiendo del momento t_1 y con el intervalo T_1 el CP es igual a 1 y el \overline{CP} (que es el inverso de CP) es igual a cero. En estas condiciones, la puerta de transmisión 40 es altamente conductora y presenta una impedancia muy baja entre el punto de salida 15 y el nudo de entrada 28, ya que es aplicada una señal positiva a la puerta del transistor 44 de tipo N y es aplicada una señal negativa a la puerta del transistor 42 de tipo P. La puerta de transmisión 30, por otra parte, está desactivada ya que los transistores 32 y 34 están polarizados inversamente.

Supongamos que, inicialmente, la tensión en el nudo de entrada 18 (V_{18}) es cero y que, por consiguiente, el transistor 12 de tipo N está fuera de conducción, y el transistor 14 de tipo P está conduciendo. Puede entonces

4 NOV



5 circular una corriente relativamente grande desde la fuente 50 a través del circuito de fuente y de consumo del transistor 14, del circuito de conducción de la puerta de transmisión 40, y al nudo capacitivo 28, cargando C_A hacia un potencial igual a V_1 . Obsérvese que la corriente inicial que circula a través de ese circuito es limitada simplemente por la impedancia del transistor 14 y por la impedancia de la puerta de transmisión 40. Cuando la tensión en el nudo de entrada 28 (V_{28}) es igual a la tensión umbral (V_T) del transistor 22, el transistor 22 empieza a conducir, llevando al punto de salida 25 hacia el potencial de masa. Simultáneamente, al continuar aumentando la tensión de puerta, el transistor 24 es polarizado a estado de fuera de conducción. Los estados resultantes de la báscula biestable en t_1 se han resumido en la línea 1 de la Tabla I, como sigue:

$$V_{28} = V_{15} = \overline{CP}_1 = V_1 \text{ voltios} = 1 \text{ lógico, y}$$
$$CP_1 = V_{18} = 0 \text{ voltios} = 0 \text{ lógico.}$$

20 En el momento t_2 con el transcurso del intervalo T_2 , $CP = 0$, $\overline{CP} = 1$, los transistores 34 y 32 son polarizados en sentido directo activando la puerta de transmisión 30, y existe un circuito de alta conducción de baja impedancia entre el nudo de entrada 28 y el nudo de entrada 18. Simultáneamente la puerta de transmisión 40 es desactivada, ya que los transistores 44 y 42 son polarizados en sentido inverso.

25 C_A y C_B están conectados esencialmente en paralelo por medio de la puerta de transmisión 30, y la carga en C_A se redistribuye por si misma entre C_A y C_B . V_{18} será aproximadamente igual a la relación de C_A a la suma de C_A y C_B ,

4 NOV. 1969



multiplicada por el valor de la tensión existente en el nudo de entrada 28 (V_{28}) en el momento t_1 . $V_{18} = \frac{C_A}{C_A + C_B} \times (V_{28})_{t_1}$.

5 Para el correcto funcionamiento del circuito es evidente que V_{18} debe ser mayor que la tensión umbral (V_T) del transistor 12. Si C_A es igual a C_B , V_{18} es igual a la mitad de V_{28} . Si C_A es igual a $2 \times C_B$, V_{18} será igual a $2/3$ de V_{28} . Obsérvese que se trata de un caso en que la carga de las etapas adicionales (no representadas) en la

10 línea \overline{CP}_1 favorece el funcionamiento del circuito ya que, al ser esas cargas adicionales capacitivas y estar en paralelo con C_A , hacen mayor a C_A . Dada la relación correcta de capacitancias, la transferencia de carga desde C_A a C_B hace la tensión en el nudo de entrada 18 suficientemente

15 positiva para hacer conductor al transistor 12 y para poner fuera de conducción al transistor 14. Puesto que el transistor 14 está fuera de conducción, el punto de salida 15 es desconectado del terminal positivo de la fuente 50. Al ser hecho conductor el transistor 12, lleva al punto de salida 15 hacia el potencial de masa (cero lógico). Dado que

20 la puerta de transmisión 40 está abierta, la tensión en el nudo de entrada 28 no percibe ese cambio de estado y las dos líneas de salida CP_1 y \overline{CP}_1 no cambian de estado hasta el siguiente recorrido positivo de la señal de reloj (CP).

25 Los estados de circuitos significativos en el momento t_2 son pues $V_{18} = \overline{CP}_1 = 1$, y $V_{15} = CP_1 = 0$, como se ha ilustrado en la línea 2 de la tabla 1. Cuando el CP se hace positivo en t_3 , las puertas de transmisión 30 y 40 son de nuevo desactivada y activada, respectivamente, como se ha

30 descrito en lo que antecede. No obstante, el punto de sali-

1-11-69

- 13 -

371379



da está entonces acoplado a masa y C_A es por tanto descar-
gada al potencial de masa por el circuito que comprende la
puerta de transmisión 40, y la baja impedancia de consumo
- fuente del transistor 12. Simultáneamente, el transistor
5 24 es hecho conductor y el transistor 22 es polarizado en
sentido inverso. Los estados de la báscula biestable son
pues $CP_1 = V_{18} = 1$, y $\overline{CP}_1 = V_{15} = 0$, como se ha ilustrado
en la línea 3 de la Tabla I. En el momento t_4 , la punta de
transmisión 30 es activada y la puerta de transmisión 40
10 es desactivada, como se ha explicado en lo que antecede.
 C_A y C_B están de nuevo conectados en esencia en paralelo
y, puesto que C_A está ahora descargada por completo, es la
carga de C_B la que ahora se redistribuye entre C_A y C_B , la
tensión a través de la combinación en paralelo disminuye,
15 de modo que la tensión es como máximo un tercio ($1/3$) del
valor a través de C_B inmediatamente antes del momento t_4 .
La tensión en el nudo de entrada 18 es así disminuida por
debajo de la tensión umbral del transistor 12. El transis-
tor 12 pasa a estar fuera de conducción, pero el transis-
tor 14 se hace conductor, llevando al punto de salida 15
20 hacia V_1 . Los estados de la báscula biestable son pues
 $\overline{CP}_1 = V_{18} = 0$, y $CP_1 = V_{15} = 1$. Por consiguiente se invier-
ten dos ciclos del impulso de reloj de entrada, para con-
seguir un ciclo de la salida de CP_1 .

25 El circuito de la Fig. 1 ha sido hecho funcionar
con una fuente 50 de un potencial de 3 voltios, y con una
señal de reloj de una amplitud de 3 voltios en un margen
de frecuencias que varía desde 1 KHz a 1 MHz. Aumentando
la amplitud de la señal de reloj y el potencial de la ali-
30 mentación de potencia a 10 voltios se aumenta el margen de



funcionamiento a 10 MHz.

Las señales de salida CP_1 y \overline{CP}_1 cambian de estado cada vez que la señal de reloj de entrada CP se hace positiva, mientras que la señal existente en el punto de salida 15 y en el nudo de entrada 18 cambia de estado cada vez que la señal de reloj se hace negativa. Las señales que hay en el inversor 10 son de la misma frecuencia que las señales que hay en el inversor 20, pero están desplazadas entre sí por un desplazamiento de fase de 90° .

Del estudio del funcionamiento será evidente que el comportamiento de la puerta de transmisión es análogo al de un conmutador unipolar, el cual es activado a una cierta frecuencia f_1 . Los consiguientes cambios en los puntos de entrada y en los puntos de salida de los dos inversores varían a la mitad de la frecuencia f_1 .

La fuente de señal no es necesario que sea de una señal simétrica. El único requisito respecto a T_1 y T_2 es que cada período sea suficientemente largo para permitir la carga y la descarga de las capacitancias del circuito representadas como C_A y C_B .

En la Fig. 3 se ilustra otra realización del invento que difiere del circuito de la Fig. 1 en el modo en que los medios de transmisión 40a están conectados a los medios de inversor 10a. Los medios de inversor 10a comprenden el transistor 14a de tipo P y el transistor 12a de tipo N. El electrodo de fuente del transistor 14a está conectado al terminal positivo de la fuente V_1 y su electrodo de consumo está conectado al terminal positivo de la fuente V_1 y su electrodo de consumo está conectado a uno de los electrodos de fuente y de consumo del transistor

4 NO



42a de tipo P, estando conectado el otro de los electrodos de la fuente y de consumo del transistor 42a al nudo de entrada 28. El electrodo de fuente del transistor 12a está conectado al potencial de masa, y su electrodo de consumo está conectado a uno de los electrodos de fuente y de consumo del transistor 44a de tipo N, estando conectado el otro de los electrodos de fuente y de consumo del transistor 44a al nudo de entrada 28. El circuito de la Fig. 3 requiere menos área de silicio que el circuito de la Fig. 1, ya que la línea metálica que conecta los electrodos de consumo del transistor 14 y del transistor 12 en el punto de salida 15, y la conexión entre el punto de salida 15 y un extremo de la puerta de transmisión 40, han sido eliminados. No obstante el funcionamiento del circuito es esencialmente el mismo que el funcionamiento del circuito de la Fig. 1.

El examen del comportamiento de los medios 40a de puerta de transmisión revela que el transistor 42a acopla el electrodo de consumo del transistor 14a al nudo de entrada 28 cuando \overline{CP} es negativo, y que el transistor 44a acopla el nudo de entrada 28 al electrodo de consumo del transistor 12a cuando CP es positivo. Así, si V_{18} es baja y $CP = 1$, el transistor 14a estará en estado de conducción, acoplado el nudo de entrada 28 a V_1 , y, si V_{18} es alta, el nudo de entrada 28 está acoplado al potencial de masa por la impedancia de consumo a fuente del transistor 12a. Obsérvese que aunque los circuitos de conducción de los transistores 42a y 44a no están conectados en paralelo, el transistor de acoplamiento opera siempre en el modo de fuente común, eliminando toda acción del tipo de modo de seguidor.



El comportamiento de los medios 10a de inversor es por tanto sustancialmente equivalente al comportamiento de la etapa 10 de inversor de la Fig. 1, y el comportamiento de los medios 40a de puerta de transmisión es sustancialmente equivalente al comportamiento de la puerta de transmisión 40 de la Fig. 1.

En resumen, se ha descrito una báscula biestable dinámica que comprende dos medios de inversor y dos medios de conmutación. Cada uno de los medios de inversor puede incluir, ya sea un transistor y una resistencia, o ya sean dos transistores, en que uno de los dos transistores se usa ya sea como una carga, o ya sea como un dispositivo activo. Los medios de conmutación necesarios para llevar a la práctica el invento podrían ser, conceptualmente, un conmutador simple unipolar. Los medios de conmutación se han ilustrado por medios de puerta de transmisión de dos transistores. Será evidente que pueden usarse una multiplicidad de dispositivos vibratorios para desempeñar esta función.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 17 de Septiembre de 1.968, bajo el Nº 760.218, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

371379

4 NO



REIVINDICACIONES

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

5

1. Una disposición combinada que comprende medios inversores primero y segundo, cada uno de los cuales tiene un nudo de entrada y un medio de salida; primeros medios de distribución conectados entre el nudo de entrada del primer medio inversor y el nudo de entrada del segundo medio inversor; y segundos medios de distribución conectados entre los medios de salida del primer inversor y el nudo de entrada del segundo inversor.

10

2. Una disposición según la reivindicación 1, en la cual cada medio inversor incluye en su nudo de entrada medios de almacenaje de la carga.

15

3. Una disposición según la reivindicación 2, en la que dichos medios de distribución primero y segundo son habilitados de modo alternativo.

20

4. Una disposición según la reivindicación 2, que incluye además puntos terminales primero y segundo; medios que conectan los medios inversores primero y segundo en paralelo entre dichos puntos terminales; en la cual cada medio de distribución comprende un par de transistores, siendo un transistor de un tipo de conductividad y siendo el otro del tipo de conductividad opuesto; y medios para conectar una fuente de potencial entre dichos puntos terminales.

25

5. Una disposición según la reivindicación 4, en

30

371379



la cual cada transistor tiene electrodos primero y segundo que definen los extremos de un circuito de conducción y un electrodo de control; en la cual cada inversor comprende un par de transistores de tipo de conductividad diferente; en la cual los dos transistores del primer medio inversor tienen sus electrodos de control conectados a dicho primer nudo de entrada; en la cual los dos transistores del segundo medio inversor tienen sus electrodos de control conectados a dicho segundo nudo de entrada y un extremo de sus circuitos de conducción conectado en común en dichos medios de salida segundos; y en la cual los dos transistores de los primeros medios de distribución tienen sus circuitos de conducción conectados en paralelo.

6. Una disposición según la reivindicación 5, en la cual los dos transistores de los primeros medios inversores tienen un extremo de sus circuitos de conducción conectado en común con dichos medios de salida primeros; y en la cual los dos transistores de los segundos medios de distribución tienen sus circuitos de conducción conectados en paralelo entre dicho nudo de entrada de los segundos medios inversores y los medios de salida de los primeros medios inversores.

7. Una disposición según la reivindicación 5, en la cual uno de los dos transistores de los segundos medios de distribución tiene un extremo de su circuito de conducción conectado a un extremo del circuito de conducción de uno de los dos transistores de los primeros medios inversores y el otro transistor de los segundos medios de distribución tiene un extremo de su circuito de conducción conectado a un extremo del circuito de conducción del otro tran



sistor de los primeros medios inversores, y los otros extremos de los circuitos de conducción de los transistores de los medios de distribución están conectados en común al nudo de entrada de los segundos medios inversores; y en la cual el otro extremo del circuito de conducción de un transistor de los primeros medios inversores está conectado al primer punto terminal y el otro extremo del circuito de conducción del otro transistor de los primeros medios inversores está conectado al segundo punto terminal.

8. Una disposición según las reivindicaciones 4, 5, 6, o 7, en la cual los transistores son transistores de efecto de campo con puerta aislada.

9. Una disposición según las reivindicaciones 4, 5, 6, o 7, y que incluye además medios para aplicar una señal alterna y su complemento a dichos medios de distribución; y en la cual dicha señal alterna se aplica a los electrodos de control del transistor del primer tipo de conductividad de los primeros medios de distribución y al transistor del tipo de conductividad opuesto de los segundos medios de distribución y el complemento de dicha señal alterna se aplica a los electrodos de control del transistor del tipo de conductividad opuesto de los primeros medios de distribución y al transistor del primer tipo de conductividad de los segundos medios de distribución.

10. Una disposición combinada que comprende medios inversores primero y segundo.

371379



4 NOV 1969

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de 21 hojas escritas a máquina por una sola cara.

5

4 NOV 1969

Madrid,

P.A.

10

Alberto de Alarcón
Por Poder, *[Signature]*

15

20

25

371379

30

JQ

1-11-69

1162701



Fig. 1.

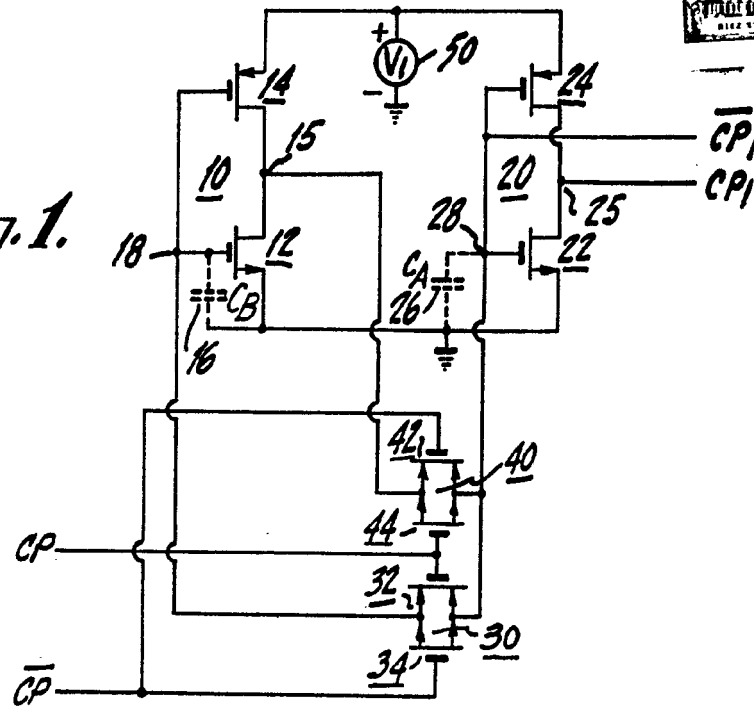


Fig. 2.

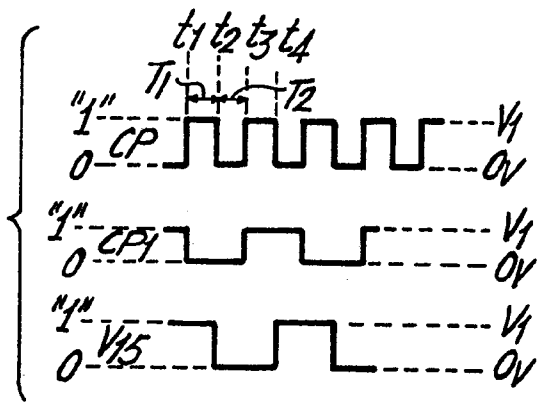


Fig. 3.

