

P.42.387

TI-3238

371158

8 OCT. 1969

**Memoria descriptiva**

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>H 01</u>
SUBCLASE <u>L</u>



para solicitar PATENTE DE INVENCION

por 20 años

a nombre de TEXAS INSTRUMENTS INCORPORATED

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en 13500 North Central Expressway, Dallas,  
Tejas, Estados Unidos de América.

por: "UNA DISPOSICION DE CIRCUITO MONOLITICO"

(Clase Internacional H01)

5.10.69



La presente invención se refiere en general a dispositivos semiconductores, y más en particular a circuitos integrados a base de transistores de efecto de campo de semiconductores de óxido-metal (MOS).

5 Un factor limitativo del uso de las disposiciones de circuitos integrados a base de transistores de efecto de campo de semiconductores de óxido-metal, transistores a los que en lo sucesivo se hará referencia con el símbolo MOSFET, es el de la relativamente baja tensión de salida que puede obtenerse, a causa de lo relativamente bajo de las tensiones de ruptura de los transistores de MOS (semiconductores de óxido-metal). Por ejemplo, puede lograrse fácilmente un descodificador de binario a decimal utilizando un circuito lógico de MOSFET monolítico. Ahora bien, la tensión de salida de estos circuitos es, típicamente, de aproximadamente -12,0 voltios. La mayoría de los dispositivos de lectura numéricos (por ejemplo, el tubo de NIXIE) exigen aproximadamente +150 voltios para que el funcionamiento sea óptimo. Por consiguiente, un importante aspecto de la invención reside en proveer medios de enlazar los circuitos de MOSFET, de relativamente baja tensión, y estos dispositivos de mucho mayor tensión citados, a fin de utilizar las múltiples ventajas de los circuitos lógicos a base de MOSFET.

25 Esta invención tiene que ver en general con el uso de un transistor bipolar en combinación con un transistor de efecto de campo para controlar una alta tensión usada para excitar o alimentar una carga. Más concretamente, el transistor bipolar está conectado en la configuración de base común, y el transistor de MOS se utiliza



para controlar la corriente de emisor. El dispositivo bi-  
polar puede ser un dispositivo desunido, o bien, lo que  
es más importante, puede incorporarse a la misma pastilla  
de semiconductor monolítico que los circuitos lógicos de  
5 MOSFET. En la particular forma de ejecución que se ilus-  
tra, se prevé un circuito integrado monolítico para desco-  
dificar una entrada binaria y excitar o activar directamen-  
te un dispositivo numérico de lectura de alta tensión, tal  
como un tubo de NIXIE. El circuito incluye asimismo medios  
10 de modular con un ciclo de trabajo de tensión de salida,  
a fin de controlar el grado de iluminación del dispositivo  
de lectura.

Las características constitutivas de novedad  
que se consideran propias de este invento se exponen en  
15 las reivindicaciones finales. Ahora bien, la invención  
en sí, así como otros objetos y ventajas de la misma, pue-  
den comprenderse del mejor modo por referencia a la siguien-  
te descripción detallada de una forma de realización ilus-  
trativa, tomada en relación con los dibujos adjuntos, en  
20 los cuales:

- la figura 1 es un esquema teórico de circuitos  
de un dispositivo construido con arreglo al presente in-  
vento;

25 - la figura 2 es una tabla de "verdades" que sir-  
ve para ilustrar el funcionamiento de una parte de la sec-  
ción descodificadora del dispositivo de la fig. 1;

- la figura 3 es una vista en planta simplifica-  
da de parte de una forma de realización monolítica del cir-  
cuito de la fig. 1;

30 - la figura 4 es una vista simplificada en sec-

5.10.69

371158

- 3 -

371058



ción tomada por las líneas 4-4 de la fig. 3; y

- la figura 5 es un esquema de circuitos simplificado que sirve para ilustrar el funcionamiento de la parte o sección excitadora del dispositivo de la fig. 4.

5                    Con referencia ahora a los dibujos, un dispositivo conforme a la invención es el que se indica en general con el número de referencia 10 en el dibujo esquemático de la fig. 1. El dispositivo 10 incluye una sección de descodificación de binario a decimal, indicada en general con el número 12, que puede ser idéntica a la expuesta y reivindicada en la solicitud de patente afín de EE.UU. número de serie 567.459. El descodificador 12 tiene unas entradas binarias de base o fundamental A, B, C, y D, unas entradas binarias de complemento  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$  y  $\bar{D}$ , y diez salidas decimales, de 0 a 9 inclusive.

10                    La sección descodificada 12 de binario a decimal consta de una pluralidad de transistores MOSFET de canal P, en modo de enriquecimiento, dispuestos ordenadamente en ocho filas de entrada binaria, una por cada entrada lógica, y diez filas de salida decimal. En la fig. 1, no obstante, es conveniente representar las filas de entrada para las entradas lógicas A y  $\bar{A}$  en una sola fila, los transistores de las filas de entrada para las entradas lógicas B y  $\bar{B}$  en una sola fila, los transistores de las filas de entrada para las entradas lógicas C y  $\bar{C}$  en una sola fila, y los transistores de las filas de entrada para las entradas lógicas C y  $\bar{D}$  en una sola fila. Las barreras de los transistores de cada una de las ocho filas de entrada binaria son comunes, y los ocho juegos de barreras comunes constituyen las ocho entradas binarias A, B, C, y D, y  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$  y  $\bar{D}$ .

371158

371058



Los drenajes de los transistores de cada una de las diez filas de salida decimal son comunes, y constituyen las salidas decimales 0 a 9 inclusive. Los drenajes comunes 0 a 9 inclusive están conectados a un terminal de alimentación 22 de tensión de drenaje por medio de unos transistores de MOS  $R_0$  a  $R_9$ , respectivamente. Las barreras de los transistores  $R_0$  a  $R_9$  son comunes y están conectadas a un terminal  $-V_{GG}$  de suministro de tensión de referencia, de manera que los transistores darán una resistencia esencialmente constante para producir una tensión de salida. Las fuentes (electrodos de fuente) de todos los transistores de la disposición ordenada son comunes y están conectadas a un terminal de fuente 20.

Cada fila de salida decimal tiene cuatro transistores, que están situados en las ocho filas de entrada binaria de manera que efectúan la descodificación. Cuando a la base de los cuatro transistores de una determinada fila de salida decimal se le aplique un "0" lógico (típicamente, al potencial de masa aproximadamente), los transistores dejan de conducir (pasan al corte) y la salida toma un nivel de "1" lógico, que se aproxima al de la tensión negativa de drenaje. Si la barrera de cualquiera de los transistores de la fila de salida es un "1" lógico, que es una tensión negativa, ese transistor entra en conducción y la salida decimal pasa a un nivel de "0" lógico, de aproximadamente el potencial de masa.

La sección descodificadora 12 está conectada de modo que utiliza el código binario de exceso de tres, como se expone en la tabla de "verdades" de la fig. 2. Así, las barreras de los cuatro transistores de la fila de salida

371158

371058

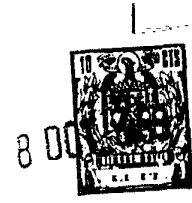


decimal nº. 0 están conectadas a las entradas A, B,  $\bar{C}$  y  $\bar{D}$ . Las barreras de los transistores de la fila de salida decimal nº. 1 están conectadas a las entradas A,  $\bar{B}$ , C y D. Las barreras de los transistores de la fila de salida 2 están  
5 conectadas a las entradas A,  $\bar{B}$ , C y  $\bar{D}$ . Las barreras de los transistores de la fila de salida 3 están conectadas a las entradas A,  $\bar{B}$ ,  $\bar{C}$  y D. Las barreras de los transistores de la fila de salida 4 están conectadas a las entradas A,  $\bar{B}$ ,  $\bar{C}$  y  $\bar{D}$ . Las barreras de los transistores de la  
10 fila de salida 5 están conectadas a las entradas  $\bar{A}$ , B, C y D. Las barreras de los transistores de la fila de salida 6 están conectadas a las entradas  $\bar{A}$ , B, C y  $\bar{D}$ . Las barreras de los transistores de la fila de salida 7 están conectadas a las entradas  $\bar{A}$ , B,  $\bar{C}$  y D. Las barreras de los transistores de la fila de salida 8 están conectadas  
15 a las entradas  $\bar{A}$ , B,  $\bar{C}$  y  $\bar{D}$ , y las barreras de los transistores de la fila de salida número 9 están conectadas a las entradas  $\bar{A}$ ,  $\bar{B}$ , D y D. Cada una de las entradas de base y de complemento está conectada a masa por medio de un diodo 24 de placa de campo polarizado en sentido inverso, para  
20 proteger los diversos dieléctricos de barrera de transistores contra sobretensiones estáticas.

Las salidas decimales 0 a 9 inclusive van conectadas a las barreras de los transistores 30 a 39 de MOS,  
25 respectivamente. Los electrodos de fuente de los transistores de MOS 30 a 39 van conectados a los emisores de unos transistores bipolares 40 a 49 inclusive, respectivamente. Las bases de los transistores 40 a 49 son comunes, y están conectadas a masa, en tanto que los colectores van conecta-  
30 dos a los cátodos 50 a 59 inclusive de un dispositivo de

37 1 158

37 1 158



lectura numérica 60. El dispositivo de lectura numérica 60 será típicamente un tubo de NIXIE en el que los cátodos 50 a 59 inclusive sean unos hilos o alambres de pequeño diámetro que tengan la forma de los números 0 a 9 inclusive, respectivamente, y estén superpuestos unos a otros. La placa 62 del tubo 60, típicamente, va conectada a una alimentación de tensión positiva del orden de 150 voltios a través de una resistencia grande 63. Los drenajes de los transistores de MOS 30 a 39 inclusive son comunes, y están conectados a una alimentación de tensión negativa 64 por medio de un multivibrador 66 cuya frecuencia está controlada por una tensión variable aplicada al terminal 68. El multivibrador 66 se constituye de preferencia utilizando transistores de MOS, y puede ser del tipo de Eccles-Jordan estable en dos estados y controlable en tensión, o de cualquier otro tipo adecuado.

En el funcionamiento del dispositivo 10, a las entradas numéricas de base A a D inclusive se les aplica la información lógica binaria, y los complementos de la información lógica se aplican a las entradas lógicas  $\bar{A}$  a  $\bar{D}$  inclusive. Como resultado de estas entradas, una de las salidas lógicas 0 a 9 pasa a un potencial negativo, mientras las otras nueve siguen esencialmente al potencial de masa. Por ejemplo, si el número binario aplicado a las entradas lógicas representa un cero numérico, la salida 0 estará a una tensión negativa que se aproxima a la tensión de la alimentación de drenaje  $-V_{DD}$ . Esto pone en conducción el transistor de MOS 30, que suministra corriente de excitación de emisor para el transistor bipolar 50. Circula entonces corriente por el circuito que incluye la alimen

371158

371058



tación de tensión positiva, la placa 62, el cátodo 50, el transistor bipolar 40, el transistor de MOS 30, el multivibrador 66 y la tensión de alimentación negativa 64 de drenaje. El multivibrador 66 proporciona la modulación de ciclode trabajo de la corriente en este circuito, de manera que el nivel de iluminación del cátodo incandescente 50 será proporcional a la tensión aplicada al terminal de entrada de control 68.

Con arreglo a un importante aspecto de la invención, la totalidad de los circuitos ilustrados en la fig. 1, o bien cualquier parte seleccionada de los mismos, se fabrica en un solo microfragmento de pastilla monolítica. Esto se logra formando todos los transistores de MOS en una región epitáxica de tipo N, definida por la silueta 70 de trazo interrumpido en la fig. 1, dentro de un substrato 72 de tipo P, y formando los transistores bipolares de excitación NPN 40 a 49 inclusive en el substrato de tipo P. El descodificador 12 de binario a decimal puede construirse exactamente como se describe con detalle en la mencionada solicitud de patente afín. Los transistores bipolares 40 a 49 inclusive y los de MOS de control 30 a 39 inclusive pueden fabricarse como se ilustra en las figs. 3 y 4, en las que solo se representan, a título de ejemplo, los transistores de MOS 30 y 31 y los transistores bipolares 40 y 41.

Primero se forma un régimen 70 de tipo N, de gran resistividad, en un substrato 72 de tipo P, de gran resistividad, por un procedimiento de ataque químico selectivo y relleno epitáxico de tipo usual. Por ejemplo, por el procedimiento descrito en la patente de EE.UU. nº. 3.370.995

371158

371958



concedida el 27 de febrero de 1968. El substrato se some-  
 te luego a una difusión usual de tipo P hasta formar to-  
 dos los dispositivos de MOS, y a una difusión usual de ti-  
 po N para formar todos los dispositivos bipolares. Por  
 5 ejemplo, unas regiones 74 y 76 difundidas de tipo P, fuer-  
 temente impurificadas constituyen las fuentes de los trán-  
 sistores 30 y 31; y una sola difusión 78 de tipo P consti-  
 tuye el drenaje común para los transistores 30 a 39 inclu-  
 sive. Unas difusiones 80 y 82 de tipo N forman las regio-  
 10 nes de emisor de los transistores bipolares 40 y 41, y un-  
 as regiones difundidas 84 y 86 de tipo N forman las regio-  
 nes de colector. Al mismo tiempo pueden difundirse unos  
 anillos de guarda 88 y 90 de tipo N.

A continuación se desarrollan unas capas de óxi-  
 15 do sobre la superficie del substrato, capas que reciben  
 un diseño de distribución de manera usual dejando una ca-  
 pa de óxido 91 dotada de delgadas áreas 92 y 94 que forman  
 las regiones de barrera de control para los transistores  
 30 y 31 de MOS, como se indica por medio de la silueta de  
 20 trazo interrumpido sencillo. La capa de óxido se elimina  
 por completo en las áreas 96 y 98 delimitadas por líneas  
 de doble trazo interrumpido, para permitir el contacto con  
 las regiones difundidas 74 y 76. El óxido también se adel-  
 gaza en las áreas 100 y 102, en torno a las difusiones de  
 25 emisor 80 y 82 de los transistores bipolares, y se quita  
 por completo en las áreas 104 y 106 para permitir el contac-  
 to con las regiones de emisor, y en las áreas 108 y 110  
 para permitir el contacto con las regiones de colector, de  
 los transistores bipolares. Además, se quita el óxido en  
 30 las áreas 112 a 115 inclusive, sobre las difusiones 88 y 90

5.10.69

**371158**

**371958**



de los anillos de guarda.

5 A continuación se deposita una película metálica encima del sustrato, y se delinea o distribuye de modo que queden unas tiras metálicas 116 y 118 que forman las barreras de control de los transistores MOS 30 y 31, y que van conectadas a las salidas lógicas 0 y 1 del descodificador 12. Unas tiras metalizadas 120 y 122 interconectan los emisores de los transistores 40 y 41 y las difusiones de fuente 74 y 76 de los transistores 30 y 31, respectivamente.

10 Unas películas metalizadas 124 y 126 constituyen los contactos de colector para los transistores 40 y 41, y dan los contactos de salida para la conexión al tubo de presentación numérica 60. Otras tiras metalizadas 128 y 131 inclusive toman contacto con las difusiones de anillo de guarda

15 88 y 90. Sobre las áreas 100 y 102 donde se ha adelgazado el óxido, y en torno al borde del emisor, se extiende un electrodo preventivo de la inversión 134, a los fines que ahora se describirán.

20 La fig. 5 es el circuito equivalente de la combinación del transistor bipolar 40 y el transistor de MOS 30. Como el sustrato 72 de tipo P que constituye la región de base del transistor 40 está ligeramente impurificado, el óxido que se superponga a la región de base entre las regiones de emisor y de colector difundidas inducirá a veces un canal de inversión de superficie de tipo N que formará un camino de fuga entre las regiones de colector y

25 de emisor difundidas. Este camino de fuga es el representado por la resistencia 140 y, en unión del diodo 142 formado por la región 74 difundida de tipo P y la región epitaxial 70 de tipo N proporciona un camino de paso de co-

30

371158

371050



5 rriente que en ciertas circunstancias puede ser suficien-  
te para llegar a producir un indeseable efluviio de fondo  
en los números del dispositivo de presentación que no es-  
tén activados. El electrodo 134 está conectado a una ten-  
sión negativa  $-V_{DD}$  para mayor seguridad de que no se pre-  
senta la capa de inversión de tipo N. Los anillos de guar-  
da 88 y 90 están conectados a masa, o a un potencial nega-  
tivo, por medio de las tiras metalizadas 128 y 130, para  
recoger todo portador de carga que pueda ser inyectado en  
10 el substrato 72 de tipo P y que, de no ser así, podría lle-  
gar a interferir con el funcionamiento de unos u otros  
transistores, bipolares o de MOS, del resto del circuito.

15 Por la precedente descripción de una forma pre-  
ferida de realización del invento, se apreciará que se tra-  
ta de un nuevo circuito excitador mediante el cual es po-  
sible controlar una elevada tensión positiva, utilizando  
una reducida tensión de salida negativa procedente de un  
circuito lógico de MOS. Dentro de los más amplios aspek-  
tos de la invención, el transistor de salida bipolar pue-  
de ser un dispositivo desunido, comprendido en una cápsu-  
20 la separada, o bien puede estar incluido en la misma cáp-  
sula que el circuito lógico de MOS. Los transistores bi-  
polares pueden ser del tipo usual, verticalmente orienta-  
dos, pero el uso de un dispositivo lateral u orientado en  
25 superficie da una elevada tensión de salida y es muy sen-  
cillo de fabricar. Otra importante ventaja es la de que  
el dispositivo excitador puede incorporarse al mismo subs-  
trato monolítico que el circuito lógico de MOS. Se sobre-  
entiende asimismo que, dentro de los más amplios aspectos  
30 de la invención, es posible utilizar cualquier circuito

371158

371958

5.10.69



lógico de MOS deseado para controlar la etapa de salida.  
 La combinación específica de un descodificador binario con un  
 excitador de presentación numérica tiene una particular u-  
 tilidad, especialmente combinada con las posibilidades de  
 5 modulación de ciclo de trabajo.

Aun cuando se ha descrito con detalle una forma  
 preferida de realización del invento, se sobrentiende que  
 pueden hacerse en ella diversos cambios, alteraciones y  
 sustituciones sin por ello salirse del ámbito ni apartarse  
 10 del espíritu de la invención definida por las reivindica-  
 ciones que siguen.

La presente solicitud que corresponde a la pre-  
 sentada en Estados Unidos de América, con fecha 9 de Sep-  
 tiembre de 1.968, bajo el número 758.253, se acoge a los  
 15 beneficios del Artículo 51 del vigente Estatuto sobre Pro-  
 piedad Industrial.

20 REIVINDICACIONES

Los puntos de invención, propia y nueva, que se  
 25 presentan para que sean objeto de esta solicitud de Paten-  
 te de Invención en España, por VEINTE años, son los si-  
 guientes:

1.- Una disposición de circuito monolítico que  
 comprende: un substrato semiconductor de un primer tipo  
 30 de conductividad; una primera región del otro tipo de con-

37 1 158

37 1 058



80

ductividad, formada en una parte del sustrato; por lo me-  
nos un primer dispositivo de efecto de campo formado en  
la primera región por unas regiones difundidas de dicho  
primer tipo de conductividad; por lo menos otro dispositi-  
5 vo formado en el sustrato; y unos medios de circuito que  
interconectan por lo menos dicho primer dispositivo de  
efecto de campo y dicho otro dispositivo, incluyéndolos  
en un circuito común.

2.- Una disposición de circuito monolítico se-  
10 gún la reivindicación 1, en la que dicho otro dispositivo  
es un transistor bipolar.

3.- Una disposición de circuito monolítico se-  
gún la reivindicación 1, en la que dicho primer tipo de  
conductividad es el tipo P.

15 4.- Una disposición de circuito monolítico se-  
gún la reivindicación 3, en la que la primera región es  
una región epitáxica de tipo N.

5.- Una disposición de circuito monolítico se-  
gún la reivindicación 1, en la que el dispositivo bipolar  
20 es un transistor constituido por dos regiones difundidas  
contiguas de dicho otro tipo de conductividad, y el dispo-  
sitivo de efecto de campo es un transistor constituido  
por dos regiones difundidas contiguas de dicho primer ti-  
po de conductividad.

25 6.- Una disposición de circuito monolítico se-  
gún la reivindicación 5, en la cual: el colector del tran-  
sistor bipolar puede conectarse a través de la carga a una  
tensión de alimentación de colector, el emisor está conec-  
tado al electrodo de fuente del transistor de efecto de  
30 campo, y la base puede conectarse a masa; y en el cual el

371158

371058



electrodo de drenaje del transistor de efecto de campo pue  
de conectarse a una tensión de alimentación de drenaje, y  
el de barrera puede conectarse a una tensión de control  
de lógica.

5                   7.- Una disposición de circuito monolítico se-  
gún la reivindicación 6, caracterizada además por unos me-  
dios de circuito lógico que constan de una pluralidad de  
dispositivos de efecto de campo formados en dicha primera  
región, habiendo una salida lógica de dichos medios de cir-  
10                   cuito lógico conectada al electrodo de barrera de dicho  
por lo menos un primer transistor de efecto de campo.

                  8.- Una disposición de circuito monolítico se-  
gún la reivindicación 7, en la que los medios de circuito  
lógico son un descodificador de binario en alfanumérico,  
15                   dotado de una pluralidad de salidas lógicas, y en el que  
existe un transistor bipolar y un transistor de efecto de  
campo conectados como se ha dicho para cada una de las sa-  
lidas lógicas.

                  9.- Una disposición de circuito monolítico según  
20                   la reivindicación 8, caracterizada además por unos medios  
de circuito formados en el sustrato para modular en ciclo  
de trabajo la corriente que pasa por el transistor bipolar.

                  10.- Una disposición de circuito excitador para  
hacer funcionar un dispositivo alfanumérico de lectura do-  
25                   tado de una pluralidad de circuitos indicadores por separa-  
do que comprende: un transistor bipolar por cada circuito  
indicador, siendo los colectores de los transistores bipo-  
lares conectables a los respectivos circuitos indicadores  
y siendo comunes las bases; un transistor de MOS que contro-  
30                   le la corriente de emisor de cada transistor bipolar; y un

37 1 158      37 10158



circuito lógico que controle dichos transistores de MOS.

11.- Una disposición de circuito excitador según la reivindicación 10, en la que el circuito lógico es un decodificador de binario a decimal.

5 12.- Una disposición de circuito excitador según la reivindicación 10, en la que los transistores bipolares son unos transistores orientados en superficie, formados por un par de regiones difundidas separadas de un primer tipo de conductividad, en un sustrato del otro tipo de conductividad, o contrario.

10 13.- Una disposición según la reivindicación 10, en la que los transistores y los circuitos lógicos están formados en el mismo sustrato semiconductor monolítico.

15 14.- Una disposición de circuito para excitar una carga, que incluye la combinación de un transistor bipolar dotado de una región de base de un primer tipo de conductividad y un transistor de efecto de campo formado por un par de regiones difundidas de dicho primer tipo de conductividad, siendo el colector del transistor bipolar conectable a través de la carga a una tensión de alimentación de colector, estando el emisor del transistor bipolar conectado al electrodo de fuente del transistor de efecto de campo, siendo la base del transistor bipolar conectable a masa, siendo el electrodo de drenaje del transistor de efecto de campo conectable a una tensión de alimentación de drenaje, y siendo el electrodo de barrera del transistor de efecto de campo conectable a una tensión de control lógico.

20 25 30 15.- Una disposición de circuito de excitación según la reivindicación 14, caracterizada además por unos

5.10.69

371158 - 15 -

357719158



medios para modular en ciclos de trabajo la corriente de colector del transistor bipolar.

5 16.- Una disposición de circuito de excitación según la reivindicación 14, en la cual el transistor bipolar es un transistor de tipo PNP, y el transistor de efecto de campo es del tipo de canal P en modo de enriquecimiento.

10 17.- Una disposición de circuito de excitación según la reivindicación 14, en la cual los transistores bipolares y los transistores de efecto de campo están formados por difusiones en un substrato común de semiconductor monolítico.

15 18.- Una disposición de circuito de excitación según la reivindicación 14, en la cual el transistor bipolar está formado por un par de difusiones separadas o distanciadas de un primer tipo de conductividad en una región de semiconductor del otro tipo de conductividad.

20 19.- Una disposición de circuito de excitación según la reivindicación 18, en la que las difusiones separadas son del tipo P y el substrato es del tipo N; y el transistor bipolar está formado por un par de difusiones de tipo P espaciadas en una región de tipo N del substrato de tipo P.

25 20.- Una disposición de circuito monolítico. Tal y como se ha descrito en la Memoria que an-

371158

371058



tecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

La presente Memoria consta de diecisiete hojas escritas a máquina por una sola de sus caras.

Madrid,

8 OCT. 1969

P. A.

Alberto de Elizaburu  
Por Poder.

371158

371958

5.10.69

A.A.B.

- 17 -

371158

371158

371158

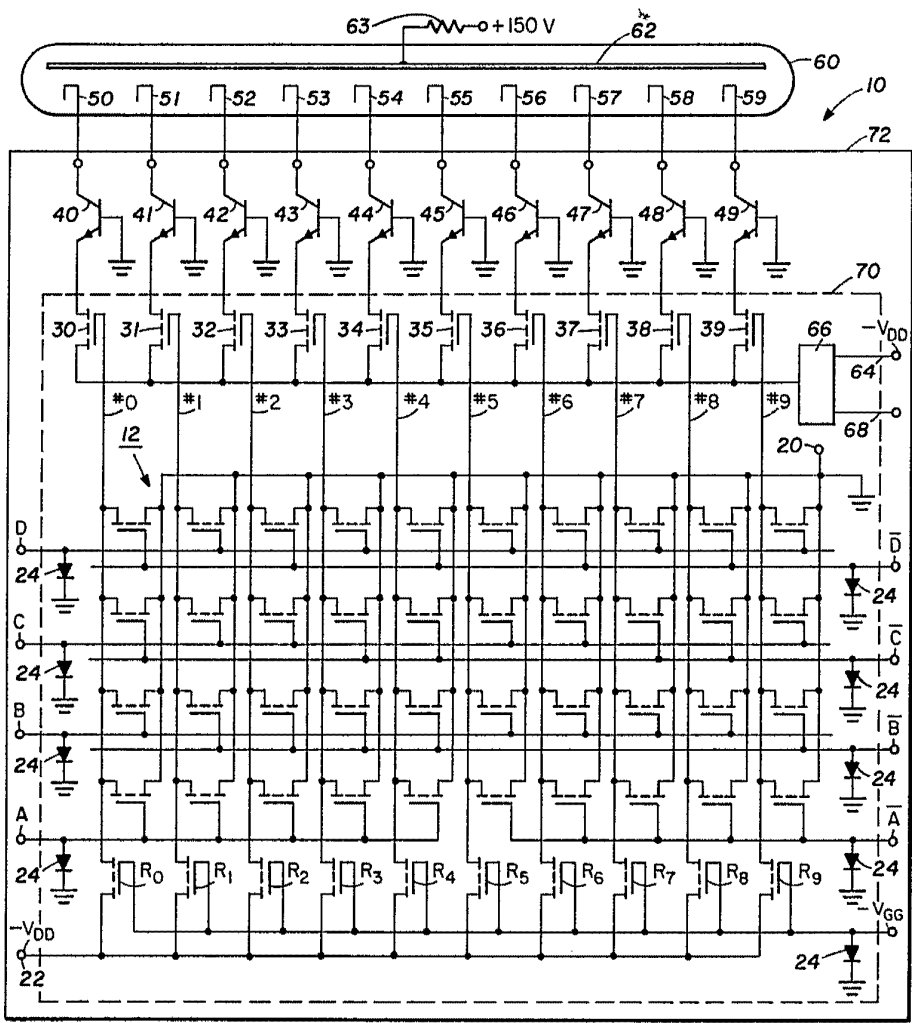


FIG. 1

	0	1	2	3	4	5	6	7	8	9
D	1	0	0	0	1	0	1	0	1	0
C	1	0	0	1	1	0	0	1	1	0
B	0	1	1	1	1	0	0	0	0	1
A	0	0	0	0	0	1	1	1	1	1

FIG. 2

*Handwritten signature or initials.*

371158

371158

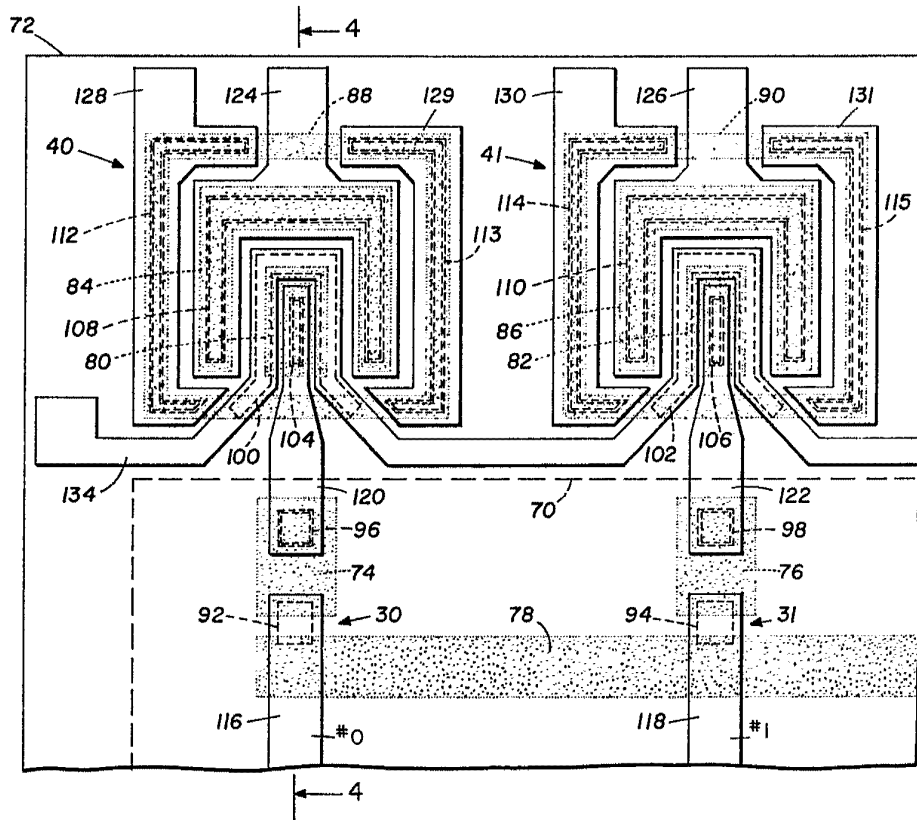


FIG. 3

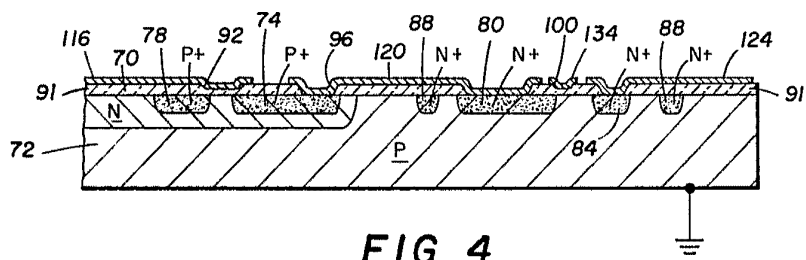


FIG. 4

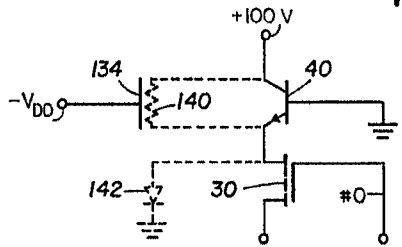


FIG. 5

*Handwritten signature or initials.*