

P.- 42.399

370043

Docket SA  
9.68-042

**Memoria descriptiva**



11 SEP 1968

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UNA DISPOSICION DE CIRCUITO PARA REALIZAR COMPENSA  
CION DE AVANCE DE FASE"

(Clase Internacional H03k)



Esta invención se refiere a un nuevo circuito de compensación de fase y, en particular, a un circuito de corrección de fase, simplificado, mejorado, útil en un oscilador de bloqueo de fase de un sistema de tratamiento de datos.

Existen muchos sistemas que requieren compensación de fase de señales, con el fin de eliminar, o al menos hacer mínima, la oscilación espuria y de asegurar la estabilidad de funcionamiento. A modo de ejemplo, -- los circuitos de compensación de fase son utilizados en servo-sistemas para control de motores, y en circuitos osciladores de bloqueo de fase de sistemas de tratamiento de datos, para obtener la fase correcta. Sin embargo, con los circuitos conocidos actualmente de compensación de avance de fase, la señal que está siendo tratada experimenta una pérdida de ganancia de C.C., con lo cual -- se necesita un costoso y complejo amplificador de C.C. en la salida del circuito.

Aunque el circuito de compensación de fase de esta invención será descrito aquí con relación a su uso en un oscilador de bloqueo de fase, se comprenderá que el nuevo circuito de compensación de fase es aplicable a otros tipos de aparatos que requieran compensación de avance de fase.

Un objeto de esta invención es crear un nuevo y mejorado circuito de compensación de fase.

Otro objeto de esta invención es procurar un circuito de compensación de fase que no tenga pérdida -- de C.C., con lo cual se evita la necesidad de un amplificador de C.C.



1 SEP

Otro objeto es crear un circuito de compensación de fase que permita la transferencia de funcionamiento desde un nivel a otro de ganancia, sin distorsión o pérdida de ganancia de C.C.

5 Según esta invención, un circuito de compensación de fase comprende al menos un par de condensadores en serie, shuntados por una resistencia que está acoplada, por un extremo, entre los condensadores, y, por el otro extremo a una unión entre uno de los condensadores y el circuito de salida. Una corriente de entrada, que representa el error de fase, es aplicada a la línea que incluye la unión, y el circuito actúa para suministrar un efecto de promediado para corregir el error de fase.

10 En una forma particular de funcionamiento, un discriminador de fase de un oscilador de fase bloqueada proporciona una señal de error desarrollada comparando la relación de tiempo de la señal de salida de un oscilador de tensión controlada a la de una señal de referencia. Un impulso de corriente es desarrollado en respuesta a la señal de error, que tiene una duración relacionada con la magnitud del error de fase. La duración del impulso de corriente determina el período de carga de la red capacitiva del circuito descrito aquí, y, subsiguientemente, establece el nivel o amplitud de la tensión de control alimentada al oscilador de tensión controlada. La disposición particular de la capacitancia y de la resistencia asegura que no exista pérdida de C.C. en el circuito de compensación de fase.

25 Los anteriores y otros objetos, características y ventajas de la invención se harán patentes de la siguien



te descripción más particular de realizaciones preferidas de la invención, según está ilustrado en los dibujos que se acompañan, en los cuales:

5 La figura 1 es un diagrama esquemático de un circuito de compensación de fase de la técnica anterior, presentado a modo de ejemplo;


La figura 2 es un diagrama esquemático del circuito básico de la invención; y

10 La figura 3 es un diagrama esquemático y de bloques de una porción de un oscilador de bloqueo de fase, tal como es utilizado en un sistema de tratamiento de datos, que incorpora una forma modificada del nuevo circuito de la figura 2.

15 En la figura 1 es ilustrado un circuito de compensación de avance de fase, de la técnica anterior, que incluye un condensador de integración  $C_1$  que recibe una entrada de corriente pulsatoria  $I_{in}$ , representativa de una señal de error de fase. El condensador  $C_1$  es cargado a un valor proporcional a la duración de la señal del impulso de corriente. Una red de compensación 10, que incluye una resistencia  $R_1$  shuntada por el condensador  $C$  y resistencia a tierra  $R_2$ , está conectada entre el condensador de integración  $C_1$  y el circuito de salida, representado por  $E_2$ .

25 La relación de la tensión de salida  $E_2$  a la tensión  $E_1$ , vista en una placa del condensador de integración  $C_1$ , es

30

$$(1) \frac{E_2(s)}{E_1(s)} = \frac{R_2}{R_1 + R_2} \left[ \frac{s R_1 C + 1}{s \frac{R_1 R_2 C}{R_1 + R_2} + 1} \right] \quad 1 S$$


5 en la que  $s$  es la variable compleja de la Transformación de Laplace.

$$(2) E_1 = \frac{I \Delta t}{C_1}, \text{ o } E_1(s) = \frac{I(s)}{s C_1}$$

10 en las que  $I$  es la corriente de entrada, y  $\Delta t$  es la duración del impulso de corriente.

$$(3) E_2(s) = \frac{R_2}{R_1 + R_2} \left[ \frac{I(s) (s R_1 C + 1)}{s C_1 \left( \frac{s R_1 R_2 C}{R_1 + R_2} + 1 \right)} \right]$$

15 Es sabido que el término  $\frac{R_2}{R_1 + R_2}$ , que es menor que la unidad, origina una pérdida de la ganancia de C.C. Para evitar tal pérdida innecesaria el circuito de compensación de avance de fase de esta invención está construido de manera que su término resistivo es eliminado.

20 El circuito de la invención está ilustrado en la figura 2, en la que la impedancia es

$$(4) Z(s) = \frac{sR(C_1 + C) + 1}{sC_1(sCR + 1)}$$

$$(5) E_1(s) = \frac{I(s) [sR(C_1 + C) + 1]}{sC_1 (sCR + 1)}$$

30 El término  $\frac{R_2}{R_1 + R_2}$ , que produce la -



pérdida de ganancia de C.C. en el circuito de la técnica anterior, no está presente en esta disposición de circuito. Después de que se haya alcanzado un estado estacionario no hay nada de tensión, vista a través de R, y -  
5 solamente la tensión a través de  $C_1$  es vista en la salida  $E_2$ , como una tensión de circuito abierto, sin carga.

El nuevo circuito de la figura 2 encuentra -  
utilidad en un oscilador de bloqueo de fase, parcialmente  
mostrado en la figura 3, que coopera con un aparato -  
10 de archivo de discos. En funcionamiento, el oscilador -  
recibe una señal de una unidad de control de archivo 12,  
siempre que el conjunto de cabeza magnética haya sido --  
transportado de una pista a otra de un disco magnético.  
La señal de "Cambiar Pista" o "Cambiar Cilindro" repone  
15 un cerrojo 14, constituido por un par de puertas 16 y -  
18. En tal estado, el sistema está en un modo de elevada  
ganancia o de rápido bloqueo, y la señal de error procedente  
de un discriminador de fase 20 pasará a través de  
la puerta 22 o la 24, designadas puertas de incremento -  
20 elevado de frecuencia (FI) y de disminución elevada de -  
frecuencia (FD), respectivamente. Aproximadamente 25 microsegundos  
después de ser recibida la señal de "Cambiar Pista" de la  
unidad de control 12, es originada una señal de "Activar Puerta"  
25 por la unidad de control, para -  
ajustar el cerrojo 14. El sistema comienza entonces un -  
modo de ganancia baja o seguimiento, durante el cual una  
señal de incremento bajo de frecuencia (FI) o de disminución  
baja de frecuencia (FD) pasará a través de la --  
puerta 28 ó 30, respectivamente. Otra señal de "Cambiar  
30 Pista" repone el cerrojo 14, y el sistema entra de nuevo



en el modo de ganancia elevada.

5 La salida del discriminador de fase 20 determina si los canales de FI ó FD están excitados, de --  
acuerdo con la polaridad o dirección de la señal de --  
error producida por el discriminador. Las entradas al  
discriminador 20 son un manantial de señal de regula--  
10 ción en tiempo de referencia 25, que puede ser obtenida de una rueda dentada unida a los árboles de accionamiento de los discos, por ejemplo, y de la señal de salida procedente de un oscilador de tensión controlada (OCV) 26 reducida en un contador 27 a la frecuencia de la señal de referencia. Si la frecuencia de la señal reducida del OCV 26 es mayor que la de la señal de referencia, entonces la señal de error procedente del discriminador  
15 de fase 20 actúa para disminuir la frecuencia de salida del OCV; e, inversamente, si la frecuencia de la señal de salida del OCV es menor que la de la señal de regulación en tiempo de referencia, el oscilador bloqueado en fase de circuito cerrado incrementará la frecuencia del OCV:  
20

Durante el modo de ganancia elevada, en el -  
caso de que sea pasada una señal de incremento de frecuencia a través de la puerta 22, entonces un interruptor de corriente 32, en el canal FI de ganancia elevada,  
25 es activado. Como consecuencia, el transistor NPN 34, - que conduce normalmente, es despolarizado, permitiendo - a la corriente fluir a través de la resistencia 36 y -- diodo 38 hasta una unión J1 entre los condensadores en serie 40 y 42. Un condensador 44, en serie con condensadores 40 y 42, que forman un circuito integrador, es  
30



1950

cargado hasta un valor dependiente de la duración del impulso hecho pasar a través del interruptor de corriente 32, en respuesta a la señal de error desarrollada por el discriminador de fase 20. El voltaje a través del condensador 44, que en funcionamiento es el voltaje de control, es aplicado a través de resistencias en serie 46 y 48 al OCV 26.

De manera similar, durante el modo de seguimiento o ganancia baja, si la polaridad de la señal de error procedente del discriminador 20 requiere un incremento de frecuencia del OCV 26, y el nivel de la tensión de control ha de ser elevado, entonces el canal de bajo FI, que incluye la puerta 28, es activado, de manera que el interruptor de corriente 50 es activado y el transistor 52 es desactivado. La corriente fluye desde un manantial de tensión positiva a través de la resistencia 54 y diodo 56 a la red de compensación e integración, a través de la unión J2, para cargar el condensador 44, con lo cual se establece el nivel adecuado de tensión de control para la aplicación al OCV 26.

La disminución de frecuencia y reducción de tensión de control son realizadas en cualquiera de los canales separados que incluyen puertas 24 y 30. En el estado de ganancia elevada, antes del bloqueo, la puerta de FD elevada 24 actúa el interruptor de corriente 58, que desconecta el transistor NPN 60, normalmente conductor. Cuando el transistor 60 está desconectado, la corriente fluye al transistor 62, que es polarizado y que toma corriente de la unión J1 de la red de inte-



gración y compensación. En el estado de ganancia baja,<sup>1 SE</sup> ocurre una acción de frecuencia de disminución cuando - la puerta FD baja 30 es abierta para excitar el interruptor de corriente 64 que controla los transistores - 66 y 68, que sirven para impulsar corriente desde la - unión J2 de la red de integración y compensación. La señal que es tratada por la red de integración y compensación, es aplicada al OCV 26 sin pérdida de ganancia de C.C., en contraste con los circuitos conocidos de la técnica anterior de este tipo, que experimentan tal pérdida y requieren amplificadores de C.C. para compensación. La salida del OCV es aplicada al circuito de lectura/escritura del archivo de discos, para control de fase y regulación en tiempo.

Deberá notarse que, puesto que los valores de corriente precisados para los modos de ganancia elevada y ganancia baja, son diferentes, las resistencias en los respectivos canales son de valores diferentes. También, la relación de los condensadores 40 y 42 al condensador de integración 44 determina el nivel de compensación - con relación a la tensión de control. Además, la red modificada de compensación e integración, utilizada en la figura 3 obtiene una transferencia sin choques, es decir, no ocurre un cambio en el nivel de C.C. cuando se pasa del estado de ganancia elevada al estado de ganancia baja.

Aunque la invención ha sido particularmente - mostrada y descrita con referencia a las realizaciones preferidas de la misma, se comprenderá por aquellos impuestos en la técnica que pueden ser hechos en ella los



procedentes y otros cambios de forma y detalles sin --  
apartarse del espíritu y alcance de la invención.

La presente solicitud que corresponde a la -  
presentada en Estados Unidos de América, con fecha 23 -  
de Agosto de 1.968, bajo el número 754.883, se acoge a  
los beneficios del Artículo 51 del vigente Estatuto so-  
bre Propiedad Industrial.

- REIVINDICACIONES -

Los puntos de invención, propia y nueva, que -  
se presentan para que sean objeto de esta solicitud de -  
Patente de Invención en España por VEINTE años, son los  
siguientes:

1.- Una disposición de circuito para realizar  
compensación de avance de fase sin pérdida de ganancia  
de corriente continua, que comprende: primero y segundo  
condensadores conectados en serie, teniendo dicho primer  
condensador una placa conectada a un manantial de poten-  
cial de referencia, y la otra placa acoplada a una placa  
del segundo condensador, a través de una unión; una lí-  
nea de conducción de señal, conectada a la segunda placa  
de dicho segundo condensador y entre los circuitos de -  
entrada y salida; y medios de resistencia conectados, por



1 SE

un extremo, a dicha unión, y, por el otro extremo, a dicha línea de señal, entre los circuitos de entrada y salida.

5

2.- Una disposición según la reivindicación 1, que incluye medios para cargar dicho primer condensador hasta un valor proporcional a la duración de una entrada de impulso de corriente.

10

3.- Una disposición según la reivindicación 2, en la cual dicha entrada de impulso de corriente es representativa de un error de fase.

4.- Una disposición según la reivindicación 2, en la que el circuito de compensación de fase desarrolla un voltaje de control para corregir el error de fase.

15

5.- Una disposición según la reivindicación 1, en la cual dicho circuito de compensación de fase incluye medios adicionales para responder a impulsos de corriente de nivel elevado y a impulsos de corriente de nivel bajo, para diferentes modos de funcionamiento.

20

6.- Una disposición para realizar compensación de avance de fase sin pérdida de ganancia de corriente continua, que comprende: un primer condensador; un segundo condensador en serie con dicho primer condensador; teniendo dicho segundo condensador una placa acoplada a un manantial de potencial de referencia y teniendo su otra placa acoplada a una primera placa del primer condensador; una resistencia conectada, por un extremo, a una unión entre dicha otra placa del segundo condensador y dicha primera placa del primer condensador, y conectada, por su otro extremo, a la segunda placa del -

25

30

27-8-69



5 primer condensador; medios para aplicar una señal de -  
entrada a través de dicha segunda placa del citado pri-  
mer condensador y dicho otro extremo de la resistencia;  
y medios de circuito de salida para utilizar la señal  
de fase compensada, acoplados a una línea común que co-  
necta dicho otro extremo de la resistencia y dicha se-  
gunda placa del citado primer transistor.

10 7.- Una disposición según la reivindicación 6,  
que incluye un tercer condensador conectado entre dicha  
línea común y dicho primer condensador, en serie con -  
los condensadores primero y segundo; y una segunda re-  
sistencia conectada entre la línea común y dicha resis-  
tencia en serie con la citada resistencia.

15 8.- Una disposición según la reivindicación -  
7, en la cual los impulsos de corriente de nivel eleva-  
do son aplicados entre dicho segundo condensador y una  
placa del citado tercer condensador, para funcionamien-  
to de ganancia elevada y los impulsos de corriente de -  
nivel bajo son aplicados a dicha línea común y a la otra  
20 placa del citado tercer condensador, para funcionamiento  
de ganancia baja.

9.- Una disposición de circuito para realizar  
compensación de avance de fase.

25 Tal y como se ha descrito en la Memoria que  
antecede, representado en el dibujo que se acompaña y -  
para los fines que se han especificado.



Esta Memoria consta de trece hojas escritas  
a máquina por una sola de sus caras.

Madrid, 1969

P.A.

Alberto Lozano  
Por Poder

27-8-69/RTA.-

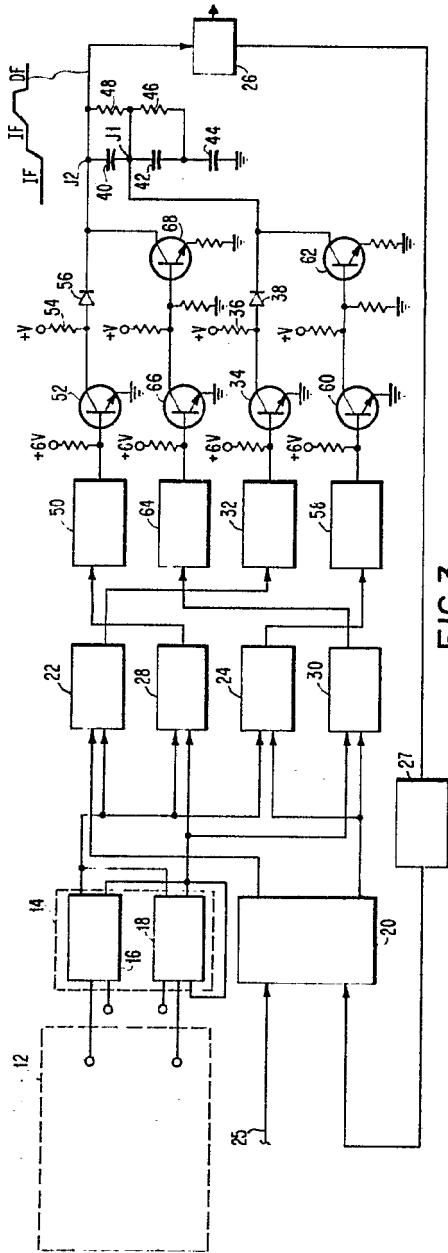


FIG. 3

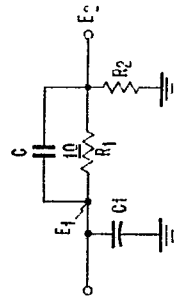


FIG. 1

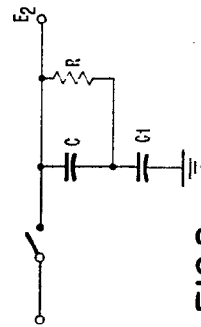


FIG. 2

*Arln*

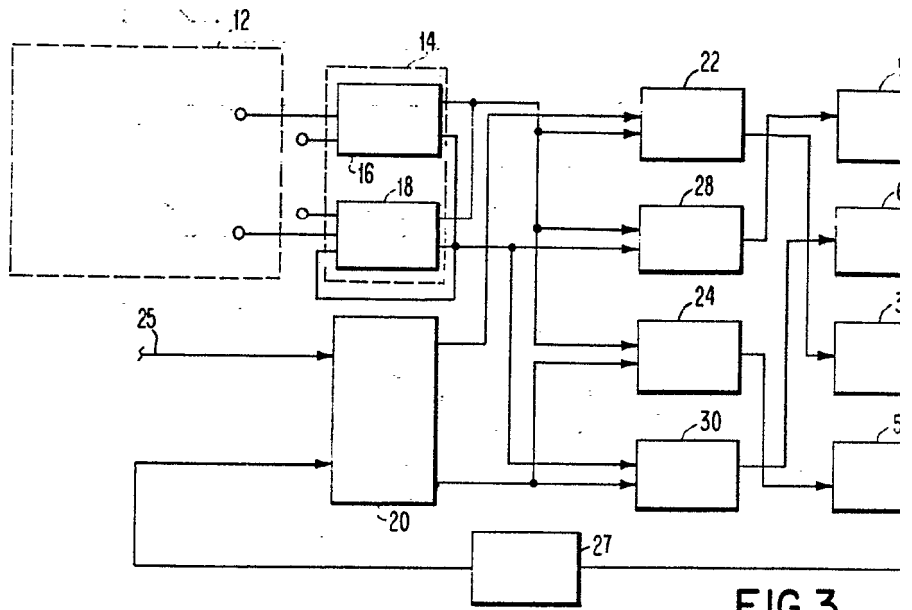


FIG. 3

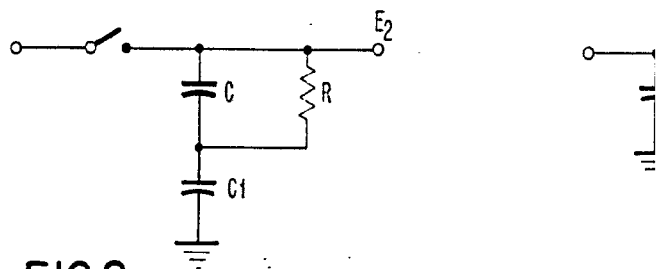


FIG. 2

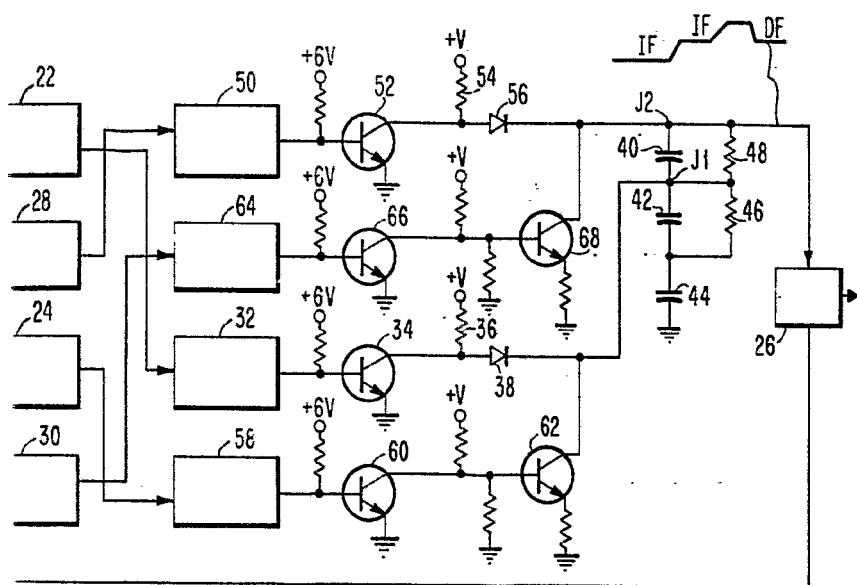


FIG. 3

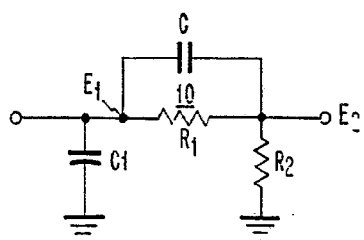


FIG. 1

*Handwritten signature or initials.*