

369316

P.- 42.002

Docket IIE

9-68-010

5 SEP. 1969

Memoria descriptiva

SECCION TECNICA
CLASIFICACION I. P. C.
CLASE <u>G06</u>
SUBCLASE <u>F</u>



para solicitar **PATENTE DE INVENCION**

por 20 años

a nombre de **INTERNATIONAL BUSINESS MACHINES CORPORATION**

entidad / de nacionalidad norteamericana

con domicilio en **Armonk, N.Y., Estados Unidos de América.**

por: **UN DISPOSITIVO DE DETECCION DE DATOS Y SEPARACION DE RUIDO PARA DETECTAR INFORMACION BINARIA. (Clase Internacional G06f).**

2.9.69



La invención se refiere a sistemas autosincronizados para la detección de datos binarios, y más en particular, a un método y a medios para separar con exactitud bitios de datos de autosincronización de señales de ruido aparecidas entre bloques de información.

Son bien conocidos los dispositivos de la técnica anterior para reproducir información binaria magnéticamente registrada a medida que el medio magnético con la información registrada sobre él pasa por una cabeza captadora. Se han desarrollado diversas técnicas para representar y registrar magnéticamente la información binaria. Con las mayores velocidades de tratamiento de datos y con la necesidad resultante de registro magnético de mayor densidad, se están haciendo cada vez más populares dos de tales técnicas, a saber, la modulación de fase y la modulación de frecuencia, debido a sus más amplias tolerancias de regulación de tiempo y a su confiabilidad en el rechazo de ruido. En un sistema de detección de datos binarios que utilice técnicas de modulación de fase, cada célula de bitios binarios experimenta un cambio en la polaridad del flujo en un punto predeterminado (usualmente el centro o el borde delantero) de la célula de bitos. La dirección del cambio de polaridad representa la información binaria. Por ejemplo, un "1" binario estaría representado por un cambio desde una magnetización negativa a una magnetización positiva en el lugar predeterminado y un "0" binario estaría representado por un cambio de magnetización desde una magnetización positiva a una magnetización negativa. Esta técnica se muestra en la patente norteamericana Núm. 2.734.186 de F.C. Williams, titulada



"Sistemas de memoria magnética" y expedida el 7 de febrero de 1.956.

5 La segunda técnica de registro, estrechamente relacionada con la técnica de modulación de fase, se denomina "modulación de frecuencia". La modulación de frecuencia es similar a la modulación de fase porque tiene lugar siempre a intervalos periódicos una inversión de la polaridad del flujo magnético. La distinción entre las dos técnicas es la manera en que la formación binaria es obligada a controlar el tiempo en que tienen lugar las inversiones del flujo. Un "1" binario, por ejemplo sería registrado haciendo que dos inversiones de flujo adyacentes tengan un primer periodo predeterminado. Un "0" binario estaría representado por inversiones de flujo adyacentes con un segundo periodo predeterminado la mitad de largo que el primer periodo. Un sistema de detección tiene que ser capaz de distinguir entre inversiones de flujo adyacentes del primer periodo predeterminado o inversiones de flujo adyacentes del segundo periodo predeterminado.

20 Una característica deseable de las técnicas de modulación de fase y de modulación de frecuencia es que pueda conseguirse la autosincronización de la información binaria. Como cada célula de bitios binarios tiene un cambio periódico de estado, el cambio será detectado a la misma frecuencia que la información binaria originalmente registrada. Es decir, se derivan señales de reloj de cada célula de bitios binarios, que se utilizan para mostrar la siguiente célula de bitios binarios y así sucesivamente. Con semejante sistema de autosincronización, es extremadamente importante que las señales de reloj ocurran periódicamente

5 SEP



dentro de un estrecho margen de tolerancia, ya que de otro modo se pierde la información de autosincronización. A densidades de registro muy altas, son críticas las tolerancias mecánicas de modo que las variaciones en la velocidad del medio de registro con relación a la cabeza reproductora pueden provocar un rápido desplazamiento en el tiempo de las señales eléctricas reproducidas de tal manera que se pierde la información de autosincronización. Además, al registrar con alta densidad, la separación entre el transductor reproductor y el medio de registro se hace crítica. Las irregularidades del medio de registro o la materia acumulada sobre el transductor pueden provocar una excesiva separación entre el medio y la cabeza de tal manera que ocurre otra vez un rápido desplazamiento en el tiempo de la señal eléctrica reproducida. Esto es especialmente cierto con técnicas de modulación de fase en que ciertas secuencias binarias producen cambios de flujo a una frecuencia superior a la de otras frecuencias binarias, dando por resultado desplazamientos en el tiempo bien conocidos.

Con objeto de vencer los problemas creados por el desplazamiento en el tiempo de la señal eléctrica reproducida, la técnica anterior ha reconocido que las crestas de la señal releída no se desplazan en la medida del resto de la señal. Por tanto, se detectan las crestas de la señal releída para suministrar la información de datos y de sincronización. Usualmente, esto se hace diferenciando primero la señal releída para producir un tren de señales cuya amplitud en cada punto es proporcional a la velocidad de cambio de amplitud de la señal releída original. Las crestas de la señal releída corresponden entonces al cruce por



cero de la señal releída diferenciada y la información de autosincronización se deriva de cada cruce por cero, el cual puede detectarse fácilmente. Sin embargo, tales sistemas de detección son muy susceptibles de detectar ruido existente entre bloques de información en calidad de datos, ya que la señal de ruido contienen cruces por cero que pueden ocurrir a la frecuencia de los datos. Así, en calculadoras de gran escala en que se registran bloques grandes de información, cada bloque de información va precedido por una secuencia predeterminada de bitios binarios, cuya secuencia se verifica para asegurarse de que se están leyendo datos y no ruido. Estos bitios de datos se utilizan también para sincronizar el autorreloj y asegurar su relación de fase apropiada con el bloque de información que llega. Aunque este enfoque es adecuado para dispositivos de gran escala, es inadecuado cuando han de registrarse sólo cortos bloques de información, por ejemplo, caracteres individuales de datos, ya que las necesidades de espacio prohíben el registro de largos trenes de bitios de sincronización antes del registro de cada carácter.

El enfoque de la técnica anterior a la percepción de cortos bloques de información, tales como caracteres, ha sido detectar la señal releída diferenciada, una vez ésta alcanza un predeterminado valor umbral mínimo. El valor umbral se escoge para que sea mayor que el valor de ruido esperado. Aunque este método ha demostrado ser adecuado cuando se utilizan pistas de regulación de tiempo en unión de la percepción de datos, es inadecuado para la información del tipo autosincronizado, debido a que el instante en que la señal alcanza el valor predeterminado, varía con la in-

5 SEP



formación registrada y con la separación entre el transductor y el medio magnético de registro, haciendo así bastante inestable al autorreloj.

5 Con objeto de vencer los problemas e inconvenientes indicados de la técnica anterior y crear un sistema autosincronizado de detección de datos binarios para detectar cortos bloques de información, al paso que mantiene todavía un alto grado de rechazo de ruido, el sistema de detección de datos de la presente invención está provisto de un esquema único de detección de valor umbral múltiple en el que
10 Los cruces por cero de la señal releída diferenciada se utilizan para proporcionar información de autosincronización y en el que se establece un segundo valor umbral para el rechazo del ruido. Como cada bloque de datos va precedido por
15 dos inversiones de flujo de dirección y frecuencia conocidas, el sistema de detección de valor umbral múltiple puede utilizarse fácilmente para rechazar las señales de ruido que aparecen entre bloques de información.

20 Las precedentes y otras características y ventajas de la invención resultarán evidentes por la descripción más pormenorizada de la realización preferida de la invención ilustrada en los dibujos que se acompañan.

En los dibujos:

25 La figura 1 es un diagrama esquemático de bloques del sistema de detección de datos binarios de la presente invención.

La figura 2 es un diagrama de tiempos de las señales de salida de diversos bloques lógicos de la figura 1 con respecto a un caracter de datos típico.

30 Haciendo ahora referencia a la figura 1, se ilus-



5 tra un diagrama de bloques lógicos del sistema autosincro-
nizado para la detección de datos binarios de la presente
invención. Los bloques lógicos responden a las señales ge-
neradas a medida que el medio magnético 11, que contiene in-
formación binaria en forma de inversiones de flujo, se
mueve con relación al transductor magnético 13. El voltaje
generado a través del devanado 15 del transductor a medida
que los datos binarios pasan por el transductor, es alimen-
tado a los terminales de entrada de un circuito diferen-
10 ciador y amplificador diferencial 17. Este circuito amplifi-
fica diferencialmente la señal releída alimentada por el
transductor 13 y la diferencia. Así, el circuito diferen-
ciador y amplificador diferencial 17 suministra una señal
de salida, que es la señal releída diferenciada, a los cir-
15 cuitos de detección de valor 19 a 22.

Los circuitos de detección de valor 19 y 20 es-
tán ajustados para dar señales de salida siempre que la
señal de entrada sea, respectivamente, ligeramente positi-
va o ligeramente negativa, y se denominan en lo que sigue
20 "circuitos de detección de valor bajo". Estos circuitos de
detección de valor proporcionan así una señal de salida que
corresponde estrechamente a los puntos de cruce por cero
de la señal releída diferenciada. Se proporciona la señal
de salida sólo mientras la señal releída diferenciada esté
25 en o por encima de su valor umbral. Los circuitos de detec-
ción de valor 21 y 22 proporcionan una señal de salida
siempre que la señal releída diferenciada alcance un segun-
do valor umbral, siendo cada uno de estos valores mayor que
el valor umbral de sus correspondientes circuitos de detec-
30 ción de valor bajo 19 y 20, respectivamente. Estos circuitos

2.9.69

5 SEP. 1969



de detección de valor se denominan en lo que sigue "circuitos de detección de valor alto". Una vez que la señal releída diferenciada alcanza el valor umbral de los circuitos de detección de valor alto 21 ó 22, hace que el circuito de detección de valor alto proporcione una señal de salida que es activada y que permanece activada hasta que se desconecta su correspondiente circuito de detección de valor bajo. Resumiendo, el circuito diferenciador y amplificador diferencial 17 proporciona una señal de salida a los circuitos de detección de valor 19-22. El circuito de detección de valor 19 se conecta siempre que la señal releída diferenciada sea de sentido positivo y alcance un primer valor umbral mínimo. El circuito de detección de valor 19 continúa dando una señal de salida mientras el valor de la señal releída diferenciada sea mayor que su valor umbral. El circuito de detección de valor 21 proporciona una señal de salida cuando el valor de la señal releída diferenciada alcanza un segundo valor umbral positivo mayor que el valor umbral detectado por el circuito de detección de valor 19. El circuito de detección de valor 21 continúa dando una señal de salida, incluso aunque el valor de la señal releída diferenciada pueda ir por debajo de su valor umbral, hasta que es repuesto cuando la señal releída diferenciada va por debajo del valor umbral detectado por el circuito de detección de valor 19. Los circuitos de detección de valor 20 y 22 operan de una manera similar cuando la señal releída diferenciada es de sentido negativo.

Como las señales de salida de los circuitos de detección de valor bajo 19 y 20 corresponden estrechamente a los puntos de cruce por cero de la señal releída dife-



renciada, estas señales de salida se utilizan para generar la información de autosincronización para una técnica de registro de datos codificados en frecuencia o codificados en fase. Así, las señales de salida de los circuitos de detección de valor 19 y 20 son alimentadas a un circuito monoestable 25 y desde aquí a un circuito de reloj 27. La señal de salida suministrada por el circuito monoestable 25 coincide con el borde delantero de las señales de salida de los circuitos de detección de valor bajo y, por tanto, con cada cruce por cero de la señal releída diferenciada. La señal de salida del circuito de reloj 21 puede ser utilizada después como señal de sincronización para un sistema de detección codificado en fase, como se describe en la solicitud norteamericana No. 697.717 de Cecil Wayne Cox y colaboradores, para autosincronizar la información o por un sistema apropiado de detección codificado en frecuencia. Este sistema se denota por el circuito 28 de detección de datos.

Como se ha descrito hasta ahora, es deseable separar las señales de ruido de bajo valor, que aparecen entre bloques de información, de los datos contenidos en los bloques de información. Como las señales de ruido de bajo valor activarían sólo los detectores de valor bajo 19 y 20, la ausencia de la activación de los circuitos detectores de valor alto 21 y 22 se utiliza para indicar la presencia de ruido y la ausencia de datos. Por tanto, cuando está presente una señal de datos, un circuito de detección de nivel bajo y su correspondiente circuito de detección de nivel alto proporcionarán una señal de salida. Por consiguiente, los circuitos de coincidencia 29 y 31 responden,

5 SEP 69



a los circuitos de detección de valor 19 y 21 y 20 y 22 para dar una señal de salida siempre que haya coincidencia entre las señales de salida de un circuito de detección de valor bajo y su correspondiente circuito de detección de valor alto. Las señales de salida de los circuitos de coincidencia 29 y 31 son lógicamente invertidas, respectivamente, por los circuitos inversores 33 y 35, cada uno de los cuales proporciona una señal de salida indicativa de la no coincidencia de las señales que aparecen en las salidas de sus correspondientes circuitos detectores de valor bajo y de valor alto.

Las señales de salida de los circuitos inversores 33 y 35 son alimentadas al circuito disyuntivo 37 que proporciona una señal de salida que indica que hay no coincidencia entre las señales de salida de un circuito de detección de valor bajo y su correspondiente circuito de detección de valor alto. Como es evidente, siempre que haya no coincidencia entre el detector de valor bajo y su correspondiente detector de valor alto, ello indica que el detector de valor bajo ha detectado una señal, mientras que el detector de valor alto ha dejado de detectar una señal, ya que una señal, sea representativa de ruido o de datos, tiene que pasar primero por el valor umbral bajo antes de pasar por el valor umbral alto. Asimismo, el detector de valor alto detecta la señal en un instante posterior al del detector de valor bajo. Así, es necesario muestrear la señal de salida del circuito disyuntivo 37 en un instante desplazado del instante en que el circuito detector de valor bajo proporciona una señal de salida. Por tanto, la señal de salida del circuito monoestable 25 representativa de la de-



tección por el circuito de detección de valor bajo 19 ó por el circuito de detección de valor bajo 20 es retrasada por el dispositivo de retardo 39 y suministrada luego al monoestable 41. El monoestable 41 proporciona una señal de salida de corta duración para muestrear la señal de salida del circuito disyuntivo 37 en un instante posterior al instante en que el circuito detector de valor bajo proporciona la señal de salida. Si hay no coincidencia entre el detector de valor bajo y su correspondiente detector de valor alto en el instante en que el monoestable 41 proporciona una señal de salida, se activa el circuito de coincidencia 42, dando una señal indicativa de error de ruido. La señal de error de ruido puede ser utilizada para reponer el circuito de detección de datos 28, indicando así que no había datos presentes y que el circuito de detección de valor bajo fué disparado por el ruido o que el perfil de onda de datos percibido no correspondía a un patrón mínimo que asegure la apropiada auto-sincronización de la información. Como el circuito de detección de valor alto está activado en su condición de conexión, la señal de error de ruido proporcionada por el circuito de coincidencia 42 indica que el valor de la señal nunca alcanzó el valor umbral del circuito de detección de valor alto durante el intervalo de tiempo definido por el dispositivo de retardo 39.

Haciendo ahora referencia a la figura 2, y más particularmente a su perfil de onda (a), se ilustra un perfil de onda representativo de una parte de un carácter típico de información a medida que es registrado sobre un medio magnético. Este perfil de onda es representativo de un carácter codificado de acuerdo con la bien conocida téc-



5 nica de codificación en fase en la que se representa la
información binaria por un cambio de un estado binario a
otro, definiéndose arbitrariamente la información de "1"
binario como un cambio de sentido positivo, en tanto que
la información de "0" binario se define arbitrariamente
como un cambio de sentido negativo. Al registrar sobre un
medio magnético, estos cambios tienen la forma de cambios
de flujo; es decir, el medio magnético se satura primero
en un sentido y luego en otro, detectándose el límite en-
10 tre dos de tales áreas para representar el contenido de in-
formación.

Como puede verse, ciertos cambios de flujo, que
se denotan por flechas, por ejemplo, las flechas 51 y 52,
ocurren a intervalos de tiempo constantes, produciendo así,
15 al ser apropiadamente detectados, un tren de impulsos de re-
loj que pueden utilizarse para detectar el contenido de
información de las subsiguientes inversiones de flujo que
se produzcan. Estas inversiones de flujo denotadas por fle-
chas se denominarán en lo que sigue "inversiones de flujo
de datos".
20

Quando dos bitios de datos adyacentes tienen el
mismo valor binario, es necesario invertir el flujo en un
punto intermedio a dos inversiones de flujo de datos adya-
centes, que representan los dos bitios adyacentes. Un ejem-
25 plo de tales inversiones de flujo correctoras se ilustra
en 53 y 54. Es necesario que estas inversiones de flujo cor-
rectoras no sean reconocidas como información de datos o de
sincronización.

Cada carácter así registrado sobre el medio mag-
30 nético consta de un número predeterminado de inversiones de



5

10

15

20

25

30

flujo de datos y un número de inversiones de flujo correctoras dependiente de la secuencia y sentido de las inversiones de flujo de datos. En el sistema descrito en la solicitud norteamericana número 697.717 de Cecil Wayne Cox y colaboradores, cada carácter consta de nueve inversiones de flujo de datos, conteniendo siete de ellas información sobre la identidad del carácter y conteniendo dos información de comienzo y de paridad. Cada carácter de datos se registra con un máximo de unos 23 cambios de flujo por centímetro y el medio se mueve con relación al transductor a una velocidad de 87,5 centímetros por segundo, dando así una frecuencia de inversiones de flujo de 9,64 KHZ para el componente de alta frecuencia de perfil de onda. Además, cada carácter está separado del carácter precedente y del subsiguiente por un intervalo entre caracteres. El registro de tal secuencia de caracteres se describe en la solicitud norteamericana número 697.735 de Douglas E. Clancy y colaboradores. Como se ilustra por la señal de ruido 49, entre los caracteres existen rayas y discontinuidades que hacen que varíe el flujo del medio entre caracteres.

Haciendo ahora referencia al perfil de onda (b), se ilustra la señal releída. Esta señal representa el voltaje inducido en el devanado 15 del transductor magnético 13 de la figura 1 a medida que los cambios de flujo ilustrados en el perfil de onda (a), que son registrados sobre el medio magnético 11 de la figura 1, pasan por el transductor.

El perfil de onda (c) ilustra la señal releída del perfil de onda (b) después de que es diferenciada por

5 SEP



5 el circuito diferenciador y amplificador diferencial 17 de la figura 1. El perfil de onda (c') (mostrado en líneas de trazos) ilustra la señal releída diferenciada cuando hay escaso contacto entre el medio y el transductor. Los valores umbral de los circuitos de detección de valor 19-22 de la figura 1 se ilustran también con respecto a los perfiles de onda (c) y (c'). Como puede verse observando el perfil de onda (c), cuando se percibe la primera inversión del flujo de datos del perfil de onda (a), la señal releída diferenciada es primero de sentido negativo y luego positivo. El cruce del valor cero en el punto 57 cuando el perfil de onda (c) va de negativo a positivo, representa la información de sincronización y la información de datos correspondientes a la inversión del flujo del medio que es deseable detectar.

102
15 La señal de salida del circuito detector de valor bajo arriba 19 de la figura 1 se ilustra por el perfil de onda (d) y, como este circuito está ajustado para detectar un perfil de onda de sentido ligeramente positivo, produce una señal de salida cuando el perfil de onda (c) alcanza el punto 58. Esta señal de salida se utiliza por el sistema para la información de datos y de autosincronización. El punto 58 está sólo ligeramente desplazado en el tiempo del punto de cruce verdadero 57, y, por tanto, no se introduce en el sistema un retardo apreciable de la información de sincronización. El perfil de onda (c) cruza seguidamente el valor umbral del detector de valor alto arriba 21 de la figura 1 en el punto 59. Esto activa el detector de valor alto 21, cuyo perfil de onda de salida se ilustra por el perfil de onda (e). Como se muestra por el perfil



de onda (e), el detector de valor alto arriba permanece
activado incluso aunque la señal releída diferenciada (c)
caiga por debajo de un valor umbral en el punto 60 y per-
manece activado hasta que el perfil de onda (c) pase por de-
5 bajo del valor umbral del detector de valor bajo arriba en
el punto 61. En este instante, se reponen, como se ilus-
tra en los perfiles de onda (d) y (e), respectivamente,
el detector de valor bajo arriba 19 y el detector de valor
alto arriba 21. El perfil de onda (c) es entonces de sentie-
10 do negativo, pasando por el valor umbral del detector de
valor bajo abajo 20 en el punto 62, lo que indica que ha ha-
bido un cruce por cero del perfil de onda (c). La señal de
salida del detector de valor bajo abajo, como se ilustra
por el perfil de onda (f), es de sentido positivo cuando
15 el perfil de onda (c) alcanza el punto 62. Después, la se-
ñal releída diferenciada (c) pasa por el valor umbral del
detector de valor alto abajo en el punto 63, haciendo que
se active, como se ilustra en el perfil de onda (c), el cir-
cuito detector de valor alto abajo 22 de la figura 1. Como
20 se muestra por los perfiles de onda (f) y (g), el detector
de valor bajo abajo 20 y el detector de valor alto abajo
22 son repuestos cuando el perfil de onda (c) alcanza el
punto 64, yendo así por debajo del valor umbral del detec-
tor de valor bajo abajo 20.

25 El perfil de onda (h) ilustra la señal de entra-
da proporcionada por el circuito monoestable 25 al circui-
to de reloj 27 de la figura 1. Esta señal se utiliza por el
circuito de reloj para autosincronizar la infrmación de da-
tos contenida en el medio magnético y, como pude verse,
30 corresponde estrechamente a los cruces por cero de la señal



5 releída diferenciada del perfil de onda (c). El perfil de
onda (i) ilustra la salida del monoestable 41 de la figura
1. Esencialmente, es un impulso de duración fija definido
por el período del monoestable, que está retrasado en un
tiempo ΔT con respecto a la ocurrencia de una señal de
impulso de reloj que aparece en la salida del circuito mo-
noestable 35 de la figura 1. Como se describió anteriórmen-
te con respecto a la figura 1, los impulsos del perfil de
onda (h) se utilizan para muestrear las señales de salida
10 del detector de valor alto y su correspondiente detector
de valor bajo para asegurarse de que sean coincidentes.

Haciendo referencia otra vez al perfil de onda
(c), se verá que en cada caso la señal releída diferencia-
da alcanza el valor umbral superior mucho antes de que sea
15 muestreada por el impulso monoestable del perfil de onda
(i). De hecho, el perfil de onda (c) puede estar realmente
por debajo del umbral de valor alto cuando se muestrea la
coincidencia del detector de valor alto y del detector de
valor bajo. Sin embargo, como el detector de valor alto es
20 tá enclavado en estado de conexión hasta que se repone su
correspondiente detector de valor bajo, se indica coinci-
dencia. La razón de retrasar este intervalo de muestreo
en medida tan grande resultará evidente por un exámen del
perfil de onda (c').

25 Haciendo ahora referencia al perfil de onda (c'),
se ilustra una señal releída diferenciada en la que hay ese-
caso contacto entre el transductor y el medio magnético,
produciendo así una señal releída débil y una señal releída
diferenciada escasamente regulada en el tiempo. La pérdida
30 de intensidad de la señal releída expresada en db se apro-



xima por la ecuación pérdida $(db) = 55d/\lambda$, en la que de re-
presenta la separación del medio con respecto al transduc-
tor y λ representa la longitud de onda de la señal. Así, se
atenúan más claramente las señales de alte frecuencia. De-
berá observarse en este punto que el perfil de onda (c')
representa los datos del peor caso, que se desean detéctar
con una fluctuación de cresta de aproximadamente 0,8 voltios,
lo que corresponde al valor umbral superior. El perfil de
onda (c) es representativo también de una señal con escaso
contacto entre el medio y el transductor, produciendo una
señal con una fluctuación de cresta de un voltio. Cuando
existe contacto entre el medio y el transductor, las seña-
les de alta frecuencia producen aproximadamente un voltaje
de cresta de 4 voltios y las señales de baja frecuencia
producen aproximadamente un voltaje de cresta de 3 voltios
en la salida del circuito amplificador y diferenciador 17
de la figura 1. Como puede verse, el perfil de onda (c')
tiene aproximadamente los mismos puntos de cruce por cero
que el perfil de onda (c). Esto es debido a que las cres-
tas de la señal releída se desplazan en menor grado que el
resto de la señal releída cuando existe escaso contacto en-
tre el medio y el transductor. Así, la información de sin-
cronización que se obtiene de los cruces por cero, es apro-
ximadamente la misma haya o no haya un buen contacto entre
el medio y el transductor. Sin embargo, las crestas de la
señal releída diferenciada son menores en amplitud y tam-
bién están desplazadas, como se advierte comparando el per-
fil de onda (c) con respecto al perfil de onda (c') en los
puntos 70 y 71. El desplazamiento de las crestas de la se-
ñal releída diferenciada es particularmente agudo cuando



una señal de baja frecuencia sigue a una señal de alta frecuencia, como en 70 y 71, Esto ocurre en un sistema codificado en fase siempre que dos bitios similares de información binaria vayan seguidos por un bitio desigual de información binaria. Retardando el intervalo de muestreo en un ΔT suficientemente grande, el perfil de onda (c') alcanza el valor umbral alto del circuito de detección de umbral 21 a tiempo para que la señal sea aproximadamente reconocida como dato.

Los dispositivos de detección de la técnica anterior, que utilizaban un valor umbral relativamente alto para eliminar el reconocimiento del ruido a fin de detectar los datos, indicarían fallo si se presentara el perfil de onda (c') a tal circuito de detección. Esto es debido a que el impulso de sincronización sería generado en el punto 71 si el medio estuviera fuera de contacto con la cabeza, en oposición al punto 72 si el medio estuviera en contacto más íntimo con el transductor. Los impulsos de sincronización que serían así generados, se muestran por líneas de trazos 74 y 75 en el perfil de onda de reloj (h). Puede verse que hay una diferencia de tiempo considerable entre el instante en que ocurre el impulso de reloj cuando el medio está en contacto y el instante en que ocurre el impulso de reloj cuando el medio está fuera de contacto. Semejante diferencia de tiempo puede ser tolerada con un sistema de autosincronización, que una ocurrencia tardía del impulso de sincronización y de datos podría ser mal interpretada para representar una inversión de flujo correctora o viceversa. Sin embargo, utilizando el punto de cruce por cero, el impulso de sincronización ocurre aproximadamente en el mismo ins-



5 tante, independiente del contacto entre la cabeza y el me-
dio. Así, el impulso de reloj que ocurra como resultado del
cruce por cero en el punto 64, se ilustra en el perfil de
onda (h) en 76 para el perfil de onda (c) y en 77 para el
perfil de onda (c'). Puede verse fácilmente que la diferen-
cia de tiempo entre la ocurrencia de los impulsos de reloj
76 y 77 es de duración mucho menor que la que hay entre los
impulsos de reloj 74 y 75.

10 Comose ha descrito hasta ahora, los dispositivos
de la técnica anterior utilizan la información de cruce por
cero para generar información de sincronización. Sin embar-
go, los dispositivos que utilizan tal sistema deben poder
rechazar los cruces efectuados por el ruido que ocurre en-
tre los bloques de información. Tales cruces se ilustran ge-
15 neralmente en 80 en el perfil de onda (c) y son ocasionados
por discontinuidades y rayas del medio de registro. Estas
rayas y discontinuidades son particularmente evidentes siem-
pre que el medio sea manejado por el operador.

20 Con el fin de rechazar tal ruido, el sistema de
detección de la presente invención no detecta, a menos que
el ruido alcance el valor de detección superior dentro de
un periodo de tiempo predeterminado. Como la mayor parte
de las señales de ruido son de baja amplitud y nunca alcanzan
el valor umbral superior, pueden distinguirse inmediatamen-
25 te los datos, ya que dejan de alcanzar el valor umbral
superior dentro del periodo de tiempo predeterminado. Las
señales de ruido que sí alcanzan el valor de detección su-
perior, son generalmente de alta frecuencia y no permanecen
en el valor umbral alto durante mucho tiempo. Así, es muy
30 probable que haya falta de continuidad entre los valores

5 SEP



de los dos detectores de umbral cuando se muestrea la señal.

Haciendo referencia una vez más a la figura 1, puede verse que el circuito monoestable 41 es activado por una primera línea de datos en bitios. La señal de la primera línea de datos de bitios es suministrada por los circuitos (no mostrados) que detectan la presencia del primer bitio de información. Este circuito se aprovecha del hecho de que el primer bitio de información de un bloque de datos es siempre un bitio de sentido positivo. Haciendo referencia a los perfiles de onda (c) y (c'), puede verse que la señal releída diferenciada del bitio de sentido positivo es siempre de la configuración general de un perfil de onda de sentido negativo seguido por un perfil de onda del sentido positivo. El perfil de onda de sentido negativo cruza siempre por el valor de voltaje de umbral del detector de valor bajo abajo 20 de la figura 1, y dentro de medio intervalo de bitio después, cruza por el valor umbral del detector de valor bajo arriba 19 y después cruza por el valor umbral del detector de valor alto arriba 21. Esta secuencia puede ser reconocida por un circuito de reconocimiento especial (no mostrado) que generará una primera señal de bitio. Después, la detección de datos prosigue como se ha descrito anteriormente. El reconocimiento del primer bitio se suministra también al circuito de autosincronización descrito en la solicitud antes mencionada de Cecil Wayne Cox y colaboradores, lo cual impide que cualquier señal de ruido detectada de valor alto sea reconocida como dato.

Como se desprende de la descripción anterior, la detección de valor umbral de multiple se utiliza para rechazar señales de ruido espurias que existen entre bloques de

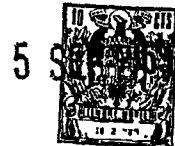


información, al paso que asegura la detección apropiada para la información binaria autosincronizada. En la realización descrita, se utilizaron cuatro circuitos detectores de valor umbral para detectar, respectivamente, dos valores umbral de una señal de sentido positivo y dos valores umbral de sentido negativo. Como resulta evidente para los expertos en la materia, podría utilizarse un detector de valor umbral único detector los cruces por cero, sustituyendo, por tanto, a los detectores de mumbal de valor bajo múltiple.

Además, las señales de salida de los detectores de valor alto podrían ser muestreadas directamente por la señal de salida del monoestable 41. Si ningún detector de valor alto estuviera activado en el instante del muestreo, resultaría una señal de ruido similar a la suministrada por el circuito de coincidencia 43. Otra modificación sería utilizar un solo detector de valor alto que responda a ambas polaridades de las señales de entrada.

Aunque el invento ha sido particularmente mostrado y descrito con referencia a una realización preferida del mismo, los expertos en la materia deberán entender que pueden hacerse en ella los precedentes y otros cambios de forma y de detalle sin apartarse del alcance del invento.

Esta solicitud que correspnde a la presentada en los Estados Unidos de América, el 15 de Julio de 1.968 nº 744.753, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.



N O T A

5 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

10 1.- Un dispositivo de detección de datos y separación de ruido para detectar información binaria que aparece periódicamente en un perfil de onda de señal de impulsos eléctricos y para separar los impulsos periódicos de información binaria de los impulsos de señal de ruido que aparecen dentro del perfil de onda entre grupos de impulsos

15 de información binaria, que comprende medios diferenciadores para diferenciar la señal de impulsos eléctricos con el fin de producir una señal diferenciada en la que los cruces por cero de la señal diferenciada corresponden a las crestas de señal del perfil de onda de señal de impulsos

20 eléctricos; primeros medios de detección de valor umbral que responden a la señal de salida de los medios diferenciadores para detectar los cruces por cero de la señal diferenciada y para dar una señal de salida para cada uno de tales cruces por cero; segundos medios de detección de valor

25 umbral que responden a la señal de salida de los medios diferenciadores para dar una señal de salida siempre que la señal diferenciada exceda de un segundo valor predeterminado; medios de retardo que responden a la señal de salida de los primeros medios de detección de valor umbral para

30 retardar dicha señal de salida en un intervalo de tiempo



predeterminado; medios de rechazo de ruido que responden a la señal de salida de dichos medios de retardo y a la señal de salida de dicho segundo detector de valor umbral para dar una salida de señal cuando dicho segundo detector de valor umbral deja de dar una señal de salida antes de la aparición de la señal de salida de dichos medios de retardo; medios generadores de impulsos de reloj que responden a dicho primer detector de valor umbral para generar impulsos periódicos de reloj correspondientes a dicha información de datos binaria e impulsos aperiódicos correspondientes a impulsos de ruido; medios de reconocimiento de datos que responden a dichos impulsos de reloj para detectar la información binaria del perfil de onda de señal y que responden a la señal de salida de dichos medios de rechazo de ruido para inhibir la detección de dicha información binaria iniciada por dichos impulsos de reloj.

2.- Un dispositivo según la reivindicación 1, en el que dichos segundos medios de detección de valor umbral continúan dando una señal de salida hasta que dichos primeros medios de detección de valor umbral detectan un subsiguiente cruce por cero.

3.- Un dispositivo según la reivindicación 1, en el que dichos primeros medios de detección de valor umbral comprenden dos circuitos de detección de valor umbral dando uno de dichos circuitos una señal de salida siempre que dicha señal diferenciada sea de sentido positivo y dando el otro de dichos circuitos una señal de salida siempre que dicha señal diferenciada sea de sentido negativo.

4.- Un dispositivo según la reivindicación 3, en el que dichos segundos medios de detección de valor um-



bral comprenden dos dispositivos de detección de valor umbral, dando uno de dichos dispositivos una señal de salida siempre que dicha señal diferenciada exceda de un valor umbral positivo mayor que el valor umbral del circuito de detección de valor umbral positivo, y dando el otro de dichos dispositivos una señal de salida siempre que dicha señal diferenciada exceda de un valor umbral negativo mayor que el valor umbral de circuito de detección de valor umbral negativo.

5

5.- Un dispositivo según la reivindicación 4, en el que dicho segundo dispositivo de detección de valor umbral continúa dando una señal de salida mientras su correspondiente primer circuito de detección de valor umbral dé una señal de salida.

10

6.- Un dispositivo de detección de datos y separación de ruido para detectar información binaria.

15

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de veinticuatro hojas escritas a máquina por una sola cara.

20

Madrid, 5 SEP. 1969

P.A.

Alberto de Lizasoain
Por Poderes

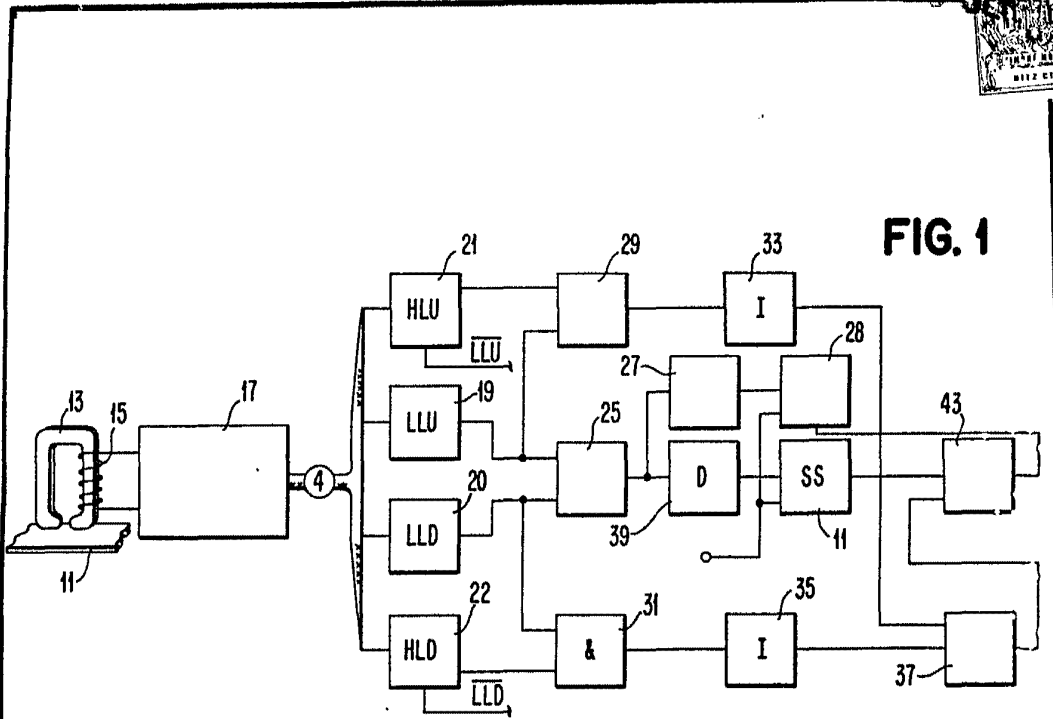


FIG. 1

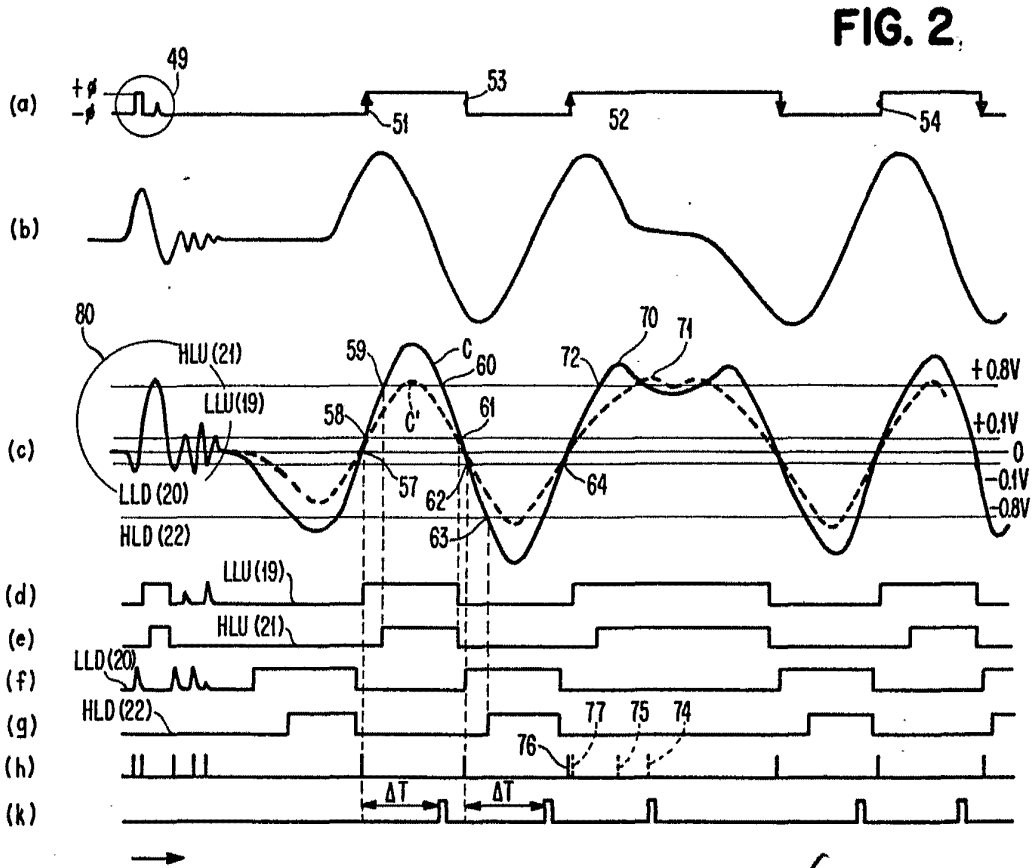


FIG. 2

Author: *[Signature]*
 Pos. *[Signature]*