



REGISTRACION TECNICA
INNOVACION I. P. C.
CLASE <u>H-03</u>
SUBCLASE <u>J</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR EN ESPAÑA
SEGUNDO CERTIFICADO DE ADICION POR: MEJORAS INTRODUCIDAS
EN EL OBJETO DE LA PATENTE PRINCIPAL Nº. 361362 POR
"MULTISELECTOR ELECTRONICO" A NOMBRE DE STANDARD ELECTRICA, S.A.
CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº. 5

El presente certificado de adición se refiere a mejoras en multiselectores para etapas de conmutación en los que los contactos si tuados en los puntos de cruce están sustituidos por transistores de efecto de campo y en los que dichos contactos se mantienen electrónicamente en posición cerrada.

Es un hecho conocido que los transistores de efecto de campo o transistores FET y en particular, los transistores de metal-óxido-silicón FET o "transistores MOS", tienen características interesantes cuando se utilizan como elementos de contacto. De hecho, la resistencia consumo-generador de un transistor MOS que constituye el contacto conmutado, está estrictamente controlado en voltaje de forma que hay un buen aislamiento del circuito de control con relación al circui to de excitación.

Además, en este tipo de transistor, la resistencia consumo-generador es superior a 10^7 ohmios en el estado de "desconexión de al-



2.

ta impedancia" y del orden de 100 a 300 ohmios en el estado de "conducción de baja impedancia" que asegura una características muy buenas de funcionamiento como elemento de contacto.

20 Otra ventaja de un multiselector equipado con transistores MOS como componentes de contacto reside en el hecho de que los circuitos de selección y control pueden estar diseñados con transistores MOS, tanto en lo que se refiere a los componentes activos como a las resistencias. Consecuentemente, las matrices de multiselector pueden hacerse con capacidades de 2 x 2, 4 x 4, 4 x 8 etc. ... puntos
25 tos de cruce con circuitos integrados en gran escala que pueden comprender varios centenares de transistores MOS.

En la patente principal M.J.P. Léger - C.P.H. Lerouge - J.H. Déjean 3-10-16 nº 361.362 y en su primer certificado de adición P. Girard - M.J.P. Léger - C.P.H. Lerouge J.H. Déjean 10-4-14-17 Nº.
30 366.644 , se describen multiselectores dispuestos en forma de matriz en la que un circuito de conmutación situado en cada punto de cruce comprende en particular, un componente de contacto hecho con transistores MOS. Dicho circuito está controlado por la aplicación de señales de selección en un orden predeterminado. El presente certificado
35 de adición describe un multiselector dispuesto en forma de matriz en el que un circuito de conmutación está controlado por la aplicación simultánea de dos señales de selección y una señal que controla la apertura o el cierre del contacto. Esta forma de control tiene la ventaja de hacer mínimo el número de salidas de los circuitos integrados en gran escala que constituyen el multiselector elemental.
40

El objeto del presente invento es por lo tanto realizar un multiselector electrónico elemental con circuitos integrados en gran escala.

Una característica del invento consiste en que hay un circuito de conmutación situado en cada punto de cruce entre dos conduc-
45



3.

tores de conversación perpendiculares del multiselector que son respectivamente una vertical j y una horizontal k , que cada circuito comprende primero un elemento de contacto hecho con un transistor MOS cuyos terminales de generador y consumo están conectados respectivamente a la vertical j a la horizontal k y en segundo lugar, un flip-flop de retención que comprende transistores del mismo tipo con su salida $\underline{1}$ conectada a la reja del transistor de conmutación de forma que, cuando dicho flip-flop está en el estado $\underline{1}$, dicho transistor está conduciendo ("estado de conducción de baja impedancia") que corresponde al cierre de un par de conductores de conexión de contactos j y k .

Otra característica del invento consiste en que una matriz de multiselector elemental comprende m verticales y n horizontales a las que están asociados el mismo número de conductores de selección más dos conductores de control b_0 y b_1 , que la selección del circuito de conmutación S_{jk} se hace aplicando simultáneamente una señal C_j al conductor de selección vertical c_j , una señal S_j al conductor de selección horizontal s_j , y una señal B_0 (B_1) al conductor b_0 (b_1), controlando la señal B_0 (B_1) la colocación en el estado $\underline{0}$ ($\underline{1}$) del flip-flop de retención del circuito X_{jk} .

Otra características del invento consiste en que los conductores de selección vertical y horizontal están conectados a las salidas correspondientes de un primer y de un segundo registrador de cambio al que se llevan los códigos para asegurar la selección vertical y horizontal en la matriz y que, en este caso, la señal B_0 o la señal B_1 está aplicada una vez que los registradores están totalmente cargados.

Las antes mencionadas y otras características y objetos de este invento que darán más claros con referencia a la descripción siguiente dada junto con los dibujos que se acompañan en los que:



4.

- La figura 1 muestra un circuito de conmutación.
- La figura 2 muestra un diagrama detallado de un circuito de control,
- La figura 3 muestra una matriz de multiselector elemental.

80 Antes de dar una descripción del invento en sí, se revisarán las características principales de los transistores MOS y su forma de funcionamiento. Todos los transistores mostrados en las figuras 1 y 2 son de este tipo.

85 Un transistor MOS es casi completamente simétrico y los electrodos que actúan como consumo y generador pueden invertirse sin inconvenientes y sin que se modifique su funcionamiento cuando se utiliza en circuitos lógicos. Sin embargo, los fabricantes definen, en las especificaciones, los electrodos que hacen el papel de generador y de consumo. En consecuencia, en las figuras, el generador está simbolizado con una flecha como el emisor de un transistor bipolar.

90

Los voltajes de funcionamiento de un transistor MOS-Ph (transistor mejorado tipo P) se definen lcomo sigue:

VT: voltaje de umbral.

VD: voltaje de consumo

95 VG: voltaje de rejilla.

Todos estos voltajes están medidos con referencia al de la fuente ($V_S = 0$) y están expresados en valores absolutos. Así, un transistor MOS está en su estado de "desconexión de alta impedancia" o "bloqueado" cuando $V_G \leq V_T$. tienen entonces una resistencia consumo-generador RDS cuyo valor es practicamente infinito (aproximadamente 10^7 ohmios).

100

Un transistor MOS está "conduciendo" cuando $V_G > V_T$. Entonces se comporta como una resistencia pasiva cuyo valor es $RDS = \frac{1}{K(V_G - V_T)}$ (1), siendo K un factor de proporcionalidad.

105 En este caso hay dos regiones de conducción:



5.

- la región de "conducción de baja impedancia" (o región no saturada) cuando $VD < VG - VT$, con una resistencia consumo-generador RDS de bajo valor (50 a 200 ohmios).

110 - la región de "conducción de alta impedancia" (o región saturada) cuando $VD \geq VG - VT$, con una resistencia RDS de un valor relativamente elevado.

Cuando se utilizan en circuitos lógicos, los voltajes aplicados a los transistores se eligen de forma que estén bloqueados o conduciendo en la región de baja impedancia.

115 Si un transistor MOS-Ph tiene un voltaje de umbral $VT = 4$ Voltios y se le aplica un voltaje $VG = 0$ se bloquea. Si se aplican a dicho transistor un voltaje $VG = -24$ voltios y un voltaje VD entre cero y -20 voltios, se hace conductor. En la práctica, si se requiere una buena linealidad de resistencia RDS, se deben utilizar los valores
120 inferiores de VD . La resistencia RDS tiene entonces un valor muy bajo y el transistor permite la transferencia bidireccional de señales análogicas o digitales entre el consumo y el generador.

Los transistores MOS se utilizan también como resistencias. En consecuencia pueden diseñarse circuitos integrados en gran escala,
125 siendo practicable el funcionamiento de este elemento pasivo para ambos tipos de conducción. Por ejemplo, si el transistor funciona en la región de conducción de baja impedancia como una polarización adecuada ($VD < VG - VT$) y está conectado en serie con un transistor MOS inversor, aparece el voltaje VD o el voltaje de tierra en la conexión
130 común a ambos transistores según que dicho transistor inversor esté en estado de no conducción ($VG \leq VT$) o en estado de conducción ($VG > VT$).

En las distintas figuras que se acompañan a esta descripción los transistores MOS que funcionan como componentes activos tienen la referencia "T" y los que funcionan como resistencias de carga llevan
135 la referencia "R".



6.

La figura 1 muestra los circuitos asociados al punto de cruce entre las horizontales H', H'' y las verticales V', V'' de una matriz de multiselector; cada par de conductores de conversación H', V' y H'', V'' aseguran la transmisión de información en una dirección como se explicó en la patente principal M.J.P. Léger - C.P.H. Lerouge - J.H. Déjean 3-10-16 N^o. 361.362 y su primer certificado de adición P. Girard - M.J.P. Léger - C.P.H. Lerouge - J.H. Déjean 10-4-14-17 N^o. 366.644 a la que nos hemos referido anteriormente.

Los circuitos representados en dicha figura comprenden:

- El punto de cruce bidireccional K que asegura la conexión entre los conductores H' - V' y H'' - V'' cuando los transistores MOS-Ph T1 y T2 están conduciendo. La señal de control de este circuito está aplicada a las rejillas de los transistores del conductor a.

- El circuito de control J comprende el flip-flop de retención A y los circuitos NOR G0 y G1, la salida 1 de este flip-flop está conectada al conductor de control a del circuito K.

Puesto que cada puerta NOR está conectada a tres de los cuatro conductores s, c, bo, 'bl, la puerta G0 da una señal de amplitud - U2 cuando los conductores s, c, bo llegan al potencial de tierra y la puerta G1 da una señal de amplitud -U2 cuando los conductores s, c, bl llegan al potencial de tierra. Cuando por lo menos una de las entradas de una puerta está al potencial - U2, la última de una señal de amplitud cero. A título de ejemplo, elegiremos U2 = 18 voltios.

El cuadro I muestra las diferentes señales lógicas aplicadas a estos conductores así como sus niveles de voltaje y la designación de dichas señales.

Sean G0 y G1 las señales dadas por las puertas G0 y G1 (sus niveles de voltaje están indicados en el cuadro). Las siguientes ecua



ciones pueden ser escritas:

GO = C.S.B0

G1 = C.S.B1

170 Dichas señales GO y G1 controlan, respectivamente, la colocación en el estado 0 y en el estado 1 del flip-flop A.

175 Cuando dichos flip-flop está en el estado 1, da una señal A de amplitud -U2 que hace conductores a los transistores T1 y T2. Las fuentes de dichos transistores están a tierra y los consumos al potencial -U2.

CUADRO I

Conductor	Señal	Voltaje	Designación
c	C	0	Señal de selección vertical
	\overline{C}	-U2	
s	S	0	Señal de selección horizontal
	\overline{S}	-U2	
bo	B0	0	Señal de liberación
	$\overline{B0}$	-U2	
b1	B1	0	Señal de cierre
	$\overline{B1}$	-U2	
	GO, G1	-U2	Señales de control para el flip-flop de retención
	$\overline{GO}, \overline{G1}$	0	
a	A	-U2	Señal de control para el punto de cruce
	\overline{A}	0	

190 Estos transistores tienen entonces una resistencia consumo-generador entre 100 y 300 ohmios y permiten la transmisión de señales analógicas o digitales.

195 La figura 2 muestra un diagrama detallado del circuito de control J en el que el flip-flop A comprende los transistores MOS-Ph T3, T4, T5, T6, R1, R2 y cada una de las puertas, como la puerta GO



comprende los transistores MOS-Ph T7, T8, T9 y R3. A título de ejemplo, se supondrá que el voltaje de rejilla de los transistores B1, R2 R3 que funcionan como resistencias es $U_3 = 30$ voltios.

200 El funcionamiento del flip-flop A en el que se utilizan los transistores T5 y T6 para controlar la conmutación es semejante al del flip-flop equipado con transistores PNP bipolares y no se describirá con detalle.

205 El cuadro II indica el estado de los transistores T3 y T4 de acuerdo con que el flip-flop esté en el estado 1 ó en el estado 0 así como el estado del punto de cruce K y el valor del voltaje de consumo de dichos transistores.

CUADRO II

Estado del flip-flop	Estado de los transistores		Estado del punto de cruce	Niveles de voltaje	
	T3	T4		Salida 1 drain T3	Salida 0 Drain T4
210 Estado <u>1</u>	bloqueado	conductor	cerrado	-U2 señal A	0
Estado <u>0</u>	conductor	bloqueado	abierto	0 señal \bar{A}	-U2

215 Refiriéndonos a la figura 2, puede verse que las rejillas de los transistores de control T5 y T6 están al potencial -U2 (condición lógica G0, G1) o al potencial de tierra (condición $\bar{G}0, \bar{G}1$). Para la condición lógica G0, el transistor T5 está conduciendo y el flip-flop A se repone al estado 0 (condición \bar{A}) y para la condición G1, el transistor T6 está conduciendo y el flip-flop se coloca en el estado 1 (condición \bar{A}).

220 La figura 3 muestra una matriz de multiselector elemental de acuerdo con el invento que comprende las horizontales R1, H2, ... Hn y las verticales V1, V2 ... Vm. De estos circuitos, los asociados a la horizontal Hn están referenciados X11, X21 ... Xn1 y los asociados a la horizontal Hn están referenciados X1n, X2n ... Xmn.



225 Un conductor de selección horizontal $s_1, s_2 \dots s_m$ está asociado a cada horizontal y un conductor de selección vertical $c_1, c_2 \dots c_m$ está asociado a cada vertical. Además, los conductores b_0 y b_1 están conectados a cada circuito de conmutación.

230 Para cerrar (abrir) uno de dichos circuitos, el circuito X11, por ejemplo, se aplica una señal de conexión C_1 y una señal de selección S_1 (\bar{C}_1 y \bar{S}_1) a los conductores c_1 y s_1 respectivamente. Como ya se ha explicado con referencia a la figura 2, la puerta NOR G1 (G0) del circuito X11 da entonces una señal que coloca el flip-flop A en el estado 1 (0) de forma que los transistores T1 y T2 son conductores (bloqueados).

235 Las señales de conexión $C_1, C_2 \dots C_m$ y las señales de selección $S_1, S_2 \dots S_n$ son dadas respectivamente por los registradores de cambio R_c y R_s que comprenden respectivamente m y n estados. Este registrador R_c (R_s) que comprende las entradas de reloj F_1, F_2 la entrada de señal MC (M_s) y la salida de la señal N_c (N_s) controla la
240 selección vertical (horizontal) en la matriz por medio de datos introducidos en ella en forma serie. Puede verse que una señal B_0 ó B_1 debe aplicarse cuando los registradores estén cargados plenamente.

245 Cuando un paso de selección de un conmutador telefónico, por ejemplo, comprende siete multiselectores elementales del tipo representado en la figura 3, los diferentes registradores R_S (R_c) están conectados en serie, estando conectada la salida N_s (N_c) de un registrador a la entrada Mc de la matriz situada a su derecha y debajo. De esta forma, un paso de selección que comprende $p \times m$ verticales y $q \times n$ horizontales (siendo p y q números totales) puede conseguirse en la cual la selección vertical y la horizontal se hacen
250 con un código aplicado en serie a las entradas libres de los registradores.

Los registradores R_C y R_s están diseñados también con tran-



255 ristores MOS-Ph y pueden ser, a título de ejemplo no limitativo, re-
gistradores dinámicos de cambio que se pueden encontrar actualmente
en el mercado. Estos registradores funcionan en lógica negativa de
forma que el dígito 0 representa una señal C ó S y un dígito 1 repre-
senta una señal \bar{C} ó \bar{S} .

260 El multiselector elemental descrito antes ha sido diseñado
para minimizar el número de salidas de los circuitos integrados en
gran escala en el que está incorporado. Comprende:

- Tres terminales de alimentación para potencial de tierra y potenciales -U2 y -U3;
- Seis terminales de salida F1, F2, Ms, Mc, Ns y Nc referido a los registradores RS y RC;
- Dos terminales de salida B0 y B1-
- Dos (M + n) salidas de hilos de conversación H (H' y H'') y V (V' y V''). El número total de salidas es por lo tanto $T = 2 (m+n) + 11$.

270 Aunque los principios del invento anterior han sido descritos con relación a realizaciones específicas y a sus modificaciones particulares, se sobrentiende que esta descripción se ha dado a título de ejemplo y no tiene que considerarse como una limitación del alcance del invento.

275 En particular, pueden utilizarse transistores de polaridad opuesta invirtiendo la polaridad de las fuentes de alimentación.

280 Este invento corresponde a una solicitud de certificado de adición formulada en Francia el 17 de Mayo de 1968 señalada con el nº. PV 152.195 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de este certificado de adición de veinte años son



los siguientes:

285 1.- Mejoras introducidas en el objeto de la patente principal número 361.362 por "multiselectores electrónicos" caracterizadas porque cada circuito conmutador comprende primero un componente de contacto K constituido por un transistor MOS que tiene sus electrodos de consumo y de generador conectados a los conductores que deben interconectarse y segundo un flip-flop de retención A hecho con transistores del mismo tipo, estando conectada la salida 1 de dicho flip-flop a la rejilla del transistor que funciona como un componente de contacto de forma que dicho transistor está conduciendo cuando dicho flip-flop está en el estado 1 y está bloqueado cuando está en el estado 0.

295 2. Mejoras introducidas en el objeto de la patente principal número 361.362 por "Multiselectores electrónicos" en el que una matriz de multiselectores elemental comprende m verticales y n horizontales a las que están asociados conductores de selección vertical C₁, C₂ ... C_m y conductores de selección horizontal s₁, s₂ ... s_n más dos conductores de control b₀ y b₁, haciéndose la selección del circuito conmutador S_{jk} situado en el punto de intersección de la vertical j y de la horizontal k aplicando una señal C_j al conductor c_j y una señal S_j al conductor s_j y haciéndose la colocación del flip-flop A_{jk} en el estado 1 ó en el estado 0 aplicando respectivamente una señal de cierre B₁ al conductor b₁ ó una señal de liberación B₀ al conductor b₀, estando aplicadas simultáneamente las tres señales que controlan el funcionamiento del circuito X_{jk}.

300 3. Mejoras introducidas en el objeto de la patente principal número 361.362 por "Multiselectores electrónicos" en el que los conductores de selección horizontal s₁, s₂ ... s_m y los conductores de selección vertical c₁, c₂ ... c_n están conectados respectivamente a las salidas de un primer y un segundo registrador de cambio R_s y R_c

310



12.

315 al que se llevan los códigos en forma serie para controlar la selección del circuito Xjk aplicándose la señal de cierre o de liberación en éste caso una vez que los registradores estén totalmente cargados.

4.- Mejoras introducidas en el objeto de la patente principal número 361.362 y por "Multiselector electrónico".

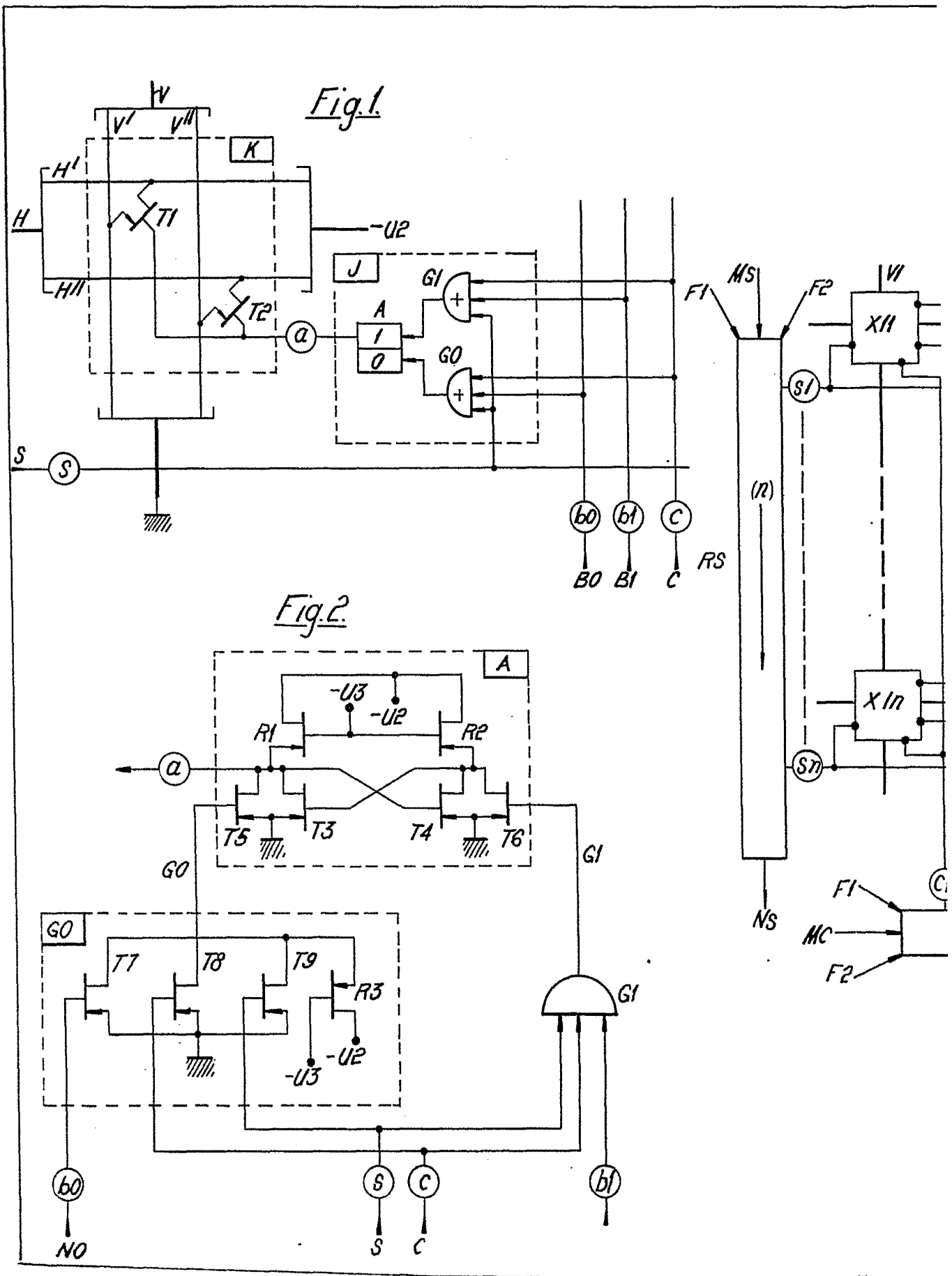
Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

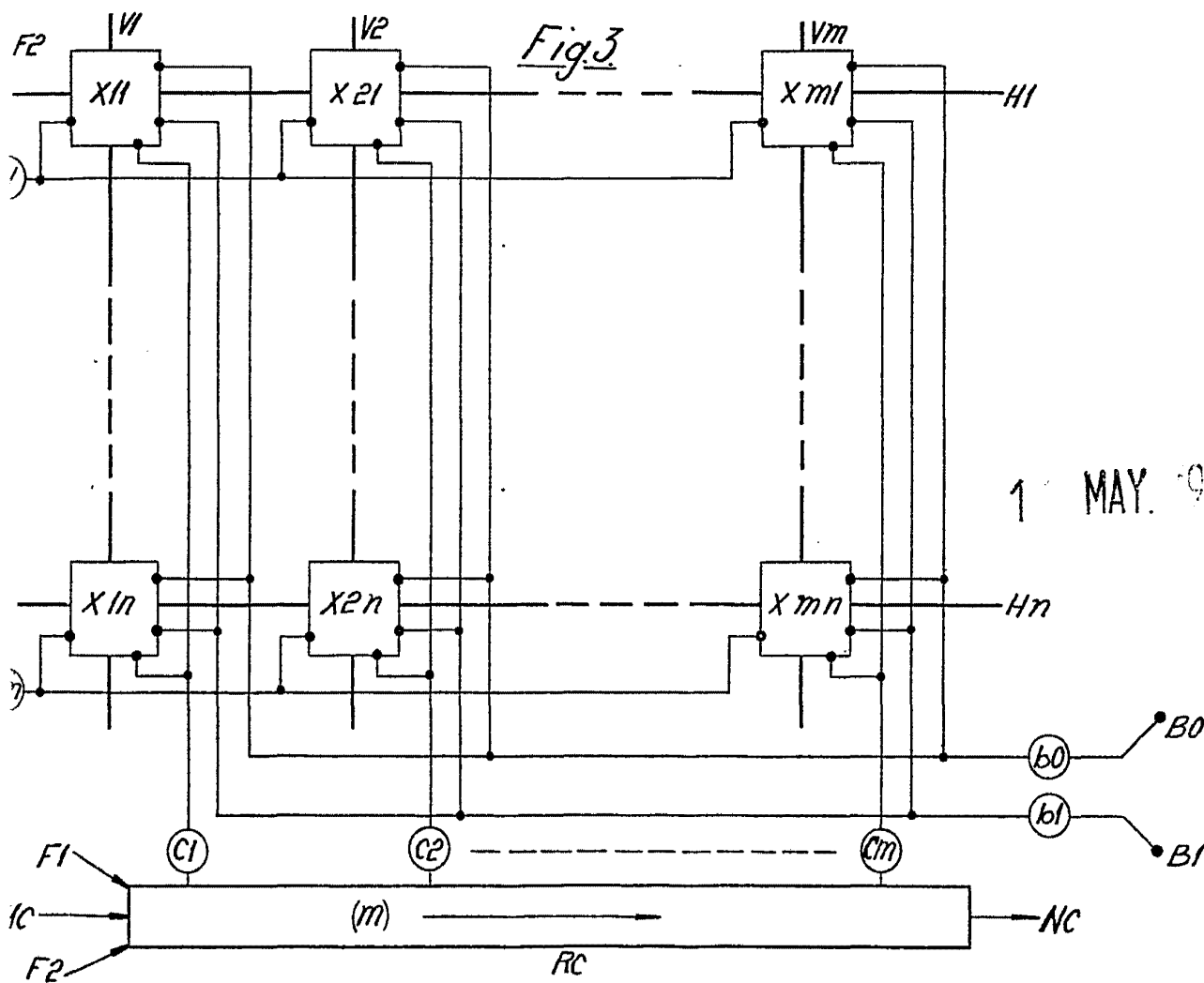
320 Esta memoria consta de doce hojas escritas por una sola cara.

Madrid. 16 MAY. 1969



Eugenio Barroso
EUGENIO BARROSO
Secretario General





Eugenio Barroso
EUGENIO BARROSO
Secretario General