

306504

P.-41.368

TI-2686/2779
Div.

Memoria descriptiva

26 ABR 1969



para solicitar PATENTE DE INVENCION por 20 años

a nombre de TEXAS INSTRUMENTS INCORPORATED

entidad / ~~corporación~~ norteamericana

con domicilio en 13500 North Central Expressway, Dallas,
Tejas, Estados Unidos de América

por: "UN PROCEDIMIENTO PARA FABRICAR UN CIRCUITO MONOLI-
TICO DE TRANSISTORES " (Clase Internacional HO11)

18.4.69

28



La presente invención se refiere en general a -
dispositivos semiconductores, y más especialmente a la fa-
bricación de circuitos de silicio monolíticos que tienen -
transistores PNP y NPN complementarios, y condensadores.

5

Ha llegado a ser común en la práctica el recurso
de fabricar circuitos funcionales completos en forma "mono-
lítica". Tales circuitos se suelen dominar en general cir-
cuitos integrados, y pueden tener transistores tanto NPN
como PNP, diodos, condensadores y resistencias, todos ellos
formados en el mismo sustrato de semiconductor mediante -
combinaciones diversas de las mismas etapas de difusión.

10

Como el rendimiento de producción tiende a disminuir expo-
nencialmente al aumentar el número de etapas de difusión -
en un proceso cualquiera particular de fabricación, es vir-
tualmente esencial fabricar los componentes pasivos con -

15

las mismas etapas de difusión necesarias para formar los -
componentes activos. Si en un circuito monolítico se hace
uso de un solo tipo de transistor, se utilizan típicamente
tan sólo tres difusiones. Si para el circuito se quieren -

20

tener transistores tanto NPN como PNP, es necesario en ge-
neral efectuar por lo menos cuatro difusiones, habiéndose
ideado un número de procedimientos en el que se utiliza un
número aún mayor de etapas de difusión, especialmente cuan-
do los transistores NPN y PNP deben tener forzosamente pa-
rámetros operacionales adaptados o igualados.

25

Existen muchos casos en que es conveniente utili-
zar transistores complementarios en circuitos monolíticos.
Uno de ellos es, por ejemplo, el del circuito lógico de mi-
cropotencia descrito en la solicitud de patente afín de -
EE.UU. nº 552.358, que lleva por título "barrera lógica de

30

25 ABM



5

10

15

20

25

30

gran velocidad y poca potencia", presentada en nombre de George W. Niemann el 18 de abril de 1966 por el mismo cesionario de la presente invención, circuito en el que se utiliza un par de transistores complementarios bipolares como estado de salida de las barreras lógicas, para lograr una reducida potencia de "espera" (en inactividad). Para lograr un funcionamiento óptimo de tal circuito, los transistores complementarios deben estar bien adaptados o iguados entre sí. Ahora bien, por lo general es muy difícil lograr transistores complementarios en forma de circuito monolítico, con parámetros operativos mutuamente adaptados. Es difícil también obtener los grandes valores de resistencia necesarios para funcionar en micropotencias, cuando se construyen circuitos en forma monolítica.

Ya antes de ahora se han propuesto y utilizado varios procedimientos para fabricar circuitos monolíticos con transistores tanto PNP como NPN en el mismo sustrato. En el procedimiento más común, los transistores PNP se forman utilizando las difusiones de base y de colector de los transistores NPN, y el sustrato de tipo P. Ahora bien, el uso de las mismas difusiones para formar distintos componentes debe dar lugar necesariamente a que se pierdan convenientes parámetros operacionales por compromiso entre los dispositivos NPN y PNP. Por regla general, cuando se usa un sustrato de tipo P el transistor PNP es de baja calidad; y cuando se utiliza un sustrato de tipo N es de baja calidad el dispositivo NPN. En algunos procedimientos se utilizan ciclos de difusión adicionales para mejorar las características eléctricas del transistor PNP. Algunos de estos procedimientos se describen en las publicaciones

18.4.69



26

"Designing a Microelectronic Differential Amplifier" ("Proyecto de amplificadores diferenciales microelectrónicos"), Electron Products, pp. 34-37, julio de 1962; "Low Power Integrated Circuits" ("Circuitos integrados de poca potencia")

5 Westcon Electronics Show and Convention, 1965, Sesión I; y "Lateral Complementary Transistor Structure for the Simultaneous Fabrication of Functional Blocks" ("Estructura lateral de transistores complementarios para la fabricación simultánea de bloques funcionales"), Proceedings of the

10 IEEE, pp. 1491-1495, diciembre de 1964. En general, estos procedimientos dan buenos transistores complementarios, con características sensiblemente iguales, pero son tan complicados que no resultan propios para operaciones de fabricación en gran serie. En las operaciones de producción, el rendimiento de dispositivos buenos tiende a disminuir exponencialmente con el número de etapas de difusión que intervengan en el procedimiento.

15

Conforme al presente invento, con un procedimiento relativamente sencillo, que implica cinco difusiones,

20 la primera de las cuales no es crítica, se produce un circuito monolítico que tiene transistores tanto NPN como PNP con parámetros muy igualados y de elevados valores. Además, el procedimiento proporciona resistencias difundidas, de elevados valores óhmicos en lámina, típicamente de 500 a

25 600 ohmios por unidad de superficie. Además, todos los componentes están individualmente separados o aislados.

El procedimiento de la presente invención hace uso de un material de partida que consta de un sustrato de silicio de tipo P con una capa epitaxial de tipo N que se

30 extiende por todo el sustrato. En el sustrato de tipo P



se dispone una región difundida de tipo N fuertemente "dro-
gada" o cargada de impureza, debajo de cada área donde se
vaya a formar un componente en la capa epitaxial de tipo
N. Se hace una difusión de tipo P para formar el colector
5 del transistor PNP, una de las uniones de un condensador
cualquiera, y un anillo separador en torno a cada área don-
de se vaya a formar un componente. La difusión de tipo P
tiene la profundidad suficiente para atravesar la capa epi-
taxial hasta llegar al sustrato de tipo P completando la
10 separación, pero la difusión enterrada de tipo N separa o
aisla el colector del transistor PNP respecto del sustrato
de tipo P. A continuación se difunde la base del tran-
sistor PNP, y después la base del transistor NPN. La difu-
sión de base para el transistor NPN se hace muy somera (de
15 muy poca profundidad), a fin de obtener una resistencia de
lámina muy elevada, y constituye también el ánodo para to-
do diodo que haya de incorporarse. Luego se difunden suce-
sivamente los emisores de los transistores PNP y NPN.

El circuito monolítico resultante del procedi-
20 miento consta de un sustrato de tipo P con una capa de
superposición epitaxial de tipo N dividida en bolsas ais-
ladas o separadas por anillos de difusión de tipo P que se
extienden atravesando la capa epitaxial hasta el sustrato
de tipo P. En una de las bolsas aisladas se forma un tran-
25 sistor PNP mediante tres regiones difundidas, la primera
de las cuales se extiende por todo el camino hasta la re-
gión de tipo P subyacente y, por lo tanto, proporciona un
camino de poca resistencia para la corriente de colector.
Se forma un transistor NPN mediante dos regiones difundidas
30 y la capa epitaxial, quedando la región difundida de



tipo N enterrada bajo la capa epitaxial, de modo que forma un camino de poca resistividad.

Los condensadores difundidos, para circuitos monolíticos, se forman simplemente polarizando una unión de tipo PN. El área necesaria para un determinado valor de capacidad se reduce típicamente en alrededor de un cincuenta por ciento mediante el uso de las dos uniones de un transistor de género usual, ya que lo único que hace falta es poner en cortocircuito las regiones de colector y emisor para formar las dos "armaduras" o "placas" exteriores de un condensador de tres "placas". La región de base es entonces la que forma la "placa" central. Ahora bien, la región de base de un transistor debe ser bastante estrecha, para un funcionamiento óptimo del transistor, que dé por resultado una resistencia de lámina relativamente elevada, típicamente de 7000 u 8000 ohmios por unidad de superficie. Como el condensador debe cargarse forzosamente a través de esta resistencia en serie, la velocidad de carga de este condensador es relativamente lenta, y el condensador presenta un factor Q relativamente bajo. El valor de Q viene definido como energía almacenada dividida por la energía disipada, y se expresa con mayor exactitud mediante la ecuación siguiente:

$$Q = \omega C \left[\frac{R_p}{\left(\frac{R_B}{R_p}\right) + 1 + \omega^2 C^2 R_p R_B} \right]$$

donde ω representa la frecuencia, C es la capacidad, R_p - representa la resistencia de escape de la unión polariza-



5 da en sentido inverso, y R_g es la resistencia serie intercalada en el camino o circuito de carga. Así, como se observará, el valor de Q puede aumentarse sensiblemente mediante reducción del valor R_g , principalmente relacionado con la resistencia de lámina de la región de base del condensador de difusión usual.

10 Esta invención se refiere al procedimiento de fabricar un circuito monolítico dotado de un transistor PNP, un transistor NPN y un condensador de doble unión, en el que una de las uniones del condensador se forma mediante la misma etapa de difusión de tipo P utilizada para formar la región de colector del transistor PNP, y la segunda unión del condensador se forma mediante la misma etapa de difusión de tipo N usada para formar la región de emisor del transistor NPN. Como consecuencia, la región difundida de tipo P que constituye la "placa" de en medio es mucho más gruesa que en un condensador de difusión usual de un circuito monolítico, y por consiguiente tiene un valor de Q mucho más alto y una menor constante de tiempo.

20 Las características constitutivas de novedad que se consideran propias de esta invención están expuestas en las reivindicaciones finales. Ahora bien, la invención en sí, así como otros objetos y ventajas de la misma, pueden comprenderse mejor haciendo referencia a la siguiente descripción detallada de unas formas de ejecución ilustrativas, descripción referida a los dibujos adjuntos, en los cuales:

25 - la figura 1 es una vista esquemática en corte que ilustra un circuito monolítico con arreglo al presente invento;

30

26
10 MAR 1969

- las figuras 2 a 6 inclusive son otras tantas vistas esquemáticas en corte o sección semejantes a la -
fig. 1, que ilustran sucesivas etapas de un procedimiento conforme al presente invento para fabricar el circuito monolítico de la fig. 1;

5

- la figura 7 es una vista en sección esquemática que ilustra otro circuito monolítico construido con arreglo al presente invento;

10

- las figuras 8 a 13 inclusive son otras tantas vistas esquemáticas en sección, similares a la fig. 7, que ilustran sucesivas etapas de un procedimiento para fabricar el circuito monolítico de la fig. 7;

15

- la figura 14 es una gráfica ilustrativa del perfil de impureza del transistor PNP del circuito monolítico de la fig. 1;

- la figura 15 es una gráfica ilustrativa del perfil de impureza del transistor NPN del circuito monolítico de la fig. 1;

20

- la figura 16 es una gráfica ilustrativa de las características de corriente/tensión del transistor PNP del circuito monolítico de la fig. 1; y

- la figura 17 es una gráfica ilustrativa de las características de corriente/tensión del transistor NPN del circuito monolítico de la fig. 1.

25

Con referencia ahora a los dibujos, un circuito monolítico construido con arreglo al presente invento es el indicado en general con el número de referencia 10 en la fig. 1. El circuito monolítico 10 está formado en una capa epitaxial 18 de tipo N sobre un substrato de silicio 12 de tipo P. En el substrato 12, debajo de la capa epita-

30



xial 18, se forman por difusión de tipo N unas regiones -
14, 15 y 16 fuertemente "drogadas". Hay un transistor PNP,
designado en general con el número 20, formado por una re-
gión de colector difundida 22, una región de base difundi-
5 da 24 con un contacto de base 26 también obtenido por di-
fusión, y una región de emisor 28 asimismo difundida. Hay
también un transistor NPN, designado en general con el nú-
mero 30, que tiene una región de colector 32 formada por
una porción de la capa epitaxial 18, una región de base -
10 formada por la región difundida 34, y una región de emisor
formada por la región difundida 36.

Un condensador de doble unión, indicado en gene-
ral, por el número de referencia 40, está formado por la -
unión entre una región difundida 42 de tipo P y la región
15 enterrada 15 de tipo N, y por la unión formada entre la -
región difundida 42 de tipo P y una región difundida 44 -
de tipo N. Otra región difundida 46 de tipo P proporciona
un contacto de poca resistividad con la región difundida -
42 de tipo P, más ligeramente drogada, y permite estable-
20 cer un contacto óhmico entre un contacto de metal dispues-
to encima (no ilustrado) y el contacto semiconductor.

Los transistores 20 y 30 y el condensador 40 es-
tán aislados entre sí, y respecto de otros elementos compo-
nentes del circuito, por medio de anillos separadores for-
25 mados por difusiones 38 de tipo P que se extienden atrave-
sando la capa epitaxial hasta el sustrato 18. Aún cuando
no se ilustra en las figuras, es fácil apreciar que los -
anillos de aislamiento o separadores 38 se extienden rodean-
do completamente cada uno de los citados elementos compo-
30 nentes. La región enterrada 14 de tipo N aísla la región -



26

de colector 22 del transistor PNP separándola del substrato 12. La región enterrada 16 difundida proporciona un camino de poca resistencia para la corriente de colector que va al transistor NPN 30.

5

El circuito monolítico 10 puede fabricarse con arreglo al siguiente procedimiento. El material de partida está representado en la fig. 2, y es un substrato de silicio 12 de tipo P que tiene una resistividad de 10 a 15 ohm, cm y un grosor típico de 0,254 mm. Las regiones difundidas 14, 15 y 16 está drogadas con antimonio y tienen una concentración superficial aproximada de 1×10^{18} átomos por centímetro cúbico, una resistividad de alrededor de 0,02 ohm. cm y una profundidad de unas 10 micras. La capa epitaxial 18 que se superpone al substrato 12 y a las regiones difundidas 14, 15 y 16 es también de silicio de tipo N drogado con antimonio, tiene una resistividad aproximada de 0,2 ohm. cm y es de unas 10 micras de espesor.

10

15

20

25

30

La primera etapa del procedimiento consiste en una difusión de tipo P para formar la región de colector 22 del transistor PNP 20, la región difundida 42 del condensador 40 y los anillos separadores 38, esencialmente como se ilustra en la fig. 3. La difusión se efectúa colocando primero el substrato en un horno de formación de depósitos, calentado el substrato a unos 975°C, purgando la cámara de formación de depósitos con nitrógeno durante unos cinco minutos, haciendo pasar una corriente reaccionante de tipo usual, que contenga tribromuro de boro (BBr_3), por la cámara de formación de depósitos durante unos veinte minutos, y purgando luego la cámara con nitrógeno durante otros cinco minutos. El substrato se somete entonces a una etapa -



26

usual de desvitrificación y se coloca en un horno de difusión, donde es calentado a unos 1200°C. El horno de difusión se purga primero con oxígeno durante unos cinco minutos, se llena luego de vapor de agua durante alrededor de 30 minutos, y se purga después con nitrógeno durante unos cinco minutos. La temperatura del sustrato se eleva a continuación a unos 1250°C durante alrededor de ocho horas, utilizando atmósfera de oxígeno.

La concentración de impureza en la superficie, resultante de la difusión de tipo P, es de aproximadamente 2×10^{18} átomos/cc. La región de colector 22 de tipo P y la región difundida 42 del condensador forman uniones con las regiones de tipo N subyacentes, fuertemente drogadas, 14 y 15 respectivamente, a una profundidad de alrededor de 8,5 micras, a consecuencia de la difusión del antimonio hacia arriba partiendo de las regiones difundidas 14 y 15. La región 38 de tipo P que forma los anillos separadores, en cambio, se extiende hacia abajo a una profundidad aproximada de 11,5 micras, que está bastante dentro del sustrato de tipo P. La resistencia de lámina resultante de la región de colector es de unos 70 ohmios por unidad de superficie.

La siguiente etapa es la de difundir la región de base 24 del transistor PNP. La concentración superficial de la región 24 de tipo N difundida se mantiene lo más baja posible, sin dejar de obtenerse por eso la profundidad deseada para la unión de colector con base. Como impureza de tipo N se utiliza el fósforo, depositado a partir de oxitricloruro de fósforo ($POCl_3$), a una temperatura de sustrato de alrededor de 800°C. El período de formación de de-

26 APR 1969

deposición es de unos 25 minutos, precedido y seguido de -
purgas de cinco minutos con nitrógeno. Tras una etapa de
desvitrificación, la resistencia de lámina es aproximada-
mente de 150 a 160 ohmios por unidad de superficie. El fós-
foro introducido se difunde luego a 1200°C usando una purga
de 10 minutos con nitrógeno, a la que sigue un período de
20 minutos en atmósfera de vapor y de 60 minutos en atmós-
fera de oxígeno. A este punto, la resistencia de lámina es
de alrededor de 50 ohmios por unidad de superficie, la pro-
fundidad de la difusión es de alrededor de 1,6 micras, y -
la concentración superficial de la región difundida 24 es
aproximadamente de 1×10^{19} .

A continuación, se difunde la región de base 34
del transistor NPN 30. Se vuelve a usar boro como impureza
drogante, depositándose a partir de tribomuro de boro (BBr_3)
como fuente de suministro de la impureza. La formación de -
deposición se realiza con el sustrato a una temperatura apro-
ximada de 900°C, durante un período de alrededor de 20 mi-
nutos precedido y seguido de períodos de purga de 5 minu-
tos. Tras una etapa de desvitrificación, la resistencia de
lámina es aproximadamente de 100 a 105 ohmios por unidad -
de superficie. A continuación se difunde el boro a unos -
1050°C, usando una prepurga de 10 minutos seguida de 25 mi-
nutos en atmósfera de vapor y de 20 minutos en atmósfera de
oxígeno. La concentración de impureza en la superficie es -
aproximadamente de 5×10^{18} átomos/cc. La resistencia de -
lámina obtenida finalmente para la difusión 34 es de unos
550 ohmios por unidad de superficie, y la unión tiene una
profundidad de 0,96 micras.

A continuación se forman la región de emisor 28 -



5 del transistor PNP y la región de contacto 46 del condensador 40. Esto vuelve a ser una formación de depósito de boro a partir de tribromuro de boro, y puede realizarse con el sustrato a una temperatura aproximada de 1100°C durante un período de alrededor de ocho minutos precedido y seguido de períodos de purga de dos minutos. La concentración de impureza en la superficie es aproximadamente de 4×10^{20} átomos/cc, y la profundidad de la unión es de alrededor de 1,1 micras.

10 Como durante la difusión a baja temperatura de la región de emisor 28 no se desarrolla capa alguna de óxido, se recubre luego el sustrato de una capa de óxido depositada por descomposición térmica de ortosilano de tetraetilo, para cubrir las ventanillas a través de las cuales se hizo la difusión de emisor 28.

15 Finalmente, se difunden la región de emisor 36 del transistor NPN, la región de contacto de base 26 del transistor PNP y la región 44 del condensador 40. La difusión y formación de depósito se hacen partiendo de oxitricloruro de fósforo ($POCl_3$) a una temperatura de sustrato de unos 1000°C durante un período de ocho minutos, precedido y seguido de períodos de purga de dos minutos. La concentración superficial de la difusión final es aproximadamente de 1×10^{21} átomos/cc, y la profundidad de la difusión es de alrededor de 0,5 micra. Los perfiles de impurezas finales de los transistores PNP y NPN se representan en las figs. 14 y 15, respectivamente.

25 El transistor PNP resultante tiene un valor de h_{FE} de alrededor de 90 a 110, y el transistor NPN tiene un valor de h_{FE} aproximado de 100 a 120, a bajas intensidades



de corriente. Las características de corriente/tensión de los transistores PNP y NPN se representan respectivamente en las figs. 16 y 17. Los demás parámetros de funcionamiento están asimismo muy próximos. El procedimiento implica -
 5 solamente cinco etapas de difusión, y nada más que siete -
 etapas fotolitográficas. La etapa de difusión utilizada para formar la región de base 34 del transistor NPN proporciona medios de formar simultáneamente elementos de resistencia que tengan una resistencia de lámina de alrededor -
 10 de 500 a unos 600 ohmios por unidad de superficie, componiendo así los valores de resistencia realmente grandes -
 que se necesitan para funcionar en micropotencias, realizables dentro de un área práctica.

El condensador 40 resultante del tratamiento tiene un elevado valor de Q y una constante de tiempo más breve que los condensadores usualmente obtenidos por difusión. La región difundida 42 tiene un espesor mucho mayor (unas ocho micras) que la región de base de un transistor y, por consiguiente, tiene una resistencia de lámina mucho menor.
 15 Por lo tanto, para un área dada, el valor R_g de la resistencia serie del condensador es mucho menor que para un condensador usual de la misma área. Además, la unión inferior entre la región 15 de tipo N fuertemente drogada y la región 42 de tipo P obtenida por difusión proporciona mayor capacidad que la que normalmente da la unión de colector y base de un transistor.
 20
 25

Con referencia ahora a la fig. 7, se ilustra en ella otro circuito monolítico construido con arreglo al presente invento e indicado en general con el número 100.
 30 El circuito monolítico 100 consta de un substrato 102 de -

5 silicio de tipo P y una capa 104 de tipo N epitaxialmente formada que se extiende por sobre toda la superficie del sustrato. Unas regiones difundidas 106 de tipo P, fuertemente drogadas, se extienden atravesando la capa epitaxial 104 hasta el sustrato 102 de tipo P y forman una pluralidad de anillos separadores que dividen la capa epitaxial en una pluralidad de bolsas 108, 109, 110, 111 y 112 eléctricamente aisladas o separadas.

10 Un transistor PNP, indicado en general con el número de referencia 114, está formado por una región de colector difundida 116 de tipo P, una región de base difundida 118 de tipo N que posee un contacto 119 de tipo N fuertemente drogado, y una región de emisor difundida 120 de tipo P.

15 La bolsa aislada 109 de la capa epitaxial 104 de tipo N forma la región de colector de un transistor NPN - indicado en general con el número de referencia 122, del cual una región difundida 124 de tipo P constituye la base, con una región de contacto 125 de tipo P fuertemente drogada, y una región difundida 126 de tipo N forma el emisor.

20 Un diodo, indicado en general con el número de referencia 128, está formado por la bolsa aislada 110, de la capa epitaxial 104 de tipo N, y una región difundida 130 de tipo P. Una región difundida 132 de tipo N fuertemente drogada proporciona el contacto óhmico con la región 110 de tipo N.

25 Una difusión de tipo P en la bolsa aislada 111, de la capa epitaxial 104 de tipo N, constituye un elemento de resistencia 134.



Un condensador, indicado en general con el número de referencia 140, está formado por la región aislada o separada 112, de la capa epitaxial 104, una región difundida 142 de tipo P que posee un contacto 144 fuertemente drogado, y una región 146 de tipo N fuertemente drogada.

En la fig. 7, la capa de óxido utilizada como máscara protectora de difusión durante la fabricación del circuito está indicada en general con el número 150, y se ilustra en términos generales como ya existente, antes del instante en que se practican las aberturas en el óxido y se deposita y modela la película metalizada para formar los contactos de conexión a los diversos elementos componentes.

El circuito monolítico 100 está fabricado, conforme al presente invento, mediante el procedimiento ilustrado en las figs. 8 a 13 inclusive. El material de partida es un sustrato de silicio 102 de tipo P, de una resistividad de 10 a 15 ohm.cm. Por toda la superficie del sustrato 102 se extiende una capa de silicio 104, de desarrollo epitaxial, de unas dieciocho micras de espesor y que tiene una resistividad de unos 0,2 ohm.cm.

Todas las etapas de difusión que se van a describir ahora emplean métodos usuales de difusión, por el hecho de utilizarse dióxido de silicio como máscara de difusión, modelado o distribuido a base de emplear los métodos habituales de litografía. Durante la etapa de difusión precedente se desarrollan dióxidos de silicio para cada etapa de difusión sucesiva. Por consiguiente, no se describirá con detalle el procedimiento de protección por máscara asociado a cada etapa.

La primera etapa del procedimiento es la forma-



5 ción de depósito y la difusión parcial de las impurezas -
que terminarán por formar la región de colector 116 de ti-
po P del transistor PNP 114, y la región 142 de tipo P del
condensador 140. Esta difusión es, típicamente, una difusión
normal de boro en la que se usa tribromuro de boro (BBr_3)
como fuente de impureza. La etapa de formación de depósito
se realiza a $950^{\circ}C$, e incluye una purga previa de 5 minu-
tos, un período de 15 minutos de formación de depósito, y
una purga posterior de 5 minutos. La resistencia de lámina
10 resultante es aproximadamente de 60 ohmios por unidad de -
superficie. A este punto, las impurezas que llegarán ulte-
riormente a formar las regiones difundidas 116 y 142 se -
han introducido hasta la capa 104 de tipo N. El substrato
se somete luego a una etapa de desvitrificación por baño
15 ácido tamponado al 10%, y se coloca en un horno de difusión
que tiene atmósfera de vapor, calentándose a unos $1200^{\circ}C$ -
durante alrededor de 40 minutos, y a unos $1250^{\circ}C$ durante -
alrededor de 30 minutos, para difundir parcialmente las -
impurezas. El substrato aparece entonces, poco más o menos,
20 tal como se representa en la fig. 8.

A continuación, se efectúa un depósito de tipo P
en las áreas necesarias para formar los anillos separadores
106 en torno a cada uno de los elementos componentes de -
circuito. La etapa de difusión es idéntica a la que acaba
25 de describirse en relación con las áreas 116 y 142, con la
salvedad de que el depósito se efectúa a $1150^{\circ}C$ durante -
30 minutos, y la etapa de difusión se lleva a cabo a $1250^{\circ}C$
durante unas seis horas, en atmósfera de oxígeno seco, y no
de vapor. El substrato aparece entonces, más o menos, como
30 se representa en la fig. 9. Como se observará, la región -

26 ABR 1969

de colector 116 de tipo P se ha difundido a mayor profundidad que en la fig. 8. En realidad, ninguna de las regiones difundidas de tipo P está a su profundidad final en esta etapa del procedimiento, pero ambas se están acercando a las profundidades finales indicadas para simplificar la ilustración.

Como el transistor NPN 122 está más profundo que el transistor PNP 114, se difunden a continuación la región de base 124 de tipo P y la región de ánodo 130 de tipo P del diodo 128. Es ésta también una difusión de boro, que puede ejecutarse partiendo de tribromuro de boro (BBr_3). El depósito se efectúa a 950°C durante un período de 15 minutos y da por resultado una resistencia inicial de lámina de aproximadamente 60 ohmios por unidad de superficie. Tras una etapa de desvitrificación, se coloca luego el sustrato en un horno de difusión y se calienta a 1200°C en atmósfera de oxígeno durante 5 minutos, en atmósfera de vapor durante 20 minutos y en atmósfera de nitrógeno durante 5 minutos. La estructura resultante es la representada en la fig. 10.

A continuación se difunde la región de base 118 del transistor PNP 114. Para suministrar fósforo al objeto de drogar el silicio, puede usarse oxitricloruro de fósforo (POCl_3). El depósito se hace a 800°C durante un período de unos 20 minutos, precedido y seguido de purgas de cinco minutos con nitrógeno, hasta dar una resistencia de lámina de unos 200 ohmios por unidad de superficie. Tras una etapa de desvitrificación, se difunde la región de base 118 a 1200°C durante 5 minutos en atmósfera de oxígeno, 20 minutos en atmósfera de vapor y 5 minutos en atmósfera de ni-

26 APR 1969



trógeno. La estructura es entonces aproximadamente tal como se ilustra en la fig. 11.

5 A continuación se difunde la resistencia 134. Se vuelve a utilizar tribromuro de boro (BBr_3) para proporcionar boro como impureza drogante de tipo P. El depósito se hace a 850°C durante 15 minutos precedidos y seguidos de sendos ciclos de purga de 5 minutos con nitrógeno. La resistencia de lámina es de unos 200 ohmios por unidad de superficie. Tras una etapa de desvitrificación, se coloca el sub-

10 trato en un horno de difusión y se caldea a 1200°C durante un período aproximado de 20 minutos en atmósfera de vapor, precedido y seguido de ciclos de 5 minutos con oxígeno y nitrógeno. La resistencia de lámina de la resistencia difun-

15 dida es entonces de unos 600 ohmios por unidad de superficie. La estructura resulta aproximadamente tal como se ha ilustrado en la fig. 12.

A este punto, las difusiones están esencialmente a sus profundidades finales y a sus resistencias de lámina finales, porque las dos difusiones de emisor sucesivas son

20 a temperaturas relativamente bajas y durante períodos relativamente breves, como se describirá a continuación. La región 116 del colector PNP tiene una resistencia de lámina de unos 150 ohmios por unidad de superficie, y una profundidad aproximada de 40 líneas; la región 118 de base PNP tie-

25 ne una resistencia de lámina de unos 60 ohmios por unidad de superficie, y una profundidad aproximada de 5 líneas; la región 124 de base NPN tiene una resistencia de lámina de unos 175 ohmios por unidad de superficie, y una profundidad aproximada de 12 líneas; y la difusión 134 del elemento de

30 resistencia tiene una resistencia de lámina de unos 500 - -



ohmios por unidad de superficie, y una profundidad aproximada de 5 líneas.

5 Finalmente, la región 126 de emisor NPN, la región 119 de contacto de base, la región 132 de contacto de cátodo del diodo 128 y la región difundida 146 del condensador 140 se depositan y difunden partiendo de oxitricloruro de fósforo ($POCl_3$) a $1100^{\circ}C$ durante 20 minutos, precedidos y seguidos de una purga con nitrógeno. Tras esta etapa, la estructura aparece esencialmente como se indica en la -
10 figura 13.

A continuación, tras una etapa de desvitrificación, se difunden la región 120 de emisor del transistor - PNP, la región 125 de contacto de base del NPN, y la región de contacto 144 del condensador 140, usando tribromuro de boro como fuente de suministro del boro. La formación de depósito y la difusión se efectúan a $1100^{\circ}C$ durante unos 7 -
15 minutos, precedidos y seguidos de purgas de 1 minuto con nitrógeno. La estructura tiene entonces la apariencia ilustrada en la fig. 7.

20 El condensador 140 tiene también un elevado factor Q, y una constante de tiempo relativamente breve, a consecuencia de ser reducido el valor de R_g . Este bajo valor de R_g viene proporcionado por el empleo de la difusión de colector de PNP para formar la región difundida 142, y
25 el uso de la difusión de emisor NPN para formar la región difundida 146. La región de tipo P resultante entre la unión inferior formada entre la región difundida 142 de tipo P y la región epitaxial 120 de tipo N, y la unión superior formada entre la región 142 de tipo P y la región difundida 146 de tipo N, es mucho más gruesa que la región -
30



de base de un transistor de los que habitualmente se -
emplean para el mismo fin; y por lo tanto tiene una resis-
tencia de lámina mucho menor, aún cuando la concentración
de impureza pueda ser también ligeramente inferior. La me-
5 nor resistencia de lámina reduce materialmente la resisten-
cia serie R_g para un condensador de dos uniones de la mis-
ma área de superficie, lo que acrecienta sensiblemente el
valor de Q del condensador.

10 Aún cuando se han descrito con detalle unas for-
mas preferidas de realización del invento, se sobrentien-
de que pueden hacerse en ellas diversos cambios, sustitui-
ciones y alteraciones, sin por ello salirse del espíritu
ni del ámbito de la invención, definido por las reivindi-
caciones que siguen.

15 Esta solicitud que corresponde a la presentada -
en los Estados Unidos de América, el día 30 de junio de -
1.967, con los números 650.303 y 650.496, se acoge a los
beneficios del artículo 51 del vigente Estatuto sobre Pro-
piedad Industrial.

- REIVINDICACIONES -

20 Los puntos de invención propia y nueva que se -
presentan para que sean objeto de esta solicitud de Paten-
te de Invención en España, por VEINTE años, son los si-
guientes:

25 1.- Un procedimiento para fabricar un circuito
monolítico de transistores dotado de un transistor PNP,

un transistor NPN y un condensador, de los cuales uno de los transistores tiene unas regiones de colector, base y emisor formadas por difusiones, y el otro transistor tiene una región de colector formada por un sustrato y unas regiones de base y de emisor formadas por difusiones, caracterizado por las etapas de: formar una primera región difundida en el sustrato por medio de la etapa de difusión utilizada para formar la región de colector de dicho primer transistor; y formar una segunda región difundida, en la primera región difundida, por medio de la etapa de difusión usada para formar la región de emisor de dicho otro transistor; de modo tal que se forme una unión inferior entre la primera región difundida y el sustrato, y una unión superior entre la segunda región difundida y la primera región difundida, dando un condensador de doble unión que posee una gruesa región central de poca resistividad.

2.- Un procedimiento para fabricar un circuito monolítico de transistores dotado de un transistor PNP, un transistor NPN y un condensador, siendo el condensador de doble unión, procedimiento que comprende las etapas de: efectuar un depósito y una difusión parcial de un primer tipo de conductividad en áreas seleccionadas de una capa epitaxial del otro tipo de conductividad, que se superpone a un sustrato de dicho primer tipo de conductividad formando la región de colector de uno de los transistores y la unión inferior del condensador; efectuar un segundo depósito y difusión parcial de dicho primer tipo de conductividad en unas áreas seleccionadas de la capa epitaxial, formando un anillo separador en torno a cada uno de

26 ABR 1960



5 los transistores y el condensador, introduciendo este se-
gundo depósito una concentración de impurezas drogantes -
sensiblemente mayor que el primer depósito, de modo tal -
que terminado el proceso la región convertida de la segun-
da difusión se extienda atravesando la capa epitaxial has-
ta el substrato, pero la región convertida de la primera -
difusión no lo haga así; efectuar un tercer depósito y di-
fusión parcial de dicho primer tipo de conductividad, for-
mando la región de base de dicho otro transistor; efectuar
10 un cuarto depósito y difusión parcial de dicho otro tipo
de conductividad, formando la región de base de dicho pri-
mer transistor; efectuar un quinto depósito y difusión -
parcial de dicho otro tipo de conductividad, formando la
región de emisor de dicho otro transistor y la unión supe-
rior del condensador; y efectuar un sexto depósito y di-
fusión de dicho primer tipo de conductividad, formando la
15 región de emisor de dicho primer transistor.

3.- Un procedimiento para fabricar un circuito
monolítico de transistores dotado de un transistor PNP, un
20 transistor NPN y un condensador, siendo el condensador de
doble unión, procedimiento que comprende las etapas de: -
efectuar un primer depósito y difusión parcial de un pri-
mer tipo de conductividad en áreas seleccionadas de una -
capa epitaxial del otro tipo de conductividad, que se su-
perpone al substrato de dicho primer tipo de conductivi-
dad, que posee regiones difundidas, fuertemente drogadas,
de dicho otro tipo de conductividad, por debajo de cada -
lugar de emplazamiento donde se vaya a formar un transis-
tor o condensador, siendo las áreas seleccionadas del pri-
25 mer depósito tales que se forme un anillo separador en tor-
30

18.4.69



no a cada lugar de emplazamiento de un transistor o de un condensador y se forme la región de colector de uno de los transistores y la unión inferior del condensador, siendo las impurezas introducidas por la primera formación de depósito de concentración suficiente para que, terminado el proceso, la región convertida producida por la primera difusión se extienda atravesando la capa epitaxial hasta el substrato; efectuar un segundo depósito y difusión parcial de dicho otro tipo de conductividad, para formar la región de base de dicho primer transistor; efectuar un tercer depósito y difusión parcial de dicho primer tipo de conductividad para formar la región de base de dicho otro transistor; efectuar un cuarto depósito y difusión parcial de dicho primer tipo de conductividad, para formar la región de emisor de dicho primer transistor; y efectuar un quinto depósito y difusión de dicho otro tipo de conductividad, para formar la región de emisor de dicho otro transistor y formar la unión superior del condensador.

4.- Un procedimiento para fabricar un circuito monolítico de transistores dotado de un transistor PNP, un transistor NPN y un condensador, cuyos transistores son complementarios y están igualados, procedimiento que comprende las etapas de: efectuar un primer depósito y difusión parcial de un primer tipo de conductividad en unas áreas seleccionadas de una capa epitaxial del otro tipo de conductividad, que se superpone a un substrato de dicho primer tipo de conductividad dotado de regiones difundidas fuertemente drogadas de dicho otro, o segundo tipo de conductividad por debajo de cada lugar de emplazamiento en donde se vaya a formar un transistor, siendo las áreas



5 seleccionadas del primer depósito tales que formen un anillo separador en torno a cada lugar de emplazamiento de transistor y constituyan la región de colector de uno de los transistores, siendo las impurezas introducidas por la primera formación de depósito de concentración suficiente para que, terminado el proceso, la región convertida producida por la primera difusión se extienda atravesando la capa epitaxial hasta el substrato, o forme unión con impurezas difundidas hasta la capa epitaxial desde dichas regiones fuertemente drogadas; efectuar un segundo depósito y difusión parcial de dicho otro tipo de conductividad, que forme la región de base de dicho primer transistor; efectuar un tercer depósito y difusión parcial de dicho primer tipo de conductividad, que forme la región de base de dicho otro transistor; efectuar un cuarto depósito y difusión parcial de dicho primer tipo de conductividad, que forme la región de emisor de dicho primer transistor; y efectuar un quinto depósito y difusión de dicho otro tipo de conductividad, que forme la región de emisor de dicho otro transistor.

5.- Un procedimiento para fabricar un circuito monolítico de transistores dotado de un transistor PNP, un transistor NPN y un condensador, cuyos transistores están adaptados o igualados, caracterizado por las etapas de: efectuar un primer depósito y difusión parcial de tipo P en por lo menos dos áreas de una capa epitaxial de tipo N en superposición con un substrato de tipo P dotado de una región de tipo N subyacente a por lo menos una de las áreas, y en una banda que circunda dichas áreas a cierta distancia de separación de ella, siendo el depósito de ti

26 ABR



5 po P de una concentración tal que la difusión convierta -
finalmente todo el espesor de la capa epitaxial de tipo N
en regiones de tipo P; y luego formar la base del transis-
tor NPN, la base del transistor PNP, el emisor del tran-
sistor NPN y el contacto de base del transistor PNP, y el
emisor del transistor PNP y el contacto de base del tran-
sistor NPN, en sucesivas etapas de formación de depósito
y difusión.

10 6.- Un procedimiento para fabricar un circuito
monolítico de transistores.

Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y con
los fines que se han especificado.

15 Esta Memoria consta de veintiseis hojas escri-
tas a máquina, por una sola cara.

26 ABR. 1969

Madrid,

P. A.

Alberto de Eizaburu
Por Poder

241308
20
[Stamp]

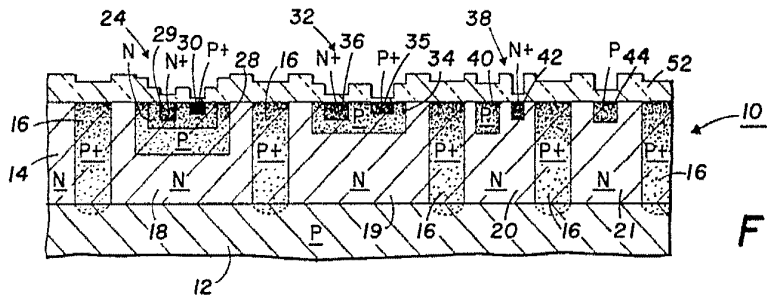


FIG. 1

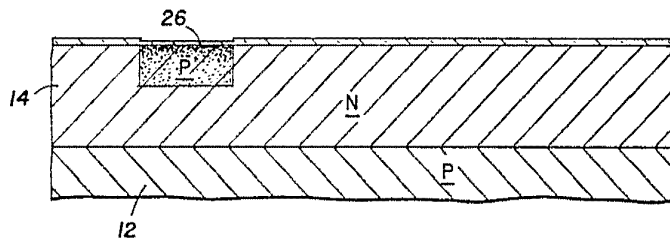


FIG. 2

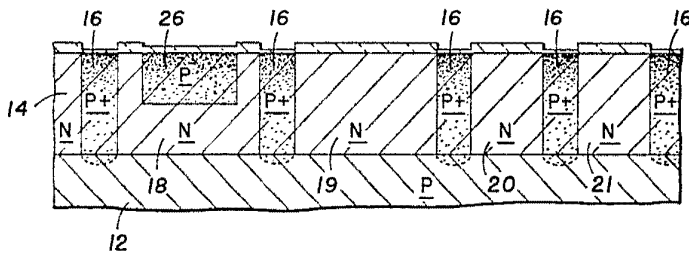


FIG. 3

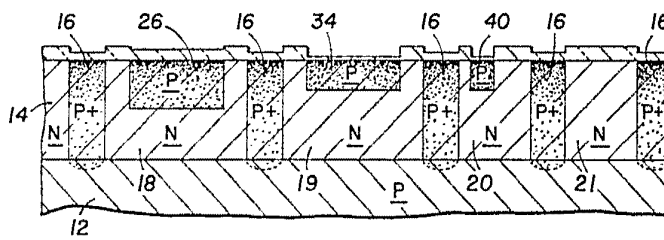


FIG. 4

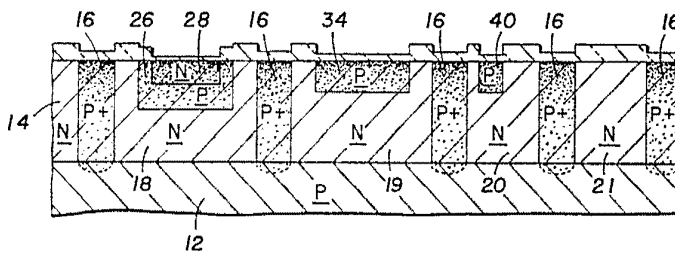


FIG. 5

Alberto de Eizaburu
Por Poder

Alberto de Mendonca
 Per Foder.

FIG. 8

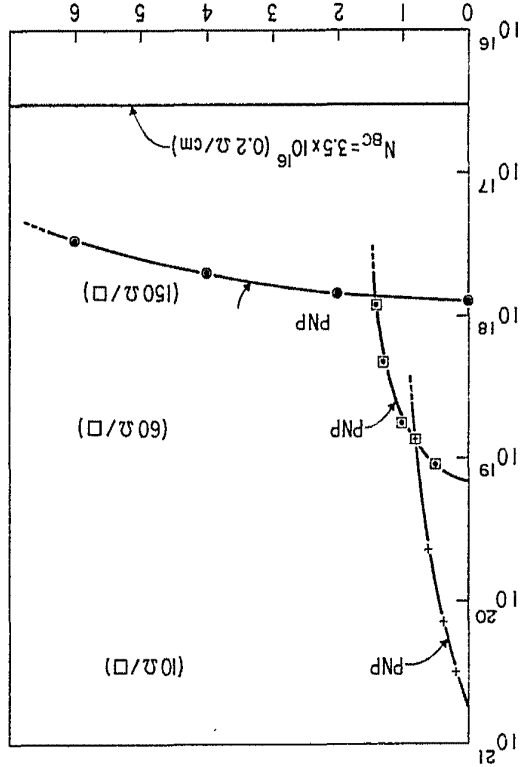


FIG. 7

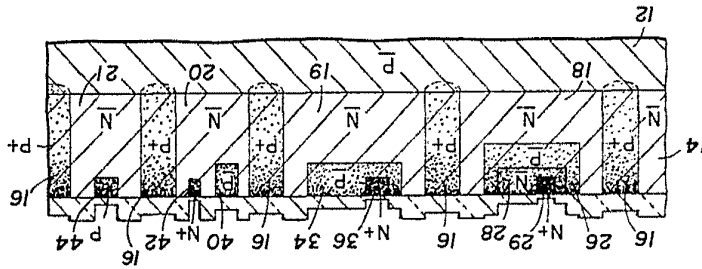
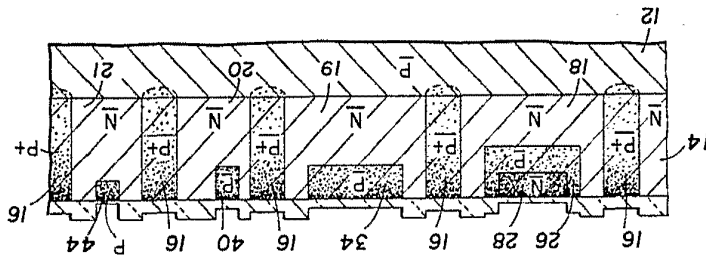


FIG. 6



26

III/II

TEXAS INSTRUMENTS INCORPORATED
 DALLAS, TEXAS

241353

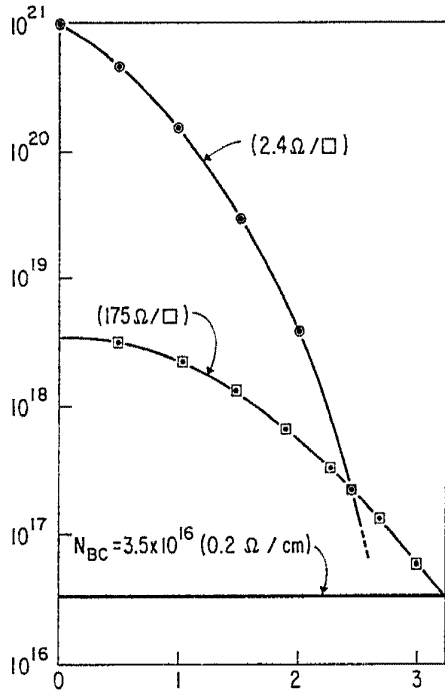


FIG. 9

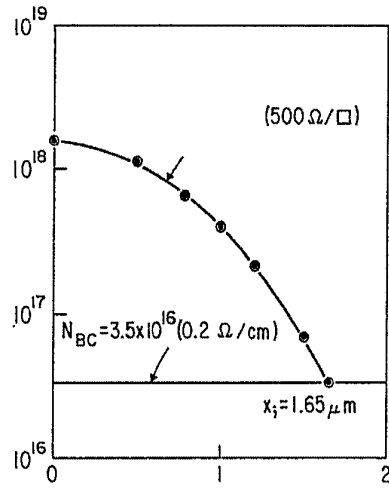


FIG. 10

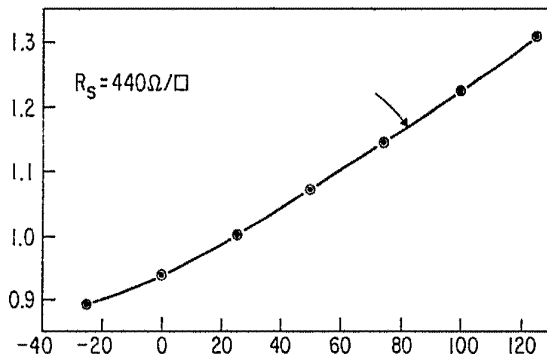


FIG. 11

Alberto J. Elizaburu
 For Pader.