

306390



A.E.J. Chatelon - M.A. Regnier 28-4

SECCION TECNICA
CLASIFICACION I.P.C.
CLASE <u>H 02</u>
SUBCLASE <u>B</u>

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "CIRCUITO AUXILIAR PARA CODIFICADOR ANALOGICO A
DIGITAL", A NOMBRE DE STANDARD ELECTRICA, S.A., CON
DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5

El presente invento se refiere a un circuito auxiliar para codificadores analógico a digital que controla el bloqueo del comparador durante el tiempo de carga del condensador de retención.

5 En un codificador, las señales analógicas de entrada, se prueban generalmente a una frecuencia dada, y la amplitud de cada muestra se almacena en un condensador de retención. Esta operación se hace entre dos operaciones de codificación y la señal probada se aplica después a una entrada de un comparador que recibe en su segunda entrada una señal analógica de referencia. Si se considera, por ejemplo, un codificador de realimentación, esta señal se obtiene por la codificación de un número almacenado en un registrador. Se sabe que una codificación de este tipo se hace por aproximaciones sucesivas, aumentando o disminuyendo un dígito

10

15



2.

cada vez de acuerdo con el resultado de la comparación.

Al final de la codificación, el condensador de retención está descargado y el registrador se libera, y luego la prueba siguiente se almacena en el condensador. Se ve
20 así que, durante un corto intervalo de tiempo, las dos entradas del comparador están a tierra y se observa que, cuando este elemento tiene una ganancia elevada hay oscilaciones que son transmitidas por los acoplamientos parásitos, (por ejemplo la fuente de alimentación), al condensador de retención
25 ción cuya carga se perturba. El resultado de éste es un error en el valor de la muestra, siendo este error más importante a medida que es menor el nivel de este voltaje.

Para soslayar este inconveniente, se ha previsto en el presente invento, para controlar la aplicación al comparador durante el tiempo reservado a estas operaciones de
30 un voltaje de una amplitud tal que lo bloquea cualquiera que sea la amplitud de la muestra.

Este bloqueo se hace aplicando en la entrada del comparador que recibe el voltaje decodificado, un voltaje de
35 una amplitud mayor que el valor máximo al que pueda llegar el voltaje que tiene que codificarse.

Cuando el decodificador está constituido por un atenuador en escalera alimentado por generadores de corriente como los de las patentes francesas N^{os}. 1.357.668 y
40 1.460.676, este voltaje se obtiene por inyección en el atenuador de una corriente de valor adecuado.

El objeto del presente invento es así evitar, en un codificador, los errores de amplitud debidos a la inestabilidad del comparador.

45 El invento está caracterizado por el hecho de que



3.

en el momento reservado para la descarga del condensador de retención, a su carga por una nueva muestra, y a la liberación del registrador en el que está almacenado el número que caracteriza la muestra precedente, se aplica al comparador un
50 voltaje de amplitud mayor que la de la amplitud máxima que puede alcanzar el voltaje que tiene que codificarse de forma que el comparador está bloqueado durante este tiempo.

Las antes mencionadas y otras características y objetos de este invento quedarán más claros con referencia a la descripción siguiente dada junto con el dibujo que se acompaña que representa el diagrama de un codificador de realimentación.
55

Como un ejemplo, un circuito auxiliar de acuerdo con el invento se describirá en su aplicación a un codificador de realimentación multiplex en el tiempo asociado a un sistema de transmisión que presenta las características siguientes:
60

- Número de canales: p canales definidos por los espacios de tiempo de canal $t_1, t_2 \dots t_p$ de duración unidad t .
65

- Número de espacios de tiempo de dígito: cada espacio de tiempo de canal de duración t está dividido en ocho espacios de tiempo de dígito $m_0, m_1, m_2 \dots m_7$ de igual duración. Los momentos m_1 a m_7 están reservados a la codificación en un número de siete dígitos, y el tiempo m_0 es un tiempo de guarda usado, en el Codificador, para las operaciones que son realizadas entre la codificación de dos muestras sucesivas.
70

- Número de espacios de tiempo básico: cada espacio de tiempo de dígito está dividido en cuatro espacios de
75



4.

tiempo básicos a, b, c, d de igual duración.

La figura representa el diagrama simplificado del codificador que comprende:

- El reloj CU que da las señales definidas.
- 80 - El circuito de multiplexaje que comprende las puertas AND G1, G2 ... Gp que recibe las señales analógicas A1, A2 ... Ap de los p canales. Estas puertas están activadas en sucesión de tiempo por las señales t1, t2 ... tp.
- El circuito de prueba y retención SH que comprende 85 de el condensador de memoria C, la puerta de descarga G11 y la puerta de prueba G12.

En el espacio de tiempo básico a del tiempo de guarda m0, la puerta G11 cortocircuita el condensador C que se descarga completamente. En los tiempos b y c siguientes, la 90 puerta AND G12 se activa bajo el control de la señal suministrada por la puerta OR G13 y el condensador C se carga al valor ec del voltaje dado por el circuito de multiplexaje.

- El registrador RG que comprende n = 7 flip-flops B1 a B7 (B1 es el flip-flop más significativo que está liberado en el momento m0).
- 95

- El decodificador DC que da un voltaje ed caracterizador del valor del número almacenado en el registrador RG.

Se ha mostrado, a título de ejemplo, un decodificador lineal del mismo tipo que el descrito en las Patentes Francesas antes citadas y que comprende, primero, un atenuador en escalera de impedancia característica Z que tiene siete puntos de inyección Q1 a Q7, y segundo, los generadores de corriente G1 a G7. Si cada célula del atenuador presenta una atenuación de 2 y si todos los generadores dan la misma corriente I, se ve que se obtendrá una decodificación lineal 100 105



disparando G7 cuando el flip-flop B1 del registrador esté en el estado 1, disparando G6 cuando B2 esté en el estado 1, etc.

110 - El comparador CM constituido por un amplificador diferencial de alta ganancia ($G = 1.500$) que recibe en sus entradas los voltajes e_c y e_d .

Debido a este valor tan elevado de la ganancia, el voltaje de salida de este comparador puede presentar prácticamente sólo dos valores distintos. Por lo tanto resulta
115 que se obtienen los códigos en forma serie en la salida D. Además, los códigos están disponibles en forma paralela en el extremo de cada tiempo de canal en la salida B.

120 - El bloque lógico LB que recibe primero, la señal de salida del comparador CM, y segundo, el espacio de tiempo de dígito y las señales de espacio de tiempo básico. Este bloque comprende $2n$ salidas conectadas a las entradas 0 y 1 de los n flip-flops del registrador RG. Se sabe que la función de este bloque lógico consiste en controlar en m_1 la colocación en el estado 1 del flip-flop B1 del registrador RG,
125 y luego colocarlo en el estado 0 si el comparador ha dado una información que caracteriza el hecho de que se tiene $e_c < e_d$. En m_2 , es el flip-flop B2 el que se pone en el estado 1, y luego se repone a 0 si $e_c < e_d$, etc.

130 - El generador de corriente G_x disparado por la señal m_0 , esto es que este generador se pone en funcionamiento durante el tiempo reservado a la descarga del condensador C, a su carga y a la liberación del registrador RG.

En este momento m_0 , el comparador CM recibe en un cierto momento voltajes cero en sus dos entradas, y puede oscilar dando así lugar, como se ha visto previamente, a un
135



6.

error en la amplitud del voltaje almacenado en el condensador C.

140 Para evitar esta oscilación, el generador GX se dispara durante el tiempo m_0 . Si, por ejemplo, la amplitud de las señales e_c puede variar entre los valores 0 y $+E_c$, la amplitud de la corriente I_x suministrada por el generador será tal que el voltaje $e_d = z \cdot I_x$ es mayor que E_c .

145 Por lo tanto resulta que cualquiera que sea el valor de la carga del condensador C durante el tiempo m_0 , el comparador recibe una alta tensión en su entrada conectada al decodificador DC, de forma que no puede cambiar su estado ni oscilar.

150 Si el circuito auxiliar que acaba de describirse tuviera que utilizarse en un codificador simétrico en el que la amplitud de las señales que tienen que codificarse varía entre $-E_c$ y $+E_c$, se hace que la amplitud del voltaje suministrado por el decodificador en el momento m_0 deba ser mayor que E_c y que pueda ser positivo o negativo.

155 Aunque los principios del invento anterior se han descrito en relación con realizaciones específicas, y sus modificaciones particulares se sobrentiende que esta descripción se ha hecho a título de ejemplo y no como una limitación del alcance del invento.

160 Este invento corresponde a una solicitud de patente formulada en Francia el 24 de Abril de 1968 señalada con el nº. PV 149.222 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años



165. son los siguientes:

1 - Un circuito auxiliar para codificador analógico a digital que comprende medios para probar las señales vocales analógicas y para almacenar dichas pruebas en un condensador, medios que responden a dichas pruebas almacenadas para codificar una palabra PCM, medios comparadores para comparar las pruebas analógicas y las señales codificadas, medios para bloquear el comparador entre los tiempos de almacenamiento de pruebas, haciéndose dicha descarga a un nivel de carga predeterminado y dicho bloqueo por medio de un voltaje que es mayor que el valor máximo que puede ser alcanzado por la señal que tiene que codificarse.

2 - Un circuito como el del punto 1 con medios lógicos de circuito que responden a dicha prueba almacenada para almacenar dicha palabra PCM en un registrador y para comparar dicha palabra almacenada con dicha prueba almacenada, y medios para liberar dicho registrador en el momento en que se descargue dicho condensador.

3 - Un circuito como el del punto 1 en el que dichos medios comparadores están constituidos por un amplificador diferencial de alta ganancia y medios para aplicar dicha prueba almacenada a una entrada de dicho amplificador y dicho voltaje de bloqueo a la otra entrada.

4 - Un circuito auxiliar para codificador analógico a digital.

190 Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.



8.

Esta memoria consta de ocho hojas escritas por una sola cara.

195

Madrid,

10 NOV 1970


EUGENIO BARROSO
Secretario General



