

SECCION TECNICA  
CLASIFICACION I. P. C.  
CLASE H 03  
SUBCLASE K

P.- 41.441

PHN 3182

366284

### Memoria descriptiva



1969

14 JUN 1969

para solicitar PATENTE DE INVENCION

por 20 años

a nombre de N.V. PHILIPS' GLOEILAMPENFABRIEKEN

entidad / ~~de nacionalidad~~ holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda

por: "UNA DISPOSICION DE CIRCUITOS PARA TRANSFERIR CARGA  
DESDE UN PRIMER CONDENSADOR O CAPACIDAD A UN SEGUNDO  
CONDENSADOR O CAPACIDAD"

(Clase Internacional H03k)

6.6.69



La presente invención se refiere a una disposición de circuitos que comprende al menos una etapa, cuya etapa comprende una primera capacitancia, una segunda capacitancia y medios electrónicos de conmutación o interrupción para transferir carga desde la primera capacitancia a la segunda capacitancia. Este tipo de disposición de circuitos se usa con frecuencia en memorias capacitivas que pueden utilizarse, por ejemplo, como línea de retardo para señales de audiofrecuencia o de videofrecuencia, o bien como registro de desplazamiento binario. Es, pues, necesario que se transfiera la energía de una primera capacidad a una segunda capacidad de dicho circuito de memoria, con la menor pérdida y deformación posible.

En una disposición de circuitos de este género ya conocida, que se ilustra en la fig. 3 de la publicación "Electronics Letters", Dic. 1967, 3, nº. 12, pp. 544-546, la disposición en serie de una resistencia, el camino de emisor-colector de un transistor y un diodo se ha incluido entre un primer condensador y un segundo condensador, disponiéndose una fuente de conmutación que controla la transferencia de carga, entre los extremos de conexión de la primera capacidad y de la segunda más distantes de la resistencia y del diodo. El electrodo de base de dicho transistor está conectado a un punto de potencial constante. Esta disposición de circuitos ya conocida presenta la desventaja de producirse intermodulación entre sucesivos muestreos de señales, intermodulación que es ocasionada por la presencia de la capacidad parásita entre el colector y la base de los transistores, lo que da lugar a que durante la transferencia de carga de un primer condensador a un segundo condensador, una parte de



la carga a transferir se introduzca en dicha capacidad parásita como carga parásita, carga que permanece en la capacidad parásita durante la operación de transferencia o traslado desde el segundo condensador a un tercer condensador. Esta carga parásita se aplica como adicional a dicho segundo condensador, en la sucesiva operación de transferencia desde dicho primer condensador a dicho segundo condensador. El resultado de esto es que en los muestreos individuales de señal se superponen ecos de la señal precedente, teniendo dicho efecto de eco una acción cumulativa. En un circuito de memoria integrada, en el que no puede elegirse un valor pequeño para la razón o cociente entre dicha capacidad parásita y la capacidad electrostática, de memoria, dicho efecto de eco será ya desastroso para las posibilidades de utilización de la memoria integrada con un pequeño número de unidades de memoria dispuestas una tras otra.

Otra desventaja del circuito ya conocido está en el hecho de producirse una pérdida de carga, por ser ligeramente menor que 1 el factor de ganancia  $\alpha$  de corriente de colector-emisor de los transistores utilizados, de manera que la corriente de carga y la de descarga, respectivamente, de un primer condensador es mayor que la corriente de descarga y la de carga, respectivamente, de un segundo condensador.

Es objeto de la invención una disposición de circuitos del tipo descrito, que no presenta dichas desventajas y que resulta además extremadamente adecuada para ser integrada. La invención se caracteriza por el hecho de haber un transistor de efecto de campo dispuesto



entre dichas capacidades primera y segunda, estando la primera capacidad incluida en el circuito del electrodo de fuente o de entrada y la segunda capacidad incluida en el circuito del electrodo de drenaje o salida; habiendo una fuente de tensión de conmutación que controla la transferencia de carga, dispuesta entre el electrodo de barrera del transistor de efecto de campo y la conexión de dicha primera capacidad más alejada del electrodo de fuente; y estando la conexión de dicha segunda capacidad, más alejada del electrodo de drenaje, conectada al electrodo de barrera del transistor de efecto de campo.

La disposición de circuitos se usa de preferencia en una memoria capacitiva, la cual comprende sucesivos circuitos contruídos de la misma manera, de modo que en etapas sucesivas la segunda capacidad de la primera etapa es también primera capacidad de la segunda etapa, y la segunda capacidad de la segunda etapa es también primera capacidad de la tercera etapa, y así sucesivamente.

La invención se refiere además a un dispositivo semiconductor para uso en dicho dispositivo de transferencia, dispositivo semiconductor que comprende un substrato, el cual presenta una o más regiones de superficie de material semiconductor. Conforme a la invención, tal dispositivo se caracteriza por el hecho de que los transistores de efecto de campo del dispositivo constituyen una serie en la cual las regiones semiconductoras de los transistores de efecto de campo de la serie están dispuestas en dichas regiones de superficie, el electrodo



de drenaje de un transistor de efecto de campo de la serie para transferir carga está conectado al electrodo de fuente del sucesivo transistor de efecto de campo de la serie, la capacidad del circuito de electrodo de drenaje de cada transistor de efecto de campo está constituida por la capacidad interna entre el electrodo de barrera y el electrodo de drenaje de dicho transistor de efecto de campo, y los electrodos de barrera de los transistores de efecto de campo están asociados a la entrada o a las entradas eléctricas para las señales de control.

Utilizando la capacitancia interna entre los electrodos de barrera y de drenaje como segunda capacitancia, o sea como capacitancia de memoria, se obtiene una memoria capacitiva de estructura muy sencilla, memoria que combina la bondad de su manera de funcionar con la pequeñez del área de superficie necesaria por unidad de memoria, porque cada unidad de memoria está constituida por un solo transistor de efecto de campo. Además, es importante la característica de que el área de superficie por unidad de memoria en una memoria conforme a la invención es en general más pequeña que en una memoria integrada comparable en la que se usen transistores de tipo bipolar, porque cuando se usan transistores de efecto de campo, éstos pueden ir dispuestos en la misma región de superficie, de manera que es posible evitar el empleo de regiones de aislamiento. Es más, el empleo de transistores de efecto de campo en la fabricación de una memoria integrada, con arreglo a métodos de los comúnmente usados en la tecnología de los semiconduc-



tores, puede dar por resultado una disminución del número de operaciones de foto-reserva y difusión, en comparación con el uso de transistores bipolares. Tanto la menor área de superficie por unidad de memoria como la mayor sencillez de la manufactura acrecientan el rendimiento de la fabricación.

Además, la forma de construcción elegida de memoria capacitiva, ilustrada en la fig. 3, cuando se usa como capacidad electrostática de memoria la capacidad interna entre los electrodos de barrera y de drenaje, tiene la ventaja adicional de que la capacidad parásita presente entre los electrodos de fuente y de barrera no tiene influencia dañosa alguna en el satisfactorio funcionamiento de dicha memoria capacitiva, porque dicha capacidad parásita sirve también de capacitancia de memoria. El mismo razonamiento tiene aplicación a las capacitancias parásitas entre la región de superficie de semiconductor circundante y los electrodos de fuente y de drenaje. El nivel de referencia de la capacidad parásita entre los electrodos de fuente y de barrera es el equivalente a  $-V_D$  voltios.

La disposición de circuitos conforme a la invención puede usarse, entre otras maneras, como línea de retardo, por ejemplo, para señales de audio o de video-frecuencia. En un circuito de este género es conveniente tener un largo tiempo de retardo por unidad de memoria, o sea por transistor de efecto de campo. Cuando se usa una serie de  $n$  transistores de efecto de campo, es posible obtener un tiempo de retardo máximo por unidad de memoria cuando todos los electrodos de barrera están co-



nectados por separado, a través de una fuente de tensión de conmutación, a masa o a un potencial de referencia distinto. Eligiendo las señales de conmutación de manera que tengan un valor de E voltios durante  $1/n$  (la enésima) parte de cada período de exploración T, y un valor de 0 voltios durante el resto del período, y cuando además estén desplazadas entre sí en el tiempo en la enésima parte del período T, de tal manera que se hagan conductivos primero el enésimo transistor de efecto de campo y luego los de orden (n-1), (n-2), y así sucesivamente, el tiempo de retardo por unidad de memoria se hace máximo e igual a  $(n-1) T/n$  segundos.

Ahora bien, en la práctica, el número de fuentes de conmutación o interrupción (aquí denominadas genéricamente de conmutación) se restringirá de preferencia, a expensas de cierta reducción en el tiempo de retardo por unidad de memoria. Esto puede lograrse interconectando un número de electrodos de barrera de los transistores de efecto de campo; y una forma preferida del dispositivo semiconductor conforme a este invento se caracteriza, por lo tanto, por el hecho de estar interconectados un número de electrodos de barrera de los transistores de efecto de campo de la serie, número que no comprende dos transistores de efecto de campo sucesivos.

Como se apreciará de manera obvia es conveniente llegar a un compromiso lo más favorable posible entre el número de fuentes de conmutación a usar, por unaparte, y el número de transistores de efecto de campo necesarios, por la otra. En este caso tiene importancia que el tiempo de retardo por unidad de memoria sea además independiente de la ma-



nera en que se hayan elegido las conexiones de los electrodos de barrera de los diversos transistores de efecto de campo de la serie.

5 Aun cuando para el funcionamiento como registro de desplazamiento es suficiente que, en la conexión de los electrodos de barrera de diversos transistores de efecto de campo, se satisfaga la condición de que no pueda haber simultáneamente en condición dos transistores de efecto de campo sucesivos, se construyen conforme a la invención  
10 memorias más grandes, para así llegar a obtener un compromiso favorable, partiendo de una serie de transistores de efecto de campo que contiene por lo menos dos grupos adyacentes sucesivos que tienen el mismo número de transistores de efecto de campo sucesivos, estando interconectados  
15 los electrodos de barrera de dichos transistores de efecto de campo asociados con grupos diferentes, pero que en su grupo tienen el mismo número.

Esta forma de construcción permite obtener el más largo tiempo de retardo posible por unidad de memoria,  
20 con un número previamente ajustado de fuentes de conmutación a utilizar. El número de transistores de efecto de campo por grupo viene determinado por el número de fuentes de conmutación a emplear.

25 El dispositivo semiconductor conforme al presente invento puede estar construido con transistores de capas o películas delgadas depositadas (T.F.T.); pero de preferencia está caracterizado por ser regiones de superficie los electrodos de fuente y de drenaje de uno o más de los transistores de efecto de campo de la serie, en tanto que  
30 entre dichas regiones de superficie se extiende una región



14 JUN

5 de canal que se une a la superficie del semiconductor limitada por las regiones de superficie, disponiéndose en la superficie del semiconductor una capa aislante en la cual está dispuesta el electrodo de barrera, y que se extiende por encima de la región de canal.

10 Una forma importante de realización del dispositivo semiconductor del presente invento comprende por lo menos un transistor de efecto de campo que tiene un electrodo de barrera aislado, y cuyo electrodo de drenaje constituye también el electrodo de fuente del transistor de efecto de campo sucesivo de la serie, de tal modo que se obtiene una estructura particularmente compacta.

15 Otra forma importante de realización del dispositivo semiconductor del presente invento se caracteriza por el hecho de que los electrodos de fuente y de drenaje de por lo menos un transistor de efecto de campo de la serie son regiones de superficie de un determinado tipo de conductividad que están conectados entre sí por una región de canal de un determinado tipo de conductividad, siendo el electrodo de barrera una región del tipo de conductividad opuesto  
20 que llega a la región de canal y que está separada de la región de canal por una unión PN.

25 Como se apreciará de manera obvia, las frecuencias a las que es posible utilizar la memoria dependen también del valor de las capacitancias de la memoria. En general, según sean menores las frecuencias utilizadas, las capacidades de la memoria tendrán que ser más grandes. A consecuencia de esto, dicha capacidad interna de los transistores de efecto de campo usuales puede ser demasiado pequeña, por  
30 ejemplo, cuando se utilicen bajas frecuencias.



En otra forma de ejecución del dispositivo semiconductor del presente invento, el electrodo de barrera de por lo menos uno de los transistores de efecto de campo de la serie se extiende por encima de parte del electrodo de drenaje, y por encima de la región de canal. A consecuencia de esto se aumenta de modo efectivo la capacidad interna entre el electrodo de barrera y el electrodo de drenaje, siendo máximo el aumento del área de superficie necesaria por unidad de memoria.

La capacidad electrostática interna de la memoria se aumenta de distinta manera en una forma de realización del dispositivo semiconductor del presente invento con arreglo a la cual en el electrodo de drenaje de por lo menos uno de los transistores de efecto de campo de la serie se dispone otra región de superficie, de un tipo de conductividad opuesto al del electrodo de drenaje, y esta otra región de superficie comprende un conductor de conexión. En esta forma de ejecución se usa la capacidad de una unión PN polarizada en sentido inverso, capacidad que en este caso exige relativamente poca área de superficie adicional. Esta otra región de superficie últimamente mencionada puede conectarse directamente al electrodo de barrera del transistor de efecto de campo, por medio de dicho conductor de conexión.

En lo que sigue se describirá la invención con referencia a los dibujos adjuntos, en los cuales:

- la figura 1 es un esquema eléctrico de principio de la invención;

- la figura 2 ilustra la variación de la tensión de la fuente de tensión de conmutación de la fig. 1;



- la figura 3 muestra un dispositivo que resulta adecuado, por ejemplo, para retardar señales eléctricas;

- la figura 4 ilustra las variaciones de tensión en diferentes puntos del dispositivo de la fig. 3;

5 - la figura 5 ilustra esquemáticamente, vista en planta, parte de una forma de ejecución del dispositivo semiconductor conforme a la invención, en tanto que

- la figura 6 ilustra esquemáticamente una vista en sección recta tomada por la línea VI-VI de la fig. 5;

10 - la figura 7 ilustra esquemáticamente, vista en sección recta, parte de otra forma de ejecución del dispositivo semiconductor conforme al presente invento;

- la figura 8 representa esquemáticamente, vista en planta, parte de otra forma de ejecución del dispositivo semiconductor conforme al invento, en tanto que

15 - la figura 9 ilustra esquemáticamente una vista en sección recta tomada por la línea IX-IX de la fig. 8;

- la figura 10 representa esquemáticamente, vista en planta, parte de otra forma de realización del dispositivo semiconductor conforme al presente invento, mientras

20 - la figura 11 ilustra esquemáticamente una vista en sección recta tomada por la línea XI-XI de la fig. 10;

- la figura 12 representa esquemáticamente, vista en planta, una forma sucesiva de dispositivo semiconductor conforme al presente invento; y

25 - la figura 13 ilustra esquemáticamente una vista en sección recta del dispositivo semiconductor de la fig. 12, tomada la sección por la línea XIII-XIII de la fig. 12.

30 En la fig. 1,  $T_n$  es un transistor de efecto de campo que puede estar construido con un electrodo de barrera



14

aislado;  $C_{n-1}$  es una primera capacidad, y  $C_n$  es una segunda capacidad.  $S_0$  es una fuente de tensión de conmutación que suministra una tensión, por ejemplo, cuya forma se ilustra en la fig. 2. Por esta última figura puede verse que la tensión entre el electrodo de barrera G y un potencial de referencia (por ejemplo, masa) es igual a E voltios durante el tiempo  $\tau_1$ , en tanto que durante el tiempo  $\tau_2$  dicha tensión es igual a 0 voltios. La capacidad  $C_n$ , en la fig. 1, está dispuesta entre el electrodo de drenaje D y el electrodo de barrera G del transistor  $T_n$  de efecto de campo, en tanto que la capacidad  $C_{n-1}$  está conectada por uno de sus extremos al electrodo de fuente S y por el otro al electrodo de barrera del transistor de efecto de campo  $T_n$ , a través de la fuente  $S_0$  de tensión de conmutación. Durante el tiempo  $\tau_1$ , la tensión entre el electrodo de barrera y el potencial de referencia es igual a E voltios. El transistor estará en conducción durante el tiempo de  $\tau_1$  en que la tensión en bornes de la capacidad sea menor de  $(E-V_D)$  voltios, siendo  $V_D$  la tensión de umbral del transistor de efecto de campo  $T_n$ . A través del transistor circulará una corriente que hará que aumente la tensión en bornes de la capacidad  $C_{n-1}$  y que disminuya la tensión en bornes de la capacidad  $C_n$ . Si las dos capacidades son del mismo valor, la tensión en bornes de la capacidad  $C_{n-1}$  aumentará, en el mismo periodo, en la misma extensión en que disminuirá la tensión en bornes de la capacidad  $C_n$ . Con una tensión dada E de la fuente de conmutación  $S_0$ , la tensión de salida en bornes de la capacidad  $C_{n-1}$  será igual a  $(E-V_D)$  voltios, ya que, al llegar a esta tensión, el transistor de efecto de campo  $T_n$  dejará de conducir. La tensión de salida en bornes



5

10

de la capacidad  $C_n$ , por consiguiente, será igual a  $(V_n - \Delta V)$  voltios, donde  $\Delta V$  es igual al aumento de tensión en bornes de la capacidad  $C_{n-1}$  y  $V_n$  es la tensión en bornes de la capacitancia  $C_n$  al dar comienzo la transferencia de carga entre las dos capacidades. Cuando la tensión de  $(E - V_D)$  voltios se elige como nivel de referencia para la información  $-\Delta V$  que estaba presente en la capacidad  $C_{n-1}$ , se encuentra uno con que la información  $-\Delta V$  ha pasado a la capacidad  $C_n$  mientras, simultáneamente, la capacidad  $C_{n-1}$  ha sido cargada al nivel de referencia y, por tanto, está de nuevo en condiciones de recibir nueva información del elemento de memoria precedente.

15

20

25

30

La fig. 3 ilustra un circuito en cadena de  $n$  unidades, cada una de las cuales comprende un transistor de efecto de campo en el que hay una capacidad dispuesta entre el electrodo de drenaje y el electrodo de barrera. El electrodo de drenaje de cada transistor de efecto de campo está conectado, para la corriente continua, al electrodo de fuente del transistor de efecto de campo sucesivo. El electrodo de drenaje del enésimo transistor de efecto de campo ya conectado a la fuente  $S_0$  de tensión de conmutación por medio de un diodo  $D_n$ . La señal de salida del circuito en cadena puede derivarse de un electrodo de drenaje de cualquiera de los transistores de efecto de campo. El electrodo de fuente del transistor de efecto de campo  $T_0$  está conectado a un potencial de referencia (por ejemplo, a masa), a través de la disposición en serie de la resistencia  $R_0$  y la fuente de suministro de la señal de entrada  $V_1$ . El electrodo de barrera de los



5 transistores de efecto de campo de orden par va conectado, por medio de la fuente  $S_0$  de tensión de conmutación, a un punto de potencial de referencia, en tanto que los electrodos de barrera de los transistores de efecto de campo de número impar van directamente conectados al potencial de referencia.

10 Para una mejor comprensión del funcionamiento de la disposición de circuitos de la fig. 3, la fig. 4 ilustra las más importantes variaciones de tensión que se producen durante la ejecución de la transferencia, en función del tiempo. La gráfica 4a representa la variación de tensión de la fuente de conmutación  $S_0$  en función del tiempo. Es una onda de tensión, de perfil rectangular simétrico, que tiene un máximo de  $+E$  voltios y un mínimo de  $-E$  voltios, siendo el período de dicha onda de tensión rectangular igual a  $T$  segundos. Este período debe ser menor, por lo menos en un factor 2, que el período de la señal de máxima frecuencia que tenga lugar en la tensión de entrada  $V_i$ , tensión esta última que se ilustra en la fig. 4b. Durante los intervalos de tiempo  $\tau_0$ ,  $\tau_2$ ,  $\tau_4$  y  $\tau_6$ , el punto  $B_0$  de la fig. 3 que conecta los electrodos de barrera de los transistores de efecto de campo de orden par tiene un potencial de  $-E$  voltios respecto al punto  $B_1$  que conecta los electrodos de barrera de los transistores de efecto de campo de orden impar, punto que está también conectado al potencial de referencia. El transistor  $T_0$  no estará en conducción durante dichos intervalos de tiempo si la tensión de entrada  $V_i$  es mayor que  $-(E-V_D)$  voltios, en tanto que, al mismo tiempo, los transistores de número

15

20

25

30

14 JUN 1969



ro par  $T_2, T_4$  y así sucesivamente, no estarán en conduc-  
ción, ya que la tensión en bornes de las capacidades de  
número impar  $C_1, C_3$ , etc. nunca puede ser mayor de  
( $E-V_D$ ) voltios, como se dijo para la capacidad  $C_{n-1}$  de  
5 la fig. 1. Los transistores de orden impar  $T_1, T_3$ , etc.  
estarán en conducción durante los mismos intervalos  
de tiempo si la tensión en bornes de las capacidades  
de orden par  $C_0, C_2$ , etc. es menor de  $E$  voltios. Las  
capacidades de número par se cargan hasta que la ten-  
sión en bornes de las mismas se haya hecho igual a  
10 ( $E-V_D$ ) voltios, en tanto que la tensión en bornes de  
cada capacidad de número impar se reducirá en la misma  
extensión en que aumente la tensión en bornes de la ca-  
pacidad de número par precedente. Así, en este caso,  
15 se supone que todas las capacidades son del mismo va-  
lor.

Durante el tiempo en que el punto  $B_0$  tiene una  
tensión de  $+E$  voltios respecto al punto  $B_1$ , que está  
también conectado al potencial de referencia, la infor-  
20 mación concerniente al valor de la señal de entrada  $V_i$   
se transmite a la capacidad  $C_0$ , conforme a la fig. 4a,  
durante los intervalos de tiempo  $\tau_1, \tau_3, \tau_5, \tau_7$ .  
El valor de la señal de entrada durante estos interva-  
los de tiempo es aproximadamente igual a  $-E, 0, +E$  y  $0$   
25 voltios, respectivamente. Durante estos intervalos de  
tiempo circulará a través del transistor  $T_0$  una corrien-  
te igual a  $(E-V_D-V_i)/(R_0+r)$  amperios, lo que hace que  
disminuya la tensión de ( $E-V_D$ ) voltios presente en bor-  
nes de la capacidad  $C_0$ . Las corrientes que circulan a  
30 través del transistor  $T_0$  durante dichos intervalos de

6.6.69



14 JUN

tiempo se hallan representadas en la fig. 4c, en tanto que el comportamiento de la tensión en bornes de la capacidad  $C_0$  está ilustrado en la fig. 4d. Por esta última figura puede verse que las caídas de tensión en bornes de la capacidad  $C_0$  varían linealmente con el tiempo durante los intervalos de tiempo  $\tau_1, \tau_3, \tau_5, \tau_7$ , lo cual es cierto solamente si la resistencia  $R_0$  es muchas veces mayor que la pendiente inversa del transistor de efecto de campo  $T_0$ . La caída de tensión más grande, es decir,  $\Delta V = (E - V_D)$  voltios, tiene lugar en el intervalo de tiempo  $\tau_1$ , mientras la caída de tensión en el intervalo  $\tau_5$  es de cero voltios. Así, la relación lineal entre la caída de tensión  $\Delta V$  en bornes de la capacidad  $C_0$  y dicha señal de entrada existirá tan sólo para las señales de entrada que se hallen en el intervalo definido por

$$-(E + V_D) \leq V_i \leq +(E - V_D) \text{ voltios.}$$

La resistencia  $R_0$ , pues, se elegirá de modo que tenga un valor tal que con una señal de entrada de 0 voltios, la tensión en bornes de la capacidad  $C_0$  durante el tiempo en que  $B_0$  tenga un potencial de  $+E$  voltios respecto a masa llegue justamente a adquirir un valor igual a  $\frac{1}{2}(E - V_D)$  voltios. La corriente media de carga  $i_{gem} = (E - V_D)/2R_0$  necesarias para ello viene determinada por el valor de la capacidad  $C_0$  y la duración  $\tau$  de cada período  $T$  en que el potencial del punto  $B_0$  es igual a  $+E$  voltios. Dicha corriente de carga es igual a  $C_0 (E - V_D)/2\tau$ , donde  $\frac{1}{2}(E - V_D)$  es la caída de tensión en bornes de la



capacidad  $C_0$  para una señal de entrada de cero voltios. De esto se sigue que, para un ajuste adecuado de la corriente media de carga, debe verificarse que  $\tau = \frac{1}{2}C_0R_0$ . Los valores favorables para la corriente media de carga, respecto a una buena relación de señal/ruido y a la energía de conmutación necesaria se hallan comprendidos entre un microamperio y un miliamperio.

5

Debido al hecho de que en la disposición de circuitos ilustrada en la fig. 3 las capacidades parásitas entre el electrodo de drenaje y el de barrera de los transistores de efecto de campo están ahora en paralelo con las capacidades  $C_0$  a  $C_n$  inclusive, la presencia de dichas capacidades parásitas ya no da lugar a efectos de eco, puesto que dichas capacidades parásitas operan ahora también como capacidades de memoria. Además, mediante el uso de transistores de efecto de campo como medios de conmutación se logra que la corriente de carga y la de descarga, respectivamente, de una primera capacidad no difieran esencialmente de la corriente de descarga y la de carga, respectivamente, de una segunda capacidad de la disposición de circuitos de la fig. 3. Además, el uso de los transistores de efecto de campo tiene como ventaja adicional, respecto a los transistores bipolares, la de que la señal eléctrica de entrada  $V_i$  puede tener una amplitud más grande, porque la tensión de ruptura entre el electrodo de fuente y el de barrera o el substrato es muchas veces mayor que la correspondiente tensión de ruptura entre el electrodo emisor y el de base de un transistor bipolar.

10

15

20

25

30

14 JUN



5 El dispositivo semiconductor ilustrado en  
las figs. 5 y 6 comprende un substrato 50 que puede con-  
sistir en un material aislante y estar provisto de una  
o más regiones de superficie de material semiconductor,  
o bien, como en el presente ejemplo, que puede cons-  
tar en sí de un material semiconductor. Conforme a la  
invención, en una región de superficie del substrato  
50 están dispuestas unas regiones semiconductoras 51  
de una serie de transistores de efecto de campo, estando  
10 el electrodo de drenaje de un transistor de efecto de  
campo de la serie, para la transferencia de carga, conec-  
tado al electrodo de fuente del transistor de efecto  
de campo sucesivo de la serie, ya que cada una de las  
regiones 51 representadas constituye tanto el electro-  
do de drenaje de un determinado transistor de efecto  
15 de campo como el electrodo de fuente del transistor de  
efecto de campo que le sigue. Los electrodos de barrera  
52 están conectados a una de las pistas metálicas 53 y  
54 y, por tanto, asociados a las entradas eléctricas  
20 para las señales de control que puedan aplicarse por me-  
dio de dichas pistas metálicas.

25 El dispositivo semiconductor tiene una estruc-  
tura sencilla y compacta, en la cual el área de superfi-  
cie necesaria por unidad de memoria es pequeña, ya que  
cada unidad de memoria está constituida por solamente  
un transistor de efecto de campo.

30 Por medio de cada una de las pistas conducti-  
vas 53 y 54 se conectan entre sí los electrodos de ba-  
rreira 52 de un número de transistores de efecto de efecto  
de campo, de tal modo que ese número de transistores de



efecto de campo no comprenda dos transistores de efecto de campo sucesivos. Como resultado de esto, es posible aplicar la misma señal de control simultáneamente a los electrodos de barrera de los diversos transistores de efecto de campo, de manera tal que basta con un número restringido de fuentes de tensión de conmutación.

En el presente ejemplo, los electrodos de barrera de los transistores de efecto de campo sucesivos están conectados alternativamente a la pista conductiva 53 y a la pista conductiva 54. A consecuencia de ello, la serie de transistores de efecto de campo se compone de grupos adyacentes sucesivos que tienen el mismo número de dos transistores de efecto de campo sucesivos, estando conectados entre sí los electrodos de barrera de dichos transistores que, asociados a diversos grupos, tienen el mismo número en su grupo.

Con este método de conexión se logra un compromiso favorable entre el número de fuentes de conmutación a usar, de una parte, y de otra el tiempo de retardo por unidad de memoria. En relación con esto es de notar que el tiempo de retardo por unidad de memoria es directamente proporcional al número de transistores de efecto de campo por grupo que contienen simultáneamente información.

La segunda capacidad, o de memoria, está constituida por la capacidad entre el electrodo de barrera 52 y la región de superficie 51, que están separados entre sí por la capa aislante 55 que recubre la superficie del semiconductor. Además, el electrodo de barrera 52



14 J  
5      está situado por encima de la región de canal 56 que llega a la superficie del semiconductor y se extiende entre las regiones de superficie 51 que constituyen los electrodos de fuente y de drenaje de los transistores de efecto de campo.

10      La capacidad entre el electrodo de barrera 52 y la región de superficie 51 es la capacidad interna entre el electrodo de barrera y el de drenaje del transistor de efecto de campo. Esta capacidad interna se aumenta en este caso, ya que el electrodo de barrera 52 se extiende por encima de la región de canal 56 y por encima de parte del electrodo de drenaje 51.

15      Es de notar que en los transistores de efecto de campo que poseen un electrodo de barrera aislado, del tipo al cual pertenecen los transistores de efecto de campo arriba descritos, el electrodo de barrera suele superponerse a la región de canal de manera que el electrodo de barrera se extiende tanto ligeramente por encima del electrodo de drenaje como por encima del electrodo de fuente. En el transistor de efecto de campo descrito que tiene una mayor capacidad interna, en cambio, el electrodo de barrera no es simétrico respecto a la región de canal, de manera que el electrodo de barrera cubre, de uno de los electrodos, una parte mayor, y de preferencia considerablemente mayor, que del otro electrodo.

20      El dispositivo semiconductor de las figs. 5 y 6 puede manufacturarse por entero de una manera de las comunmente utilizadas en la tecnología de los semiconductores. El substrato 50 consta, por ejemplo, de si-



5 licio de tipo N. A continuación pueden disponerse las  
regiones 51 de tipo P (de unas proporciones, por ejem-  
plo, de 40 x 40 micras), por los métodos usuales de fo-  
toprotección y difusión. La anchura de las regiones  
de canal 56 es, por ejemplo, de 6 micras. Las uniones  
PN entre las regiones 51 y el substrato 50 se extien-  
den, por ejemplo, a una profundidad de aproximadamente  
2 micras a partir de la superficie del semiconductor.  
10 La capa aislante 55 es, por ejemplo, de óxido de sili-  
cio y/o nitruro de silicio, y por debajo del electro-  
do de barrera 52 tiene un espesor de, por ejemplo, 0,1  
micra. Por debajo de las pistas conductivas 53 y 54, la  
capa aislante 55 tendrá preferiblemente un mayor espe-  
sor (por ejemplo, de 0,5 micras), para prevenir la for-  
15 mación no deseada de canales. A este fin pueden además  
usarse interruptores de canal como, por ejemplo, los  
obtenidos por difusión. Las proporciones de los electro-  
dos de barrera 52 son, por ejemplo, de 38 x 38 micras,  
en tanto que la anchura de las pistas conductivas 53  
20 y 54 es, por ejemplo, de 10 micras. Constan, por ejemplo,  
de aluminio u otro material electródico apropiado (como  
por ejemplo, el oro), y el espesor es, por ejemplo, de  
0,3 micra. El dispositivo semiconductor puede ensamblar-  
se de manera usual en una envolvente normal.

25 Otra forma de realización de transistor de  
efecto de campo dotado de una mayor capacidad interna  
entre el electrodo de barrera y el de drenaje es la que  
se describirá ahora con referencia a la fig. 7. Este  
transistor de efecto de campo comprende un cuerpo semi-  
30 conductor 70, en el que partiendo de la misma superfi-



5           cie se extienden dos regiones de superficie 71 y 72 del  
          mismo tipo de conductividad, mientras entre dichas regio-  
          nes de superficie 71 y 72 se dispone una región de canal  
          73 que se une a dichas regiones de superficie y a la super-  
10           ficie del semiconductor. Por encima de la región de canal  
          se extiende un electrodo 75, separado de aquella por la  
          capa aislante 74. Conforme al presente invento, por lo  
          menos una de las regiones de superficie, en este caso  
          el electrodo de drenaje 72, del cuerpo semiconductor 70  
15           rodea otra región de superficie 76 que es de un tipo de  
          conductividad contrario al de las regiones de superficie  
          71 y 72. Además, la región de superficie 76 está provista  
          de un conductor de conexión 77.

          En esta forma de realización, se usa la capacidad  
15           de la unión Pn entre las regiones 72 y 76. Es conveniente  
          que dicha unión PN, en la condición de trabajo, esté siem-  
          pre polarizada en sentido inverso. Esto puede lograrse  
          conectando una fuente de tensión apropiada entre el conduc-  
          tor de conexión 77 y el electrodo de barrera 75. En los  
20           transistores de efecto de campo que tienen baja tensión de  
          umbral, por ejemplo, la tensión entre el electrodo de barre-  
          ra y el de drenaje será, no obstante, de un valor tal que  
          la unión PN deseada se polariza en el sentido inverso tam-  
          bién cuando el electrodo de barrera 75 y el conductor de  
25           conexión 77 están directamente conectados entre sí (como  
          se ilustra en la fig. 7).

          En el presente ejemplo, el electrodo de fuente 71  
          comprende un conductor de conexión 78, y el electrodo de  
          drenaje 72 comprende un conductor de conexión 79. Este  
30           transistor de efecto de campo puede también fabricarse



por entero de manera ya acostumbrada en la tecnología de los semiconductores.

Es obvio que con un número de transistores de efecto de campo, como se indica en la fig. 7, un dispositivo semiconductor conforme a este invento puede construirse de manera semejante a la descrita con referencia a la fig. 5. En tal dispositivo, los sucesivos transistores de efecto de campo de la serie pueden interconectarse por medio de pistas conductoras 78, 79, o bien el electrodo de drenaje 72 puede constituir también el electrodo de fuente 71 del transistor de efecto de campo sucesivo.

En los ejemplos ilustrados en las figs. 5, 6 y 7, el substrato está provisto de un conductor de conexión, no representado, para así poder polarizar en sentido inverso las uniones PN entre el electrodo de fuente y drenaje y la región semiconductor circundante, durante el funcionamiento. Tal conductor de conexión puede estar dispuesto, por ejemplo, en el lado superior, pero también en el lado inferior del substrato o cuerpo semiconductor. En este último caso puede usarse con ventaja un substrato 70 de poca resistividad, en el cual vaya dispuesta una capa epitaxial del mismo tipo de conductividad, pero de mayor resistividad (fig. 7).

Otra forma de ejecución del dispositivo semiconductor de la invención, parte del cual se ilustra en las figs. 8 y 9, comprende una serie de transistores de efecto de campo, en la que los electrodos de fuente y de drenaje de por lo menos uno de los transistores de efecto de campo son las regiones de superficie 80 y 81 de un determinado tipo de conductividad que están interconectadas por una región de



canal 83 de un determinado tipo de conductividad, en tanto que el electrodo de barrera 84, 86 es una región del tipo de conductividad contrario que se une a la región de canal 83, estando dicha región 84, 86 separada de la región de canal 83 por una unión PN 85, 87.

El electrodo de barrera 84, 86 comprende dos partes, de las cuales la primera es una región de superficie 84 que, en la superficie 88 del semiconductor con la que también se reúnen los electrodos de fuente y de drenaje 80 y 81, circunda uno de dichos electrodos 80 y 81 últimamente mencionado: a saber, el electrodo 80. A consecuencia de esto, puede lograrse de sencilla manera que la región de canal 83 del lado que mira al electrodo 81 sea más ancha que por el otro lado, el que se enfrenta al electrodo 80. Esto tiene la ventaja de que la capacidad interna entre la región 84 y el electrodo 81 es mayor que la capacidad interna entre la región 84 y el electrodo 80.

En el dispositivo semiconductor de la invención, el electrodo 80 se usa preferiblemente como electrodo de fuente, y el electrodo 81 como electrodo de drenaje; y en este caso la mayor de las dos capacidades internas citadas sirve de capacidad segunda o de memoria. Esta selección del electrodo de fuente y el de drenaje tiene además la ventaja de que en la condición de trabajo la intensidad del campo eléctrico en la región de canal 83, que se ensancha desde el electrodo de fuente al de drenaje, tiene un valor más uniforme, lo cual favorece el buen funcionamiento del transistor de efecto de campo.

En la región de superficie del semiconductor, la segunda parte 86 del electrodo de barrera 84, 86 rodea la re-

gión del determinado tipo de conductividad primeramente citado, que está constituida por la región de canal 83 y los electrodos de fuente y de drenaje 80 y 81. La segunda parte 86 está separada de dicha región de un primer tipo determinado de conductividad por medio de dicha unión 87.

En contraste con lo que es normal en los transistores de efecto de campo, la parte 86 del electrodo de barrera de esta forma de realización del dispositivo semiconductor conforme al presente invento no se usa como parte activa del transistor de efecto de campo. A consecuencia de esto, la parte 86 puede constituir una región de superficie o un substrato en el que pueden disponerse varios transistores de efecto de campo, sin que sean necesarias más medidas para aislar entre sí dichos transistores de efecto de campo. La región 84 provista de un conductor de conexión 89 es la que se usa como electrodo de barrera activo, al cual puede suministrársele la señal de control por medio de las pistas conductoras 90 y 91. El substrato 86 puede estar conectado a un potencial de referencia, por medio de un conductor de conexión (no representado). El substrato, como alternativa, puede estar flotante; es decir, no conectado a punto alguno del circuito, a consecuencia de lo cual el potencial del substrato sería diferente respecto del que tuviera sin dicha conexión.

En la superficie 88 del semiconductor hay dispuesta una capa aislante 93, sobre la que van las pistas conductoras 89 a 92 inclusive. Las pistas conductoras 92 conectan cada una un electrodo de drenaje 81 de un transistor de efecto de campo de la serie al electrodo de fuente 80 del sucesivo transistor de efecto de campo de la serie.



Es de notar que el electrodo de barrera 84 puede tener también una geometría estrecha anular, o cerrada de otro modo, en la que por ejemplo, se prevea un ensanchamiento local para poder dotar de conductor de conexión al electrodo de barrera. De este modo, la región de canal 83 puede tener, al menos localmente, una longitud muy pequeña, para que pueda ser pequeña la resistencia entre el electrodo de fuente y el de drenaje.

Otra forma de ejecución del dispositivo semiconductor del presente invento, parte de la cual se muestra en las figs. 10 y 11, comprende también unos transistores de efecto de campo en los cuales los electrodos de fuente y de drenaje son unas regiones de superficie 100 y 101 de un determinado tipo de conductividad. Estas regiones están interconectadas por la región de canal 102 de un determinado tipo de conductividad. El electrodo de barrera está constituido por una región 103 del tipo de conductividad opuesto, que llega hasta la región de canal 102, y por una región de superficie 104 que es también del tipo de conductividad opuesto y está conectada a la región 103. En esta forma de ejecución se hace uso del hecho de que, en la disposición de circuito, están interconectados los electrodos de barrera de varios transistores de efecto de campo. Tales transistores de efecto de campo interconectados pueden estar dispuestos en la misma región 103. Las diversas regiones 103 están aisladas entre sí de manera normal, ya que se usa un substrato 105 de un determinado tipo de conductividad, sobre el cual se halla dispuesta una capa epitáxica 103 del tipo de conductividad contrario, en tanto que hay además, dispuestas por difusión, unas regiones de aisla-



miento 106 que son del determinado tipo de conductividad y que se extienden en el substrato 105. Las regiones 103 están rodeadas, a modo de islas, por las regiones de aislamiento 106.

5 Las regiones 103 están además provistas de un conductor de conexión (no representado), por medio del cual pueden aplicarse señales de control a los electrodos de barrera.

10 Para reducir la resistencia en serie entre los electrodos de barrera de los diversos transistores de efecto de campo, las regiones 103 pueden estar provistas de una parte 107 de poca resistencia que, preferiblemente, no se une al substrato 105 porque, de otro modo, la capacidad electrostática entre las regiones 103 y el substrato 105  
15 se hace extraordinariamente grande, debido a la presencia de la parte de baja resistencia 107.

La superficie del semiconductor está provista de una capa aislante 108 en la que hay dispuesto un diseño de distribución de pistas conductoras 109, las cuales toman  
20 contacto con los electrodos de fuente y de drenaje 100 y 101 a través de unas ventanillas practicadas en la capa aislante. Por medio de las pistas conductoras 109, los transistores de efecto de campo están dispuestos formando serie, de modo que cada una de las pistas conductoras 109 conecta  
25 el electrodo de drenaje 101 de un transistor de efecto de campo situado, en una región o isla 103, al electrodo de fuente 100 de un transistor de efecto de campo correspondiente a otra región 103.

30 Los transistores de efecto de campo descritos en relación con las figs. 10 y 11 son de estructura simétrica.



14 JUL 1969

5 Esto significa que la capacidad interna entre el electrodo de barrera y el de fuente es aproximadamente igual de grande, o aún mayor, que la capacidad interna entre el electrodo de barrera y el de drenaje. Aun cuando esto no estorba, o por lo menos no estorba sensiblemente, al buen funcionamiento del dispositivo semiconductor, se usan de preferencia transistores de efecto de campo que tienen una estructura asimétrica, y en los que la capacidad interna entre el electrodo de barrera y el de drenaje es máxima.

10 Esto puede lograrse, por ejemplo, sustituyendo los transistores de efecto de campo del dispositivo ilustrado en las figs. 10 y 11 por unos transistores de efecto de campo, de los cuales se representa uno en las figs. 12 y 13. En estas figs. 12 y 13, los elementos que se corresponden con los de las figs. 10 y 11 están designados, para mayor claridad, con los mismos números de referencia. En esta forma de ejecución, el electrodo de fuente 10 es considerablemente más pequeño que el electrodo de drenaje 101, en tanto que la región de canal 102 del lado que se enfrenta

15 al electrodo de drenaje 101 es más ancha que por el otro lado, que mira al electrodo de fuente 100.

20 Como se apreciará de manera obvia, la invención no se limita a los ejemplos descritos, siendo posibles muchas variantes para las personas entendidas en la materia, sin salirse del ámbito de esta invención. Por ejemplo, pueden usarse transistores de efecto de campo que tengan una región de canal de tipo N, y también aquellos cuya región de canal sea de tipo P. Alternativamente, pueden usarse transistores de efecto de campo tanto del tipo de efecto

25 de enriquecimiento como del tipo de empobrecimiento. Además,

30



la disposición de circuitos descrita en relación con la  
fig. 3 puede usarse con ventaja, por ejemplo, para reali-  
zar de manera usual un filtro para las señales eléctricas.  
Asimismo, cuando se use una gran cantidad de unidades en,  
5 por ejemplo, el circuito en cadena ilustrado en la fig. 3,  
las pérdidas de carga, si las hay, pueden compensarse dis-  
poniendo uno o más amplificadores de carga de tipo usual  
en el circuito en cadena. Como variante, en combinación  
con el circuito de cadena descrito, pueden usarse circuitos  
10 de entrada y de salida de tipo usual. Es más, pueden conec-  
tarse dos o más de dichos circuitos de cadena en paralelo  
con entradas comunes y/o con salidas comunes.

Asimismo, en los transistores de efecto de campo que  
tengan un electrodo de barrera separado de la región de  
15 canal por una unión PN, la capacidad entre el electrodo de  
barrera y el de drenaje puede aumentarse utilizando regiones  
de superficie adicionales situadas, por ejemplo, en una  
parte de superficie del electrodo de barrera, o bien entera  
o parcialmente en el electrodo de drenaje, y que estén  
20 conectadas al electrodo de drenaje y al de barrera, respec-  
tivamente.

Pueden usarse también otros materiales semiconductores  
como, por ejemplo, el germanio o los compuestos  $A^{III}B^V$ , y  
asimismo son posibles otras formas geométricas y dimensiones.

La región de canal puede estrecharse localmente, me-  
diante el recurso de disponer otras regiones semiconductoras  
de tal manera que la región de canal resulte estrangulada  
primero en el área de dicho estrechamiento por las capas de  
empobrecimiento asociadas a la unión PN del electrodo de  
30 barrera. De esta manera puede desplazarse el punto de es-



5      trangulamiénto en el sentido que va del electrodo de drenaje al de fuente, de manera que se reduzca la capacidad electrostática entre el electrodo de barrera y el de fuente, en favor de la existente entre el electrodo de barrera y el de drenaje.

Esta solicitud que corresponde a la presentada en Holanda con fecha 23 de Abril de 1.968, bajo el Nº 68-05705 se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

#### REIVINDICACIONES

10               Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

15               1.- Una disposición de circuitos para transferir carga desde un primer condensador o capacidad a un segundo condensador o capacidad, que comprende al menos una etapa, cuya etapa contiene una primera capacidad, una segunda capacidad y medios electrónicos de conmutación o interrupción para transferir carga desde la primera capacidad a la segunda capacidad, caracterizada porque está  
20               dispuesto un transistor de efecto de campo entre dicha primera capacidad y dicha segunda capacidad, estando incluida la primera capacidad en el circuito de electrodo de fuente o entrada y estando incluida la segunda capacidad  
25               en el circuito de drenaje o salida, estando previsto un

30.12.70

2 ENE



manantial de voltaje de conmutación que controla la transferencia de carga entre el electrodo de barrera del transistor de efecto de campo y la conexión de dicha segunda capacidad alejada del electrodo de salida que está conectado al electrodo de barrera del transistor de efecto de campo.

2.- Disposición de circuito según la reivindicación 1, que comprende más etapas, caracterizado porque de las etapas sucesivas, la segunda capacidad de la primera etapa es también la primera capacidad de la segunda etapa.

3.- Una disposición de circuito para transferir carga desde un primer condensador o capacidad a un segundo condensador o capacidad.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y con los fines que se han especificado.

Esta Memoria consta de treinta y una hojas escritas a máquina por una sola cara.

Madrid, 2 ENE 1971

P.A.

Por Fourn.

30.12.70

BDG/.

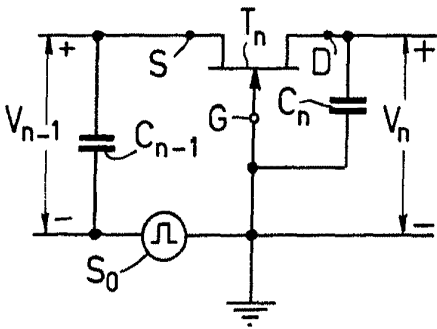


fig.1

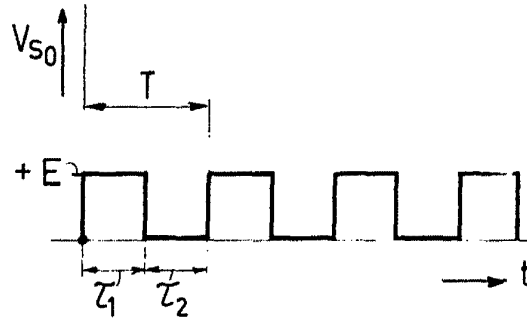


fig.2

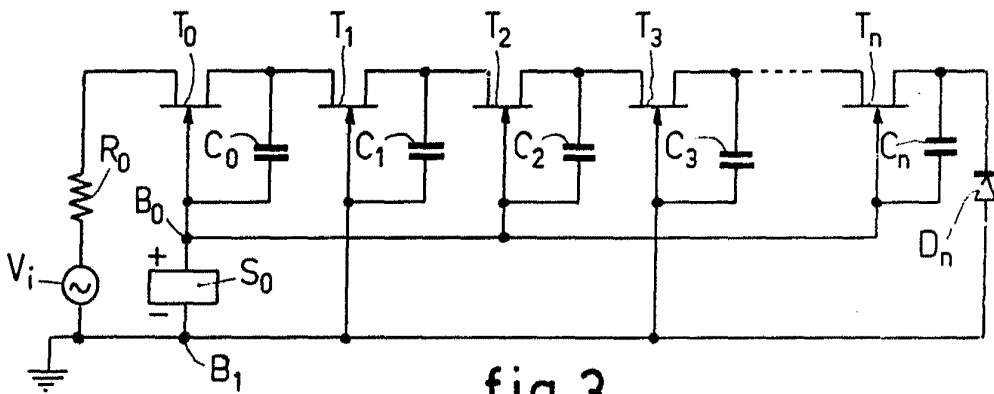


fig.3

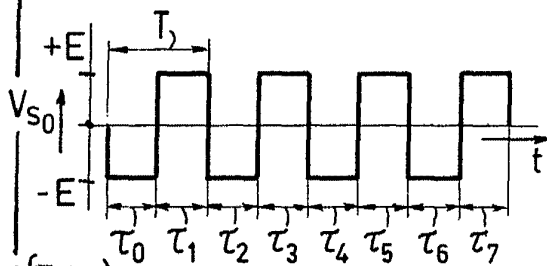


fig. 4 a

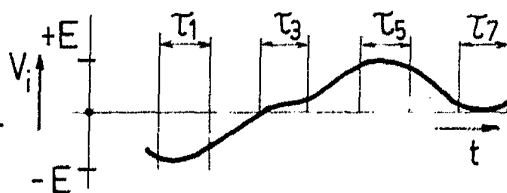


fig.4 b

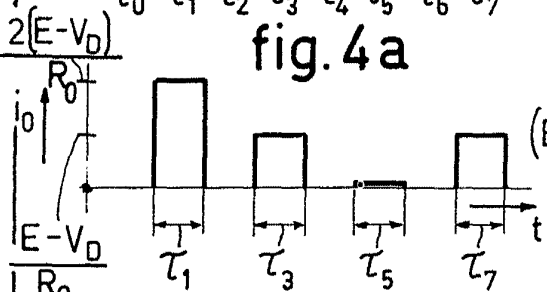


fig.4 c

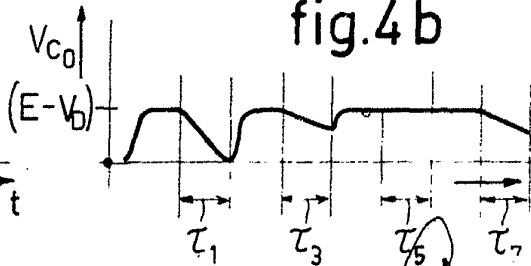


fig.4 d

Albert de Elzaburu  
For Poles.

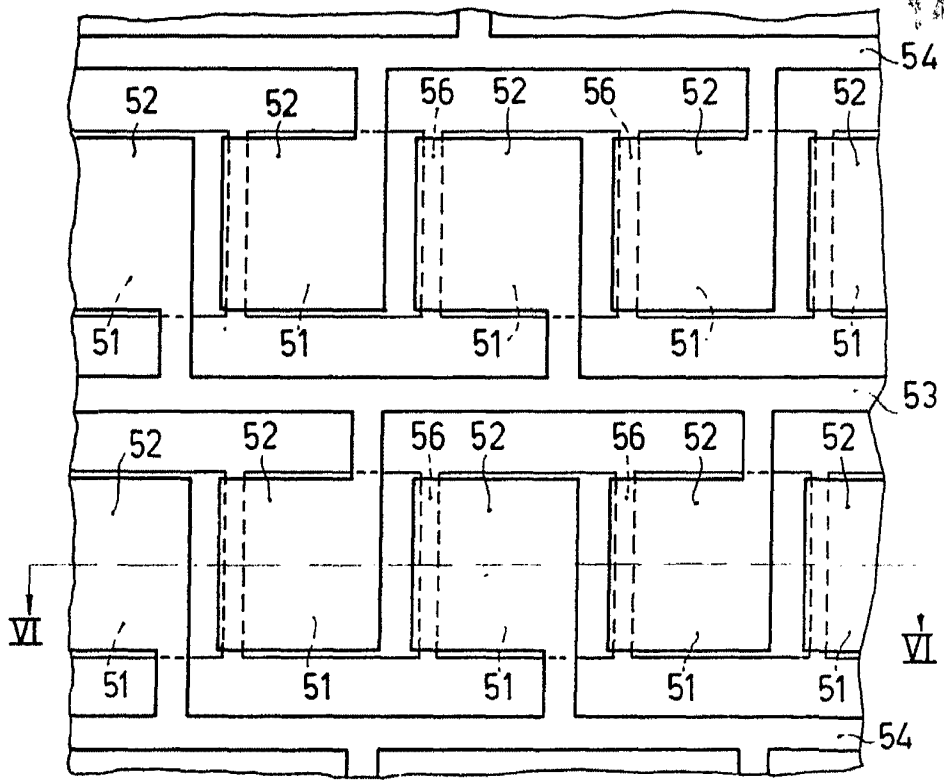


fig. 5

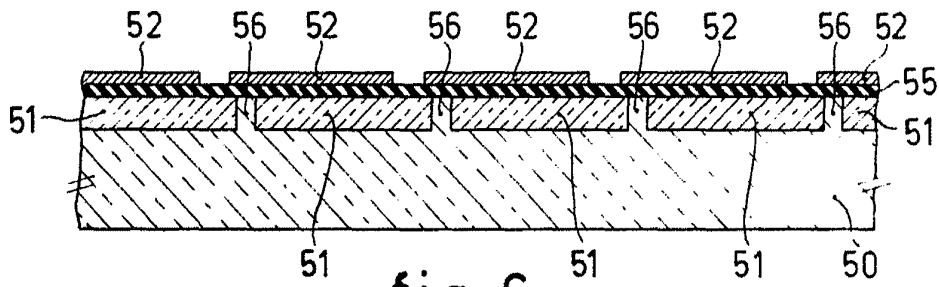


fig. 6

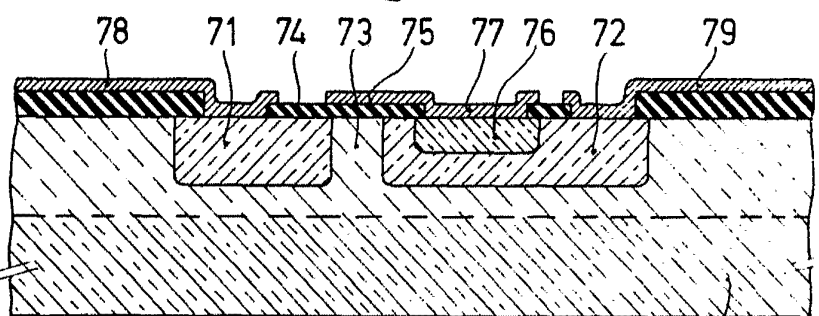
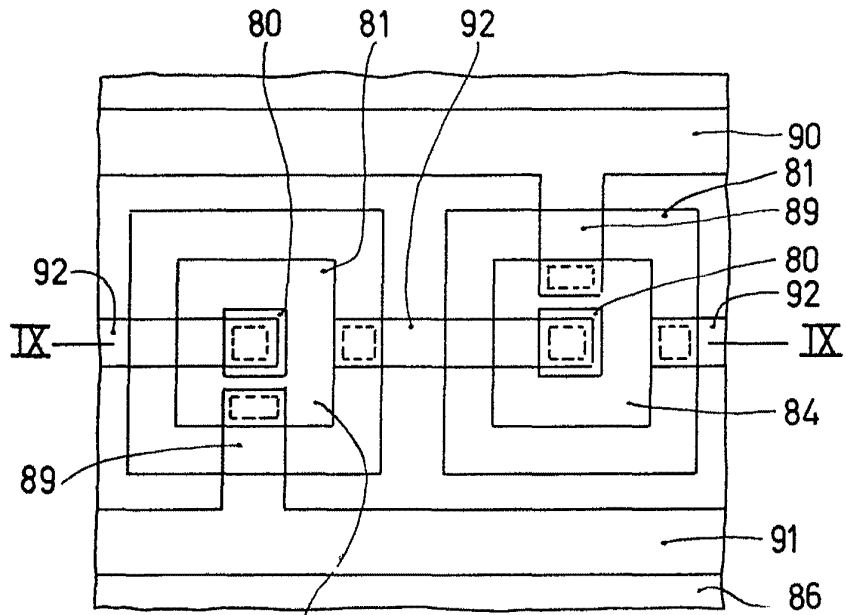


fig. 7

70  
A. J. van der Grinten  
for Philips



84 fig. 8

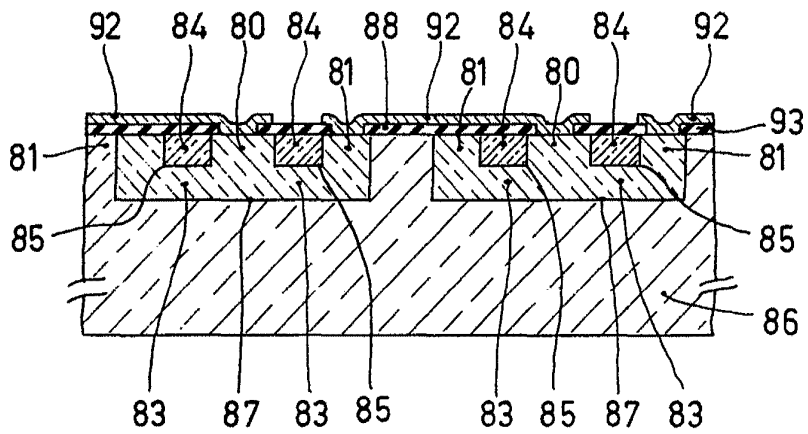


fig. 9

Alberto de Sica  
 For Patent

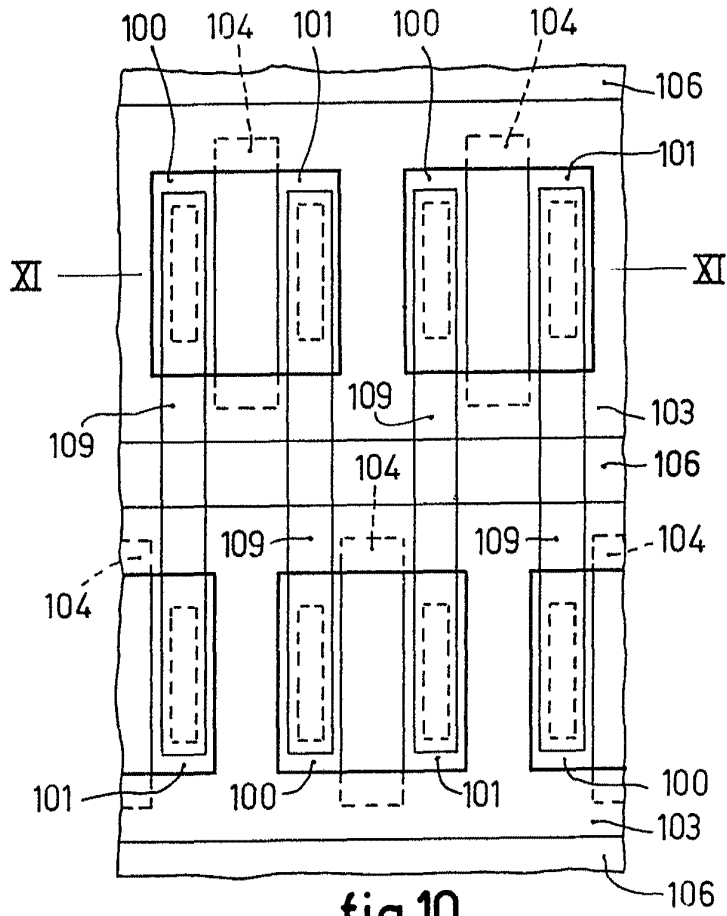


fig.10

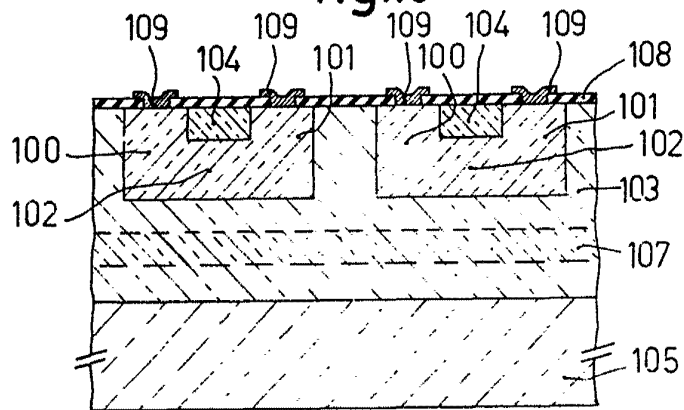


fig.11

*Handwritten signature or name, possibly 'A. van der Knaap' or similar, written in cursive.*

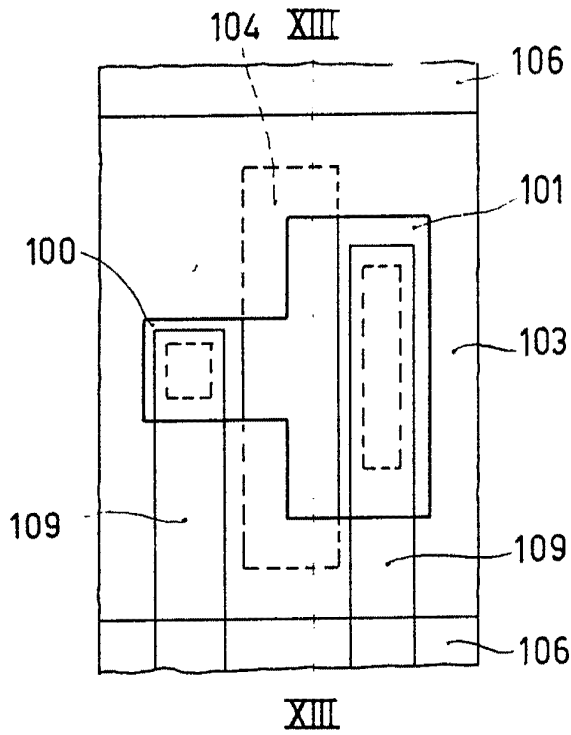


fig. 12

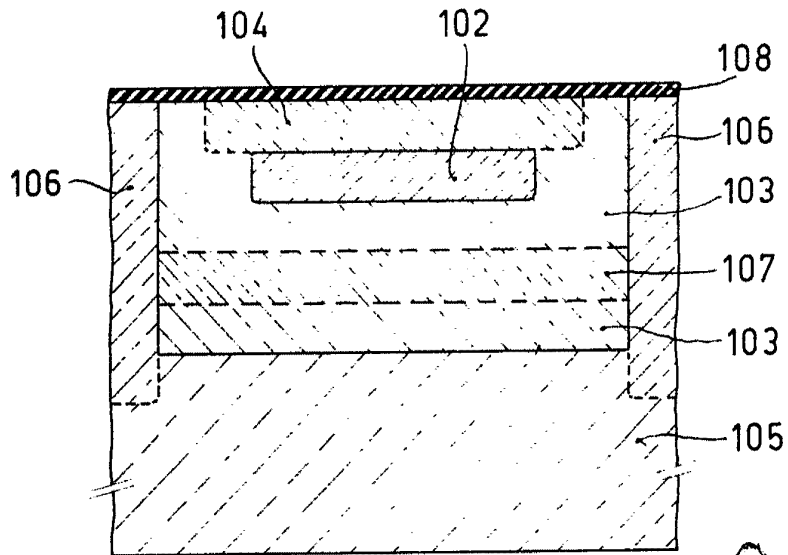


fig. 13

A. J. J. de Eizaburu  
*[Handwritten signature]*