



SECCION TECNICA
ASOCIACION I. P. C.
CLASE G 06
CLASE J

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR: "DISPOSITIVO DESCIFRADOR DE ANALOGICO A DIGITAL",  
A NOMBRE DE STANDARD ELECTRICA, S.A., DOMICILIADA EN MADRID,  
CALLE DE RAMIREZ DE PRADO, 5

-----

El presente invento trata de un descifrador de analógico a digital para señales de modulación de impulsos codificada y de múltiplex de tiempo que suministra datos modulados en ancho de impulso.

5            En la solicitud de patente francesa Nº PV 134640 registrada el 3 de Enero de 1968, se ha descrito un circuito codificador de múltiplex de tiempo en el que los m canales se distribuyen en dos grupos de  $\frac{m}{2}$  canales y las señales de entrada analógicas se codifican alternativamente comparándolas con

10 una señal inclinada. Este codificador se caracteriza porque no incluye ningún circuito de muestreo o retención, el tiempo de codificación de canal es  $\frac{m}{2}$  veces menor que el de un codificador comparador de diente de sierra convencional y la duración de la codificación es constante e independiente del número

15 mero de canales.



En la misma solicitud de patente, se ha descrito también un descifrador adaptado a este codificador, en el que las señales recibidas se distribuyen en dos grupos de circuitos, comprendiendo cada uno  $\frac{m}{2}$  circuitos descifradores de canal. Sin embargo, este equipo de circuitos no es de utilización universal pues la codificación se efectúa en una clave cíclica, mientras que frecuentemente se requiere que la codificación y la transmisión se efectúen en una clave binaria natural.

También se ha descrito en la solicitud de certificado de adición Nº PV 76344, (registrado el 14 de Septiembre de 1966) a la patente francesa Nº 1.458.255 un codificador múltiple de comparación de diente de sierra en el que los canales también están distribuidos en dos grupos. Este codificador suministra informaciones de clave binaria natural y el descifrador según el invento puede asociarse al mismo.

Este descifrador comprende un circuito descifrador por canal, distribuyéndose la totalidad de estos circuitos en dos grupos que cada uno contiene  $\frac{m}{2}$  canales. En cada grupo el descifrado se efectúa en dos ciclos de operación sucesivos de duración igual a la mitad del período de muestreo y que son el ciclo de recepción reservado al almacenaje paralelo en los circuitos descifradores de canal de las claves recibidas en serie, y el ciclo descifrador durante el que se almacenan las claves en dichos circuitos se compara a las suministradas por un contador de descifrado que avanza en forma regular a fin de mostrar, durante el ciclo,  $2^n$  estados diferentes, si las claves comprenden n cifras. Cuando la clave suministrada por este contador es idéntica a la almacenada en un circuito descifrador dado, un vaivén asociado se sitúa en la posición 1.



Como este vaivén fué repuesto al comienzo del ciclo de descifrado, suministra una señal modulada en ancho de impulso que puede demodularse por medio de un filtro de paso bajo a fin de obtener la señal analógica correspondiente a la clave almacenada en el circuito descifrador.

Las claves recibidas se procesan alternativamente en dos grupos, esto es, a un ciclo receptor en un grupo corresponde un ciclo descifrador en el otro grupo.

Se observará que este circuito está particularmente adaptado a una construcción modular pues el número de canales puede variarse modificando sólo el número de circuitos descifradores de canal.

El fin del presente invento es, por lo tanto, conseguir un descifrador rápido para señales PCM en el que no está limitado el número de canales.

En un sistema de transmisión PCM de múltiplex de tiempo diseñado para transmitir  $2p$  cifras por ciclo de muestreo de duración  $T_s$  distribuidas en  $m.n$  cifras de mensaje ( $m$  canales,  $n$  cifras por clave) y  $2y$  cifras de señalización y/o de sincronización el invento se caracteriza porque: se asigna un circuito descifrador de canal o circuito de canal a cada uno de  $m$  canales; dicho circuito suministra una señal modulada en ancho de impulso que, después de la demodulación por un filtro de paso bajo, se convierte en una señal analógica que caracteriza el valor de la clave recibida; dichos circuitos descifradores están distribuidos en dos grupos GD1, GD2 de  $\frac{m}{2}$  circuitos; el proceso de los datos recibidos se efectúa en dos ciclos de operación sucesivos de duración  $\frac{T_s}{2}$  que son el ciclo de recepción de clave  $T_{cr}$  y el ciclo de descifrado  $T_{cd}$  y las claves recibidas se dirigen a los circuitos de canal



del grupo GD1 (GD2) mientras que las claves recibidas previamente se descifran en los circuitos de canal del grupo GD2 (GD1).

Otra característica del invento consiste en que: si  $t_r$  designa la duración de una ranura de tiempo de cifra en la recepción, se obtiene  $T_{cr} = \frac{m \cdot n + 2y}{2} t_r$ ; efectuándose el descifrado durante un ciclo de descifrado por comparación de las claves almacenadas en los circuitos de canal con las claves suministradas durante este ciclo por un contador de descifrado que comprende  $n + 1$  vaivenes de categoría 0, 1, 2 .... j .... n, siendo el de más representación el de categoría 0, el período  $t_d$  de las señales de avance aplicadas a este contador es igual a  $\frac{T_{cc}}{2n}$  en el caso de un descifrador lineal; la relación entre las duraciones  $t_r$  y  $t_d$  es igual a  $\frac{2^n + 1}{m \cdot n + 2y}$ ; si esta relación es diferente a uno, las señales del período  $t_d$ , suministradas por un generador de frecuencia ajustable, se sincronizan por medio de un bucle de retención de fase; el contador de descifrado comprende  $n + 1$  vaivenes, suministrando el de mayor categoría las señales del ciclo de operación CC1 (en su salida 0) y CC2 (en su salida 1), definiendo la señal CC1 (CC2) el ciclo de recepción en el circuito GD1 (GD2) y la señal CC2 (CC1) el ciclo de descifrado en el circuito GD2 (GD1); se elaboran durante cada uno de estos ciclos de recepción, señales de reloj Hr1 (para el circuito GD1) o Hr2 (para el circuito GD2) de período  $t_r$  que sólo aparecen en los tiempos en que no se recibe señalización y/o señales de sincronización.

Otra característica del invento consiste en que para un descifrador no lineal en el que el margen de potenciales que se han de descifrar están divididos en  $2^n$  pasos cuantiza-



dores de duración  $t'd$ , la relación entre las duraciones  $t_r$  y  $t'd$  se toma igual a  $\frac{2^{a+1}}{m.n + 2y}$ .

Otra característica del invento consiste en que: cada circuito de canal comprende, primero,  $n$  vaivenes de tipo JK conectados como registrador de conmutación y reciben las señales de avance  $Hr1$  ( $Hr2$ ), segundo,  $n$  puertas electrónicas 1....2.... $j$ .... $n$  asociadas a los  $n$  vaivenes, siendo activada la puerta  $j$  durante un ciclo de descifrado cuando, simultáneamente, el vaivén de categoría  $j$  del contador de descifraje se sitúa en estado 1 y todos los vaivenes de categoría menor del registrador (vaivenes de categoría 1 a  $j-1$ ) están en estado 0, aplicándose la señal suministrada por dicha puerta al vaivén de categoría  $j$  a fin de controlar su colocación en estado 0, y tercero, un vaivén de descifrado situado en estado 1 al final de un ciclo de recepción y al estado 0 cuando todos los vaivenes del registrador están en estado 0; durante un ciclo de recepción los registradores de los  $\frac{m}{2}$  circuitos de canal del grupo están conectados en serie a fin de almacenar las claves recibidas durante este tiempo; durante un ciclo de descifrado los registradores se aíslan y las claves suministradas por el contador de descifrado se comparan, por medio de las puertas asociadas a cada registrador, con la clave escrita en dicho registrador hasta el momento en que todos los vaivenes de este registrador están en el estado 0, controlando dicha condición la reposición al estado 0 del vaivén de descifrado, representando la duración de la señal presente en la salida 1 de dicho vaivén el valor de la clave almacenada en el registrador.

Las anteriores y otras características y fines de este invento serán evidentes por referencia a la siguiente



6.

descripción dada con relación a los adjuntos dibujos en los que:

La figura 1 representa el diagrama general del descifrador según el invento.

140 Las figuras 2a a 2g representan diagramas de señales relativas al funcionamiento del descifrador.

La figura 3 representa un vaivén del tipo RS.

La figura 4 representa un vaivén del tipo JK.

145 La figura 5 representa el diagrama detallado de un circuito de canal.

La figura 6 es una representación simplificada del circuito de la figura 5.

La figura 7 es una representación simbólica del circuito de la figura 5.

150 La figura 8 representa un circuito de sincronización de las señales de entrada y de las señales utilizadas para el descifrado.

155 El descifrador según el invento está diseñado para ser utilizado en un sistema de transmisión de múltiplex de tiempo de PCM definido como sigue:

- frecuencia de muestreo  $F_1$

- duración de un ciclo de funcionamiento (ciclo de recepción  $T_{cr}$  o ciclo de descifrado  $T_{cd}$ ) :  $T_{cr} = T_{cd} = T_c = \frac{1}{2F_s}$

160 - número de cifras recibidas por ciclo de funcionamiento:  $p$

- número de canales utilizados para la transmisión de mensajes:  $m$

- número de cifras por mensaje:  $n$

165 - número de cifras utilizadas por ciclo de funcio-



namiento para la transmisión de señalización y/o informaciones de sincronización: y.

De esto resulta que se tiene  $p = \frac{m \cdot n}{2} + y$ , y que puede escribirse por designación por  $t_r$  la duración de una ranura de tiempo de una cifra:

$$T_{cr} = \frac{m \cdot n + 2y}{2} \cdot t_r \quad (1)$$

Por otra parte, durante el ciclo de descifrado, se elabora la serie de números que constituyen la clave que se compara con los números mostrados y si  $t_d$  designa el período de las señales de avance aplicadas al contador que suministra estos números se tiene:

$$T_{cd} = 2^n \cdot t_d \quad (2)$$

Esto, en el caso en que no hay compresión. En este caso  $t_d$  no es constante, pero  $T_{cd}$  mantiene el mismo valor.

Combinando las ecuaciones (1) y (2) se tiene:

$$\frac{2^{n+1}}{m \cdot n + 2y} = \frac{t_r}{t_d} \quad (3)$$

Esta ecuación (3) da la relación entre los diferentes parámetros del sistema.

Se observará que, a fin de asegurar la igualdad de los ciclos  $T_{cd}$  y  $T_{cr}$  ha de proveerse un circuito de sincronización de las señales  $t_d$  y  $t_r$  excepto en el caso en que  $\frac{t_r}{t_d} = 1$ . Más concretamente, las señales  $t_d$  deben sincronizarse sobre las señales  $t_r$  cuya duración está fijada por la transmisión. La figura 8 representa, a modo de ejemplo, un circuito de fijación de fase que asegura esta sincronización en caso en que la relación  $\frac{t_r}{t_d}$  no sea un número entero. Comprende un repetidor regenerativo RR al que se aplican las señales N obtenidas por detección de las señales recibidas, suministrando señales de período  $t_d$  los divisores de frecuencia D1, D2, el detector de fase PD y el generador de señal de frecuencia va-



riable GD.

Las relaciones de división de los circuitos D1 y D2 se seleccionan de modo que las frecuencias de las señales que suministran y que se aplican al detector de fase PD son nominalmente iguales. La señal de error suministrada por este  
 200 circuito se aplica al generador GD para controlar la frecuencia de las señales  $t_d$  en tal dirección que se cancela el error.

El circuito de sincronización descrito, suministra  
 205 señales de período constante  $t_d$  utilizadas en un descifrador lineal.

El descifrador según el invento puede presentar también una característica no lineal idéntica a las características multilíneas de los descifradores descritos en las  
 210 patentes españolas N<sup>os</sup>. 331.206 y 331.549. A este fin es suficiente el bucle de fijación de fase de tal modo que el generador GD suministra señales de período  $t'd$  que definen el paso de unidad de cuantización. Las señales de período múltiplo de  $t'd$  que definen valores más altos de pasos de cuantización, pueden obtenerse, por ejemplo, por medio de circuitos divisores puestos en funcionamiento en el tiempo de modificación de inclinación en la característica multilínea.  
 215

Así, en el codificador descrito en la patente española N<sup>o</sup>. 331.206 el número total de pasos de unidades de cuantización es  $2^{11} = 2048 = 2^a$ .  
 220

La ecuación (2) queda entonces:  $Tcd = 2^a \cdot t'd$  (2') y la ecuación (3) :  $\frac{2^a + 1}{m \cdot n + 2y} = \frac{tr}{t'd}$  (3')

El avance del contador de descifrado que comprende  $n$  vaivenes más un vaivén que suministra las señales de ciclo  
 225 está controlado por estas señales  $t_d$  y las  $2^{n+1}$  claves dife-



rentes que muestra en sucesión de tiempo define la duración del ciclo de muestreo  $\frac{1}{F_s} = 2T_c$ .

A modo de ejemplo no limitativo, se tomará para la descripción un descifrador lineal en el que  $m = 32 = 2^5$ ,  
 230  $n = 7$ ,  $y = 16$ .

Con estos valores particulares, se tiene, por la ecuación (3);  $t_r = t_d = t$ , de modo que no es necesario proveer un circuito de sincronización tal como se muestra en la fig. 8.

235 El número de cifras recibidas durante un ciclo de operación  $T_c$  es  $2^n = 128$ , distribuidas en:

$$\frac{m}{2} \times n = 112 \text{ cifras de mensaje;}$$

$y = 16$  cifras de señalización y/o sincronización ocupando un tiempo  $t_y$ .

240 Estas cifras de señalización y/o sincronización pueden distribuirse de diferentes modos por ejemplo añadiendo una cifra a cada mensaje o agrupándolas al final de la transmisión de un grupo de  $\frac{m}{2}$  mensajes.

La figura 1 representa el diagrama general del descifrador según el invento, en el que las cifras recibidas en  
 245 las entradas complementarias  $NO, N1$ , se escriben alternativamente en los circuitos de grupo de canal  $GD1, GD2$ , estando cada uno de estos circuitos conectado a la entrada durante un tiempo  $T_c - t_y$  de tal modo que las cifras de señalización y/o  
 250 sincronización no se descifren. Esta conexión está controlada por señales  $Hr1$  y  $Hr2$  que se definirán posteriormente. Como los tiempos de recepción de las cifras de señalización están determinadas por la aparición de una señal  $A$ , son extraídas por el circuito múltiple  $AND P3$  y aparecen en forma directa  
 255 ta y complementaria en las salidas  $Sy$ .



En cada circuito de grupo hay  $\frac{m}{2}$  circuitos de descifrado con las referencias R1 a R16 para el grupo GD1 y R17 a R32 para el grupo GD2.

260 Durante un ciclo de funcionamiento que se designará ciclo impar, los circuitos R1 a R16 conectados en serie constituyen un registrador de cambio en el que el registrador R1 recibe las señales de entrada NO, N1 de modo que las  $\frac{m \cdot n}{2}$  cifras recibidas durante este ciclo se introducen en sucesión de tiempo en dicho registrador de cambio (ciclo de recepción).

265 Durante este tiempo, las  $\frac{m}{2}$  claves almacenadas en los registradores R17 a R32, que ya no están conectados en serie, son descifradas comparándolas a las  $2^n$  claves suministradas por los  $n$  vaivenes de menor categoría del contador de descifrado (ciclo de descifrado). Un ciclo de operación impar corresponde

270 a un ciclo de descifrado para el grupo GD2 y a un ciclo de recepción para el grupo GD1.

Estas operaciones están controladas por señales suministradas por los siguientes circuitos:

275 - El repetidor regenerativo RR que recibe en serie las señales de clave N1 y sus complementos NO suministrados por un circuito de detección de impulsos de diseño bien conocido y que no se muestra en la figura. El circuito RR suministra señales de reloj H de un período  $T_r$  y factor de trabajo 0,5 que se muestran en la figura 2a.

280 - El selector KC que comprende  $n + 1 = 8$  vaivenes C0, C1....C7. Las salidas 1 y 0 del vaivén C0 están conectadas a los terminales C01, C02 y las salidas 1 de los otros vaivenes están conectadas a los terminales C1 a C7. El conjunto de estas siete señales se designa Cn.

285 Los diagramas de las figuras 2b y 2c muestran las



señales que aparecen en las salidas C01, C02 de este selector durante dos ciclos de operación sucesivos Tc1 (ciclo impar) y Tc2 (ciclo par). Como se ha visto anteriormente cada ciclo se divide en  $2n = 128$  ranuras de tiempo de cifra, de modo que el vaivén C0 cambia su estado en cada ciclo y las señales C01, C02 aparecen alternativamente con un período de dos ciclos de operación (se observará que  $C01 = \overline{C02}$  y  $C02 = \overline{C01}$ ).

La figura 2 muestra los números almacenados en los vaivones C1 a C7. El descifrador del selector /TC suministra primero la mencionada señal A y señales F de fin de ciclo, que aparecen, como puede verse por la figura 2c, cada vez que los vaivones C1 a C7 muestran la clave 127.

Los circuitos AND, P1 y P2 suministran las señales que controlan el almacenaje de las señales recibidas, designándose estas señales de control de escritura Hr1 y Hr2.

La tabla a continuación agrupa las diferentes señales utilizadas para controlar la recepción de las claves y su descifrado en los circuitos GD1 y GD2.

T A B L A

Señales	Señales particulares		
	Generales	Grupo GD1	Grupo GD2
Tiempo de recepción Tr	C0r	C01	C02
Tiempo de descifrado Tc	C0d	$\overline{C01}$	$\overline{C02}$
Señales de control de escritura	$Hr = C0r \cdot \bar{A} \cdot H$	$Hr1 = C01 \cdot \bar{A} \cdot H$	$Hr2 = C02 \cdot \bar{A} \cdot H$
	1	2	3

La columna 1 agrupa las señales generales que se utilizarán durante la descripción detallada de la operación de un circuito descifrador de canal con relación a las figuras 5, 6 y 7. En las otras dos columnas se han mostrado las



señales particulares aplicadas a los circuitos de grupo GD1 y GD2 en la figura 1.

Antes de describir un circuito descifrador de canal se describirá el funcionamiento de diferentes tipos de vaivenes utilizados en dichos circuitos.

La figura 3 representa un circuito biestable o "vaivén" del tipo RS. La situación de este circuito en estado 1 o 0 está controlada por la aplicación de una señal en la entrada 92-1 o 92-0. Un potencial de la misma polaridad que el de las señales de control aparece en la salida 93-1 cuando el biestable está en condición 1 o en la salida 93-0 cuando está en estado 0 con una demora de tiempo que depende de los elementos de los circuitos si el vaivén o biestable tiene la referencia RS, la condición lógica que caracteriza el hecho de estar en estado 1 o 0 se escribirá RS o  $\overline{RS}$ . Se observará que si se aplican simultáneamente señales de control en las entradas 92-0 y 92-1 el estado final del vaivén es indeterminado.

La figura 4 representa un vaivén del tipo "JK" en el que los cambios de estado resultantes de la aplicación de señales de control sobre las entradas 95-1 o 95-0 están controlados por las señales de reloj aplicadas sobre la entrada 96. La conmutación ocurre por ejemplo en el flanco final de la señal de reloj de modo que la demora entre las señales de control y la aparición de la de estado final en las salidas 96-0 y 96-1 se determina por la duración de la señal de reloj. Además, un vaivén de este tipo puede forzarse al estado 1 o 0 independientemente de la amplitud de la señal de reloj, aplicando una señal de control en la entrada 97-1 o 97-0.

Se observará que, si se aplican simultáneamente señales de control sobre las entradas 95-1 y 95-0, un biestable



JK conmuta en el siguiente tiempo de reloj.

La figura 5 representa el diagrama detallado de un circuito descifrador de canal que comprende los vaivenes JK S<sub>j1</sub> a S<sub>j7</sub>, el vaivén RS Y<sub>j</sub> y los circuitos AND P<sub>10</sub> a P<sub>18</sub>, así como el selector IC en el que las salidas del vaivén C<sub>0</sub> han sido designadas por C<sub>0r</sub> y C<sub>0d</sub>, estando estas referencias definidas en la columna 1 de la tabla. Se recordará que C<sub>0d</sub> =  $\overline{C_{0r}}$ .

Como se ha visto anteriormente, el circuito funciona como registrador de cambio cuando una señal C<sub>0r</sub> está presente o como circuito descifrador cuando una señal C<sub>0d</sub> está presente.

1 - Operación como registrador de cambio (ciclo de recepción). Los biestables S<sub>j1</sub> a S<sub>j7</sub> están conectados directamente en serie y reciben durante el ciclo de recepción una señal de avance H<sub>r</sub> (ver tabla). Constituyen, por lo tanto, un registrador de cambio. Las señales de entrada se aplican a dos hilos en las entradas B<sub>1(j-1)</sub> (señal directa) y B<sub>0(j-1)</sub> (señal complementaria), y las señales de salida se obtienen en las entradas B<sub>0j</sub> B<sub>1j</sub>. Durante un ciclo de recepción, la señal C<sub>0r</sub> activa las puertas P<sub>10</sub> y P<sub>11</sub> y la señal H<sub>r</sub> controla el avance de las señales recibidas en las entradas excepto cuando está presente la señal A. Si este registrador pertenece a los circuitos R<sub>1</sub> (R<sub>17</sub>) sus entradas están conectadas a los terminales N<sub>0</sub>, N<sub>1</sub> y sus salidas a las entradas del registrador de circuito R<sub>2</sub> (R<sub>18</sub>), etc. Si pertenece al circuito R<sub>16</sub> (R<sub>32</sub>) sus salidas no están conectadas. Se observará que las puertas P<sub>12</sub> a P<sub>19</sub> están bloqueadas y que al final del ciclo, se activa la puerta P<sub>20</sub> para la condición G = C<sub>0r</sub>.F, controlando la señal G la colocación en estado 1 del biesta-



ble Yj (ver figuras 2f y 2g).

2 - Operación como comparador de clave (ciclo de descifrado). La presencia de una señal C0d bloquea el avance de los registradores (condición  $\overline{K_r}$ ) y las puertas P10, P11, mientras que activa las puertas P12 a P19. Durante este ciclo, el contador KC muestra la sucesión de claves 0 a 127 (ver figura 2d) y las señales C1 a C7 se aplican a una segunda entrada, respectivamente, de las puertas P12 a P18. Por último, una tercera entrada de las puertas P13 a P18 recibe una señal que caracteriza el estado de algunos de los biestables Sj1 a Sj6. Así:

- La puerta P13 asociada al biestable Sj2 se activa cuando está presente una señal  $\overline{S_{j1}}$ , esto es, el biestable Sj1 está en estado 0;

- La puerta P14 (no se muestra en la fig.) que está asociada al biestable Sj2 es activada por la señal  $\overline{S_{12}}$  y  $\overline{S_{12}} = \overline{S_{j1}} \cdot \overline{S_{j2}}$  etc...

- La puerta P18 es activada para la señal  $\overline{S_{16}} = \overline{S_{j1}} \cdot \overline{S_{j2}} \dots \overline{S_{j6}}$ . Así, la señal S14, por ejemplo, significa que los biestables Sj1 a Sj4 están en estado 0.

El descifrado se efectúa como sigue. Suponiendo que la clave almacenada en los biestables Sj1 a Sj7 es 1000011 o 67 en clave decimal, al comienzo del ciclo el contador KC muestra la clave 000001 (1 decimal) para la que suministra una señal C7. Sólo la puerta P18 recibe esta señal pero permanece bloqueada pues los vaivenes Sj1 y Sj6 están en estado 1. Además los biestables C2 a C7 conmutan de acuerdo con el número mostrado por el contador hasta la clave 011111 (63 en clave decimal) pero ninguna de las puertas P12 a P18 podrían haber sido activadas pues el biestable Sj1 está siem-



pre en el estado 1.

Cuando el contador muestra la clave siguiente 1000000 (64), se activa la puerta P12 y controla la reposición al estado 0 del biestable Sj1. En el tiempo siguiente, el biestable C7 se sitúa en estado 1 pero como el biestable Sj6 sigue en estado 1 y los Sj1 a Sj5 están en estado 0, se activa la puerta P17 y el biestable Sj6 se repone al estado 0. Por último en el tiempo siguiente, cuando el contador muestra la misma clave que los biestables Sj1 a Sj7, el biestable C7 se sitúa en estado 1 y la puerta P18 controla la reposición a estado 0 del biestable Sj7. Todos los biestables Sj1 a Sj7 están entonces en estado 0 y la puerta P19 se activa controlando la reposición al estado 0 del biestable Yj (ver figura 2g). Se ve así que la duración de la señal que aparece en la salida 1 de este biestable es proporcional al valor del número que se va a descifrar.

La figura 6 es una representación agrupada de los diferentes circuitos de la figura 5 en la que los circuitos AND múltiples P1 y P2 muestran simbólicamente respectivamente las puertas P10 y P11 y las puertas P12 a P18, habiendo sido reemplazada la señal  $\overline{COd}$  por una señal  $\overline{COr}$ .

Por último, la figura 7 es la representación simbólica de un circuito descifrador de canal como el mostrado en la figura 1.

Si bien se han descrito los principios del invento con relación a formas concretas y modificaciones particulares del mismo, ha de quedar claramente entendido que esta descripción se hace sólo a modo de ejemplo y no como limitación de su alcance.

Este invento corresponde a una solicitud de patente



formulada en Francia el 20 de Febrero de 1968 señalada con el  
Núm. PV 140.477 y se acoge, por lo tanto, a los beneficios  
que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

440 Los puntos de invención propia y nueva que se pre-  
sentan para que sean objeto de esta patente de veinte años,  
son los siguientes:

1 - Un dispositivo descifrador de analógico o digi-  
tal caracterizado porque: se asigna un circuito descifrador  
de canal o circuito de canal a cada uno de  $m$  canales; dicho  
445 circuito suministra una señal modulada en ancho de impulso  
que, después de la demodulación por un filtro de paso bajo,  
se convierte en una señal analógica que caracteriza el valor  
de la clave recibida; dichos circuitos descifradores están  
distribuidos en dos grupos GD1, GD2 de  $\frac{m}{2}$  circuitos; el proce-  
450 so de los datos recibidos se efectúa en dos ciclos de opera-  
ción sucesivos de duración  $\frac{T_s}{2}$  que son el ciclo de recepción  
de clave  $T_{cr}$  y el ciclo de descifrador  $T_{cd}$  y las claves reci-  
bidas se dirigen a los circuitos de canal del grupo GD1 (GD2)  
mientras que las claves recibidas previamente se descifran en  
455 los circuitos de canal del grupo GD2 (GD1).

2 - Un dispositivo descifrador de analógico a digi-  
tal, caracterizado porque: si  $t_r$  designa la duración de una  
ranura de tiempo de cifra en la recepción, se obtiene  $T_{cr} =$   
 $\frac{m \cdot n + 2y}{2} t_r$ ; efectuándose el descifrado durante un ciclo de  
460 descifrado por comparación de las claves almacenadas en los  
circuitos de canal con las claves suministradas durante este  
ciclo por un contador de descifrado que comprende  $n+1$  vaive-  
nes de categoría 0, 1, 2 ....  $j$  ....  $n$ , siendo el de más re-  
presentación el de categoría 0, el período  $t_d$  de las señales



465 de avance aplicadas a este contador es igual a  $\frac{T_{cd}}{2^n}$  en el caso de un descifrador lineal; la relación entre las duraciones  $t_r$  y  $t_d$  es igual a  $\frac{2^{n+1}}{m \cdot n + 2y}$ ; si esta relación es diferente a uno, las señales del período  $t_d$ , suministradas por un generador de frecuencia ajustable, se sincronizan por medio de un bucle de

470 retención de fase; el contador de descifrado comprende  $n+1$  vaivenes, suministrando el de mayor categoría las señales del ciclo de operación CO1 (en su salida C) y CO2 (en su salida 1), definiendo la señal CO1 (CO2) el ciclo de recepción en el circuito GD1 (GD2) y la señal CO2 (CO1) el ciclo de descifrado en el circuito GD2 (GD1); se elaboran durante cada uno de

475 estos ciclos de recepción, señales de reloj Hr1 (para el circuito GD1) o Hr2 (para el circuito GD2) de período  $t_r$  que sólo aparecen en los tiempos en que no se recibe señalización y/o señales de sincronización.

480 3 - Un dispositivo descifrador de analógico a digital caracterizado porque: para un descifrador no lineal en el que el margen de potenciales que se han de descifrar están divididos en  $2^a$  pasos cuantizadores de duración  $t'd$ , la relación entre las duraciones  $t_r$  y  $t'd$  se toma igual a  $\frac{2^{a+1}}{m \cdot n + 2y}$ .

485 4 - Un dispositivo descifrador de analógico a digital, caracterizado porque: cada circuito de canal comprende, primero,  $n$  vaivenes de tipo J $\bar{K}$  conectados como registrador de conmutación y reciben las señales de avance Hr1 (Hr2), segundo,  $n$  puertas electrónicas 1....2....j....n asociadas a

490 los  $n$  vaivenes, siendo activada la puerta  $j$  durante un ciclo de descifrado cuando, simultáneamente, el vaivén de categoría  $j$  del contador de descifraje se sitúa en estado 1 y todos los vaivenes de categoría menor del registrador (vaivenes de categoría 1 a  $j-1$ ) están en estado 0, aplicándose la señal su-



495 ministrada por dicha puerta al vaivén de categoría j a fin de  
controlar su colocación en estado 0, y tercero, un vaivén de  
descifrado situado en estado 1 al final de un ciclo de recep-  
ción y al estado 0 cuando todos los vaivenes del registrador  
están en estado 0; durante un ciclo de recepción los registra-  
500 dores de los  $\frac{m}{2}$  circuitos de canal del grupo están conectados  
en serie a fin de almacenar las claves recibidas durante este  
tiempo; durante un ciclo de descifrado los registradores se  
aislan y las claves suministradas por el contador de descifra-  
do se comparan, por medio de las puertas asociadas a cada re-  
505 gistrador, con la clave escrita en dicho registrador hasta el  
momento en que todos los vaivenes de este registrador están  
en el estado 0, controlando dicha condición la reposición al  
estado 0 del vaivén de descifrado, representando la duración  
de la señal presente en la salida 1 de dicho vaivén el valor  
510 de la clave almacenada en el registrador.

5 - Un dispositivo descifrador de analógico a digi-  
tal caracterizado porque se asigna a cada canal un circuito  
descifrador y la totalidad de estos circuitos de canal están  
distribuidos en dos grupos que cada uno tiene asignado  $\frac{m}{2}$  cana-  
515 les.

6 - Un dispositivo descifrador de analógico a digi-  
tal, caracterizado porque el descifrado se efectúa en un gru-  
po de canales en dos períodos de operación sucesivos de dura-  
ción unitaria  $\frac{1}{2F_s}$  (siendo  $F_s$  la frecuencia de muestra) que  
520 son el ciclo de recepción durante el que las señales recibi-  
das se almacenan en los circuitos de canal del grupo, y el  
ciclo de descifrado durante el que las claves almacenadas en  
cada uno de dichos circuitos de canal se comparan individual-  
mente con las claves suministradas por un contador de descif-



525 frado, midiéndose para cada canal el intervalo de tiempo entre el comienzo de este ciclo y el tiempo de igualdad de las claves, por medio de un biestable que facilita así una señal modulada en ancho de impulso.

530 7 - Un dispositivo descifrador de analógico o digital caracterizado porque los ciclos están distribuidos de tal modo que cuando un grupo recibe claves el otro grupo efectúa el descifrado de las claves recibidas en el ciclo precedente.

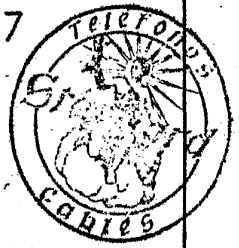
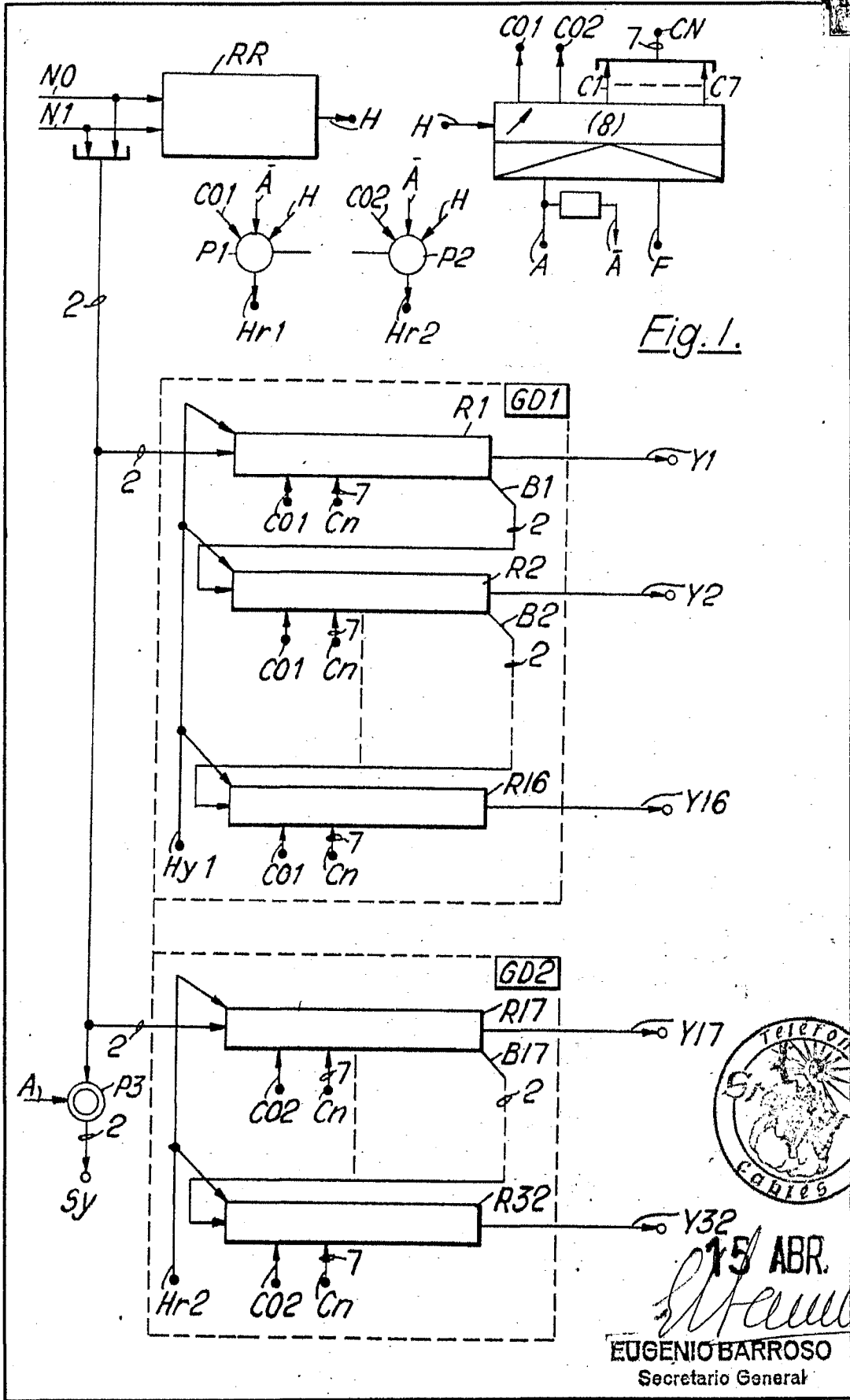
535 8 - Dispositivo descifrador de analógico a digital. Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y a los fines especificados.

-----  
Esta Memoria consta de diecinueve hojas, escritas por una sola cara.

Madrid, 20 FEB. 1969

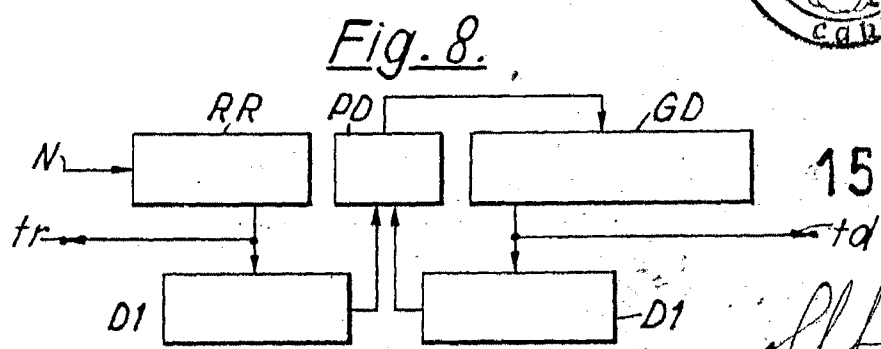
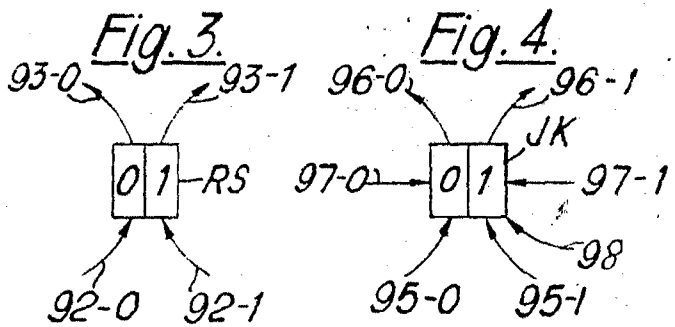
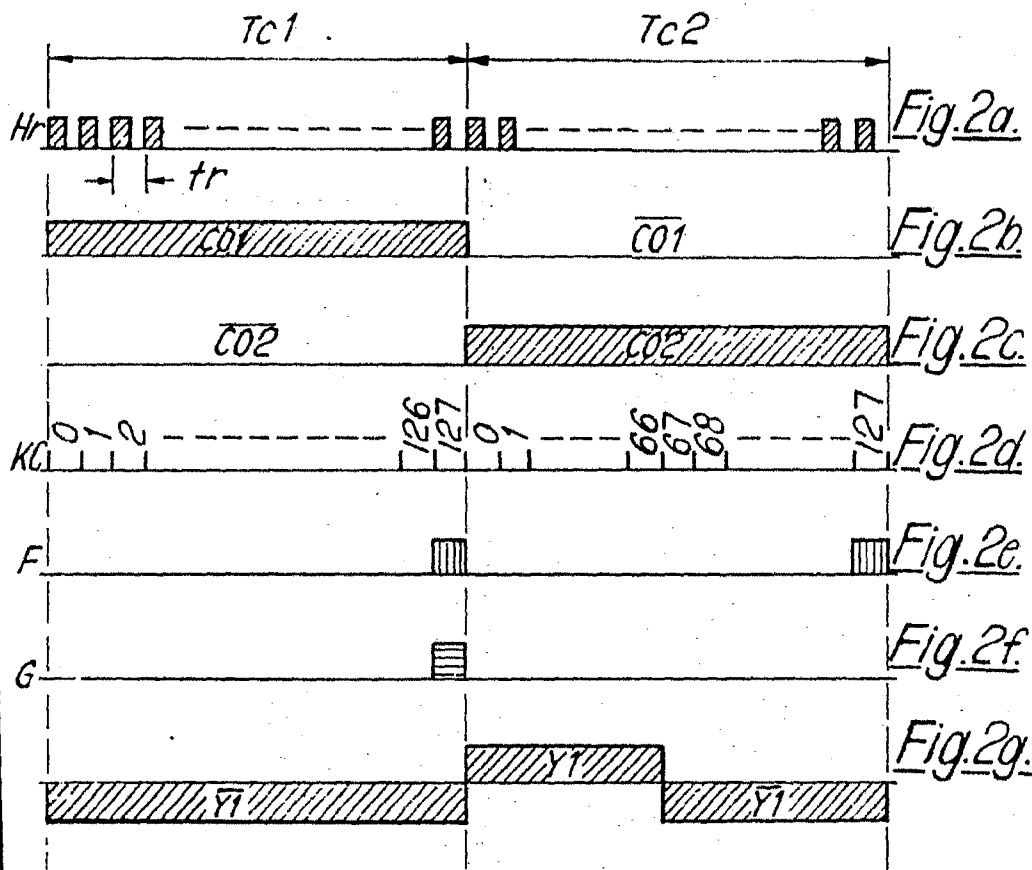


*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General



15 ABR. 1969  
*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General

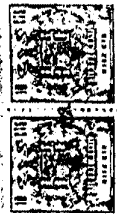
**POOR QUALITY**



15 ABR. 1969

*Eugenio Barroso*  
 EUGENIO BARROSO  
 Secretario General

POOR QUALITY



STANDARD ELECTRICA, S. A.

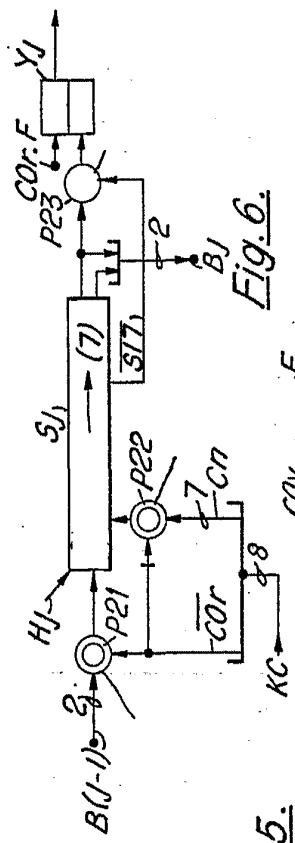


Fig. 5.

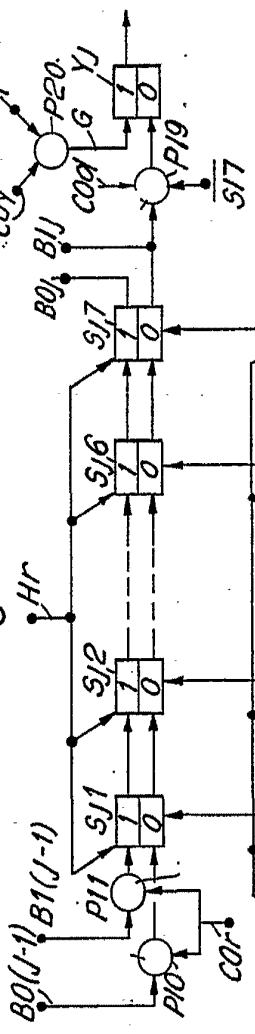


Fig. 6.

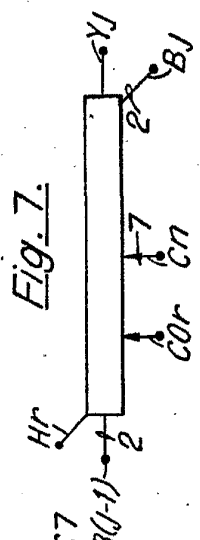


Fig. 7.



15 ABR. 1969

EUGENIO BARROSO  
Secretario General

POOR QUALITY

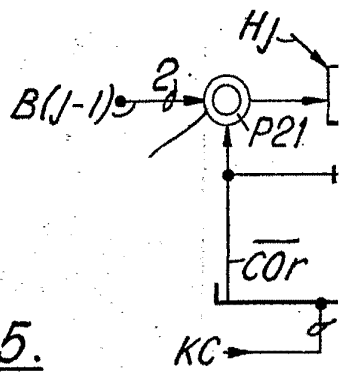
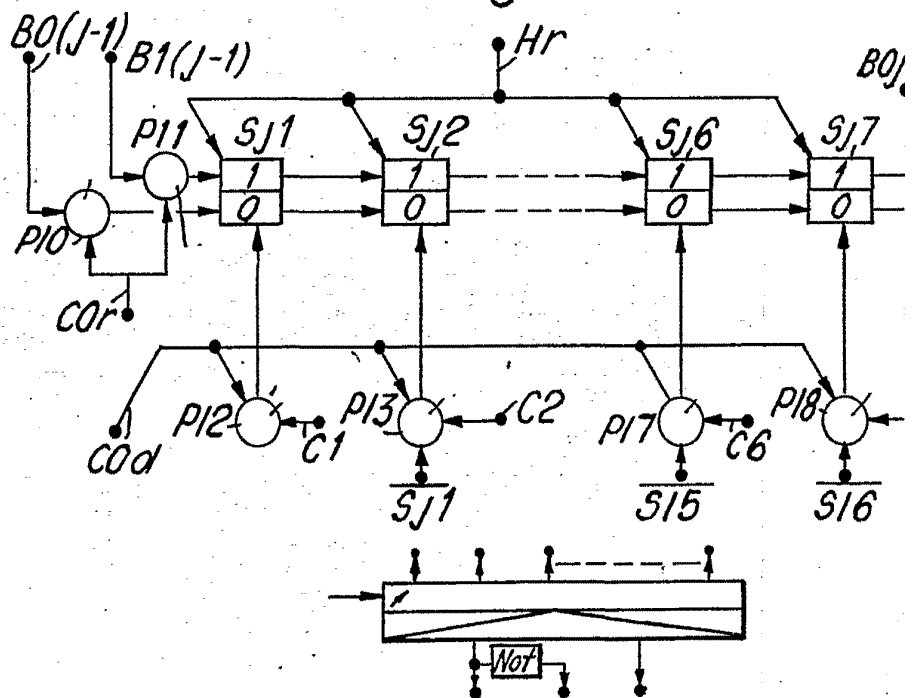


Fig. 5.



2/3

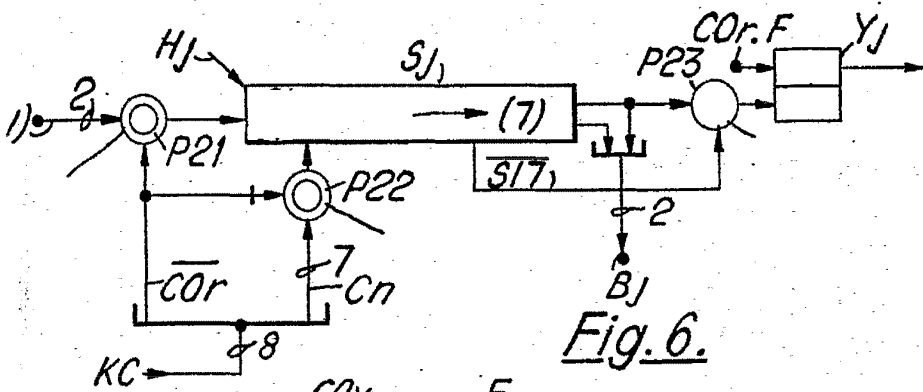
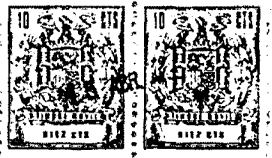


Fig. 6.

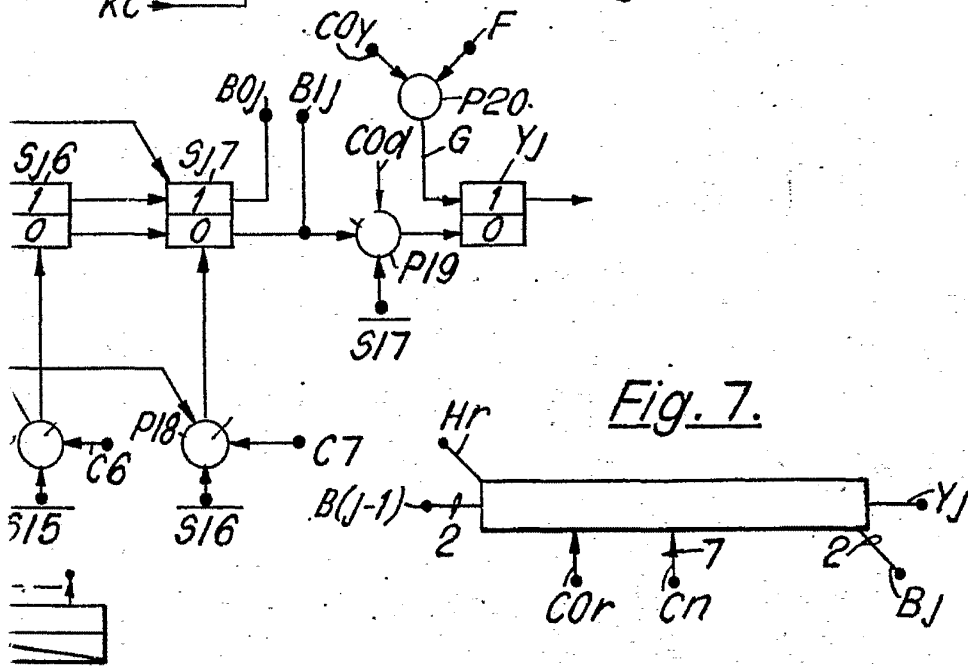


Fig. 7.



15 ABR. 1969

*Eugenio Barroso*

EUGENIO BARROSO  
Secretario General

POOR  
QUALITY