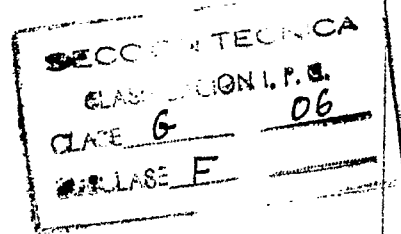


362185



P.-40.291

IBM Docket  
P 09-67-042

**Memoria descriptiva**



para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UNA DISPOSICION PARA RECOBRARSE DE ERRORES TRANSI-  
TORIOS EN UN SISTEMA DE TRATAMIENTO DE DATOS"  
(Clase Internacional G06f)



## Fundamentos de la invención

La presente invención se refiere al campo de las calculadoras numéricas controladas por "instrucciones". Las instrucciones hacen que la calculadora opere sobre los datos realizando con ellos la manipulación deseada. Un grupo de instrucciones constituye un programa. El programa tiene normalmente sus instrucciones ejecutadas en sucesión, de una en una, hasta llevar a cabo una manipulación completa de datos.

Los sistemas ordenadores o de tratamiento de datos constan en general de unidades de entrada/salida (I/O), una unidad central de tratamiento (CPU), unidades de almacenaje o memoria y unidades de mando o control. Los datos se introducen y se sacan del sistema por medio de las unidades de entrada/salida, y se guardan en las unidades de memoria. Las instrucciones se ejecutan en la CPU utilizando datos que se han ido a buscar a la memoria o han sido suministrados por las unidades de I/O, todo ello bajo el control de la unidad de mando. En un sistema como éste pueden ocurrir defectos de funcionamiento de muchos tipos durante cualquier fase de la operación. Estos defectos de funcionamiento ocasionan errores nada deseables en la manipulación de datos, errores con los que debe contarse.

Los errores o defectos de funcionamiento pueden clasificarse como de breve duración o de larga duración, y así se denominan "transitorios" (intermitentes) o "permanentes" (persistentes), respectivamente. Un error transitorio, por ejemplo, puede ser el resultado de una súbi-



ta fluctuación en el suministro de energía, o bien consecuencia de la presencia momentánea de ruidos o perturbaciones eléctricas o magnéticas en el sistema o en sus proximidades. Un error permanente puede provenir, por ejemplo, de ruptura o avería en un componente, tal como un transistor o un diodo. Los errores transitorios que aparecen con frecuencia suficiente pueden clasificarse naturalmente como errores permanentes.

La presente invención tiende en particular a un aparato, en un sistema de tratamiento de datos, para superar los efectos de los errores transitorios y obtener una manipulación de datos adecuada a pesar de la aparición de errores transitorios.

Para tratar de vencer el problema de los errores transitorios se vienen empleando diversos métodos de la técnica ya conocida. En uno de estos métodos se utiliza el concepto de repetición o redundancia de equipo físico, esto es, el empleo de dos o más sistemas o subsistemas de cálculo, para ejecutar simultáneamente la misma manipulación de datos. Por ejemplo, es posible programar dos sistemas calculadores completamente diferentes, de modo que realicen los mismos cálculos y, de fallar uno de los dos sistemas, hay grandes probabilidades de que el otro no falle. Los resultados de datos obtenidos del sistema que no fallen son, naturalmente, los que se usan entonces. Si bien este concepto de redundancia puede emplearse a nivel de sistemas, también se puede emplear el de los subsistemas, como sucede, por ejemplo, cuando dos unidades centrales de tratamiento en duplicado comparten las mismas unidades de entrada/salida, memoria y control. Aún



cuando este enfoque a base de redundancia puede resultar a veces conveniente, el coste de duplicación de sistemas o subsistemas es prohibitivo, y normalmente injustificable.

Otro enfoque del problema de los errores transitorios consiste en detener completamente al tratamiento al detectarse un error, y volver a iniciarlo otra vez desde el principio. Esta reiniciación se efectúa verificando la integridad de los datos y volviendo a introducir el programa con una carga de programa inicial (IPL). Esta operación puede caracterizarse como de reiniciación al aparecer un error, al nivel de IPL. Como puede invertirse un tiempo considerable en volver a cargar la calculadora, y como la totalidad del tiempo de trabajo invertido antes del error se ha desperdiciado, este enfoque de revista o de vuelta a atrás por reiniciación en IPL representa un empleo ineficaz del tiempo de la calculadora.

Otro de los métodos empleados para superar el problema de los errores transitorios es el que se viene poniendo en práctica a base de utilizar el método de revista programada denominado de "verificación por puntos". A base de este enfoque, es preciso inscribir todos y cada uno de los programas de modo que incorporen una previsión de revista que incluye la introducción de puntos de verificación dentro de un programa de cálculo y de sus instrucciones, para salvar todos los datos del sistema y la información de control en cada punto de verificación, hasta que se llegue al próximo. Al aparecer un error, el sistema bajo el control del programa, vuelve al estado que tenía en el último punto de verificación. La información de control y de datos salvada en el último punto de



79

verificación es la que se emplea para restablecer el sistema. Tras el restablecimiento o reposición, se reinicia la operación. Si el error transitorio no reaparece, naturalmente, prosigue la ejecución normal de las instrucciones. Aun cuando este método de revista programada va bien en ciertos ambientes, tiene tendencia a menoscabar el funcionamiento del sistema y usar recursos adicionales de éste, a causa del tiempo que se necesita para apartar y guardar información en el instante del punto de verificación, aun cuando no estén apareciendo errores. Además, la revista programada tiene el defecto de necesitar un programador que incorpore las previsiones de revista en la mayoría de los programas.

Otro de los enfoques del problema de los errores transitorios es el incorporado al método de revista de equipo físico expuesto por Montgomery en la patente de EE.UU. 3.248.697. En el sistema de Montgomery, unos circuitos de detección de errores vigilan la ejecución de la instrucción. Cada instrucción tiene un punto de umbral tras el cual no puede revestirse la ejecución porque, durante la ejecución de la instrucción parcial se ha modificado la fuente de datos de la que depende la ejecución, de modo que ya no está disponible para la revista. Más sucintamente, la revista es imposible después de haber cambiado los datos de fuente. Si el error aparece antes de alcanzado el umbral para la instrucción particular, la máquina se detiene inmediatamente, y se lleva a cabo la revista de esa instrucción. Esta revista de equipo físico es "transparente" para el programa, ya que no se necesitan instrucciones de programa de ninguna clase para lle-



var a cabo la revista. Ahora bien, si se ha pasado el umbral para la instrucción particular, no es posible efectuar la revista. En tanto que el método de revista de equipo físico de Montgomery es apreciable, por no ocurrir  
5 menoscabo alguno del sistema a falta de error, tiene el defecto de que, pasado el umbral, no es posible revistar la instrucción, debiendo recurrirse a un método de recarga de programa o de verificación por puntos, con el consiguiente desperdicio de tiempo, y con las desventajas  
10 inherentes que se han visto más arriba.

#### Resumen de la invención

A la luz de los problemas que acompañan a los sistemas de tratamiento de datos ya conocidos, la presente invención es un aparato que supera los problemas de  
15 los errores transitorios poniendo en práctica la revista de instrucciones en cualquier momento en que aparezca un error durante la ejecución de una instrucción. El presente invento incluye concretamente la posibilidad de revistar instrucciones, al detectarse un error, a partir del  
20 último cumplimiento afortunado. Por consiguiente, con la presente invención se logra una economía de tiempo de revista, ya que no necesitan repetirse los pasos o escalones de ejecución afortunada anteriores, y además se elimina la necesidad de tener una memoria grande de "respaldo", que de no ser así resultaría necesaria para revistar  
25 instrucciones en las que intervengan operandos largos.

Más en particular, la presente invención es un aparato de revista para uso en sistemas de tratamiento de datos en los que se empleen instrucciones de "memoria  
30 a memoria" (SS). Las instrucciones de SS se definen como



instrucciones que van a buscar uno o más operandos llevándolos de la memoria a la unidad central de tratamiento, manipulan el o los operandos hasta formar un resultado, y guardan ese resultado en el campo de la memoria originariamente ocupado por uno de los operandos iniciales. Como los resultados se colocan en el campo del operando primitivo, el almacenaje de resultados al cabo de un número de ciclos de tratamiento destruiría los datos de operando primitivos, imposibilitando normalmente la revista. El aparato de la presente invención registra el número de almacenajes de resultados exentos de error y, al detectarse el error, reanuda el tratamiento en el paso o etapa siguiente a aquella en que se produjo el precedente cumplimiento afortunado.

15                    Cuando el circuito normal de detección de errores del sistema de tratamiento de datos detecta un error, la unidad de mando o control del sistema inhibe toda continuación de tratamiento, restablece la dirección de acceso de la instrucción a revistar reponiéndola en el registro de direcciones de acceso de instrucciones, y ejecuta otras operaciones de "limpieza interior". Restablecida la dirección de acceso de las instrucciones a revistar, se llevan a cabo las rutinas normales de búsqueda de instrucciones (búsqueda de I), como en el tratamiento normal, hasta llegar a un punto en que se ha de tener acceso a los operandos de fuente para su tratamiento. Como aquellos operandos de fuente pueden haber variado, se interroga a un disparador de variación o cambio de datos de fuente (SDC). Si el disparador de SDC se ha activado, indicando que por lo menos uno de los operandos de fuente se ha-



bía "sobreinscrito" durante un anterior intento erróneo de ejecutar la instrucción, se utiliza el cómputo de cumplimiento afortunado para actualizar los valores de control y dirección de acceso, de modo que el tratamiento comience precisamente antes del punto en que se detectó el error. Si durante el siguiente o los sucesivos intentos de ejecución aparece otro error, se vuelve a inhibir la continuación del tratamiento, se repite la búsqueda de I y, después de actualizar, se empieza el tratamiento en el punto de último cumplimiento afortunado.

Puede llevarse a cabo un número cualquiera N de intentos de revista. Si al cabo de la enésima revista sin éxito no se ha cumplido o terminado el tratamiento de la instrucción, no se vuelve a intentar la revista. En cambio, si el error es transitorio, tras uno o más intentos de revista se podrá lograr, por lo común, la ejecución exenta de errores, Si esto último ocurre, se reanuda el tratamiento normal.

De este resumen de la invención se desprende que se habilita un aparato o equipo físico con el que se logra el objetivo de revistar instrucciones al producirse un error, en el que la revista es transparente para con el programa, no da lugar a menoscabo alguno del funcionamiento del sistema a falta de la aparición de un error, y se lleva a cabo aun cuando se hayan modificado los datos de fuente. Además, la presente invención necesita un mínimo de circuitos de respaldo aun para operandos largos.

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo



de la siguiente descripción pormenorizada de las formas preferidas de realización del invento ilustradas en los dibujos adjuntos, en los cuales:

5           - la figura 1 ilustra la configuración del sistema de la presente invención, incorporado a un sistema ambiental básico;

10           - la figura 2 representa la unidad de control del sistema de la figura 1 con mayor detalle, e incluye el contador de revista que registra el número de cumplimientos o terminaciones con éxito de pasos o etapas en una instrucción; y

15           - la figura 3 ilustra una instrucción de comparar, de longitud de campo variable (VFL), usando el formato de SS.

#### 15    Sistema ambiental básico

20           La presente invención es para uso en un sistema ordenador de datos que, típicamente, incluye memoria, una unidad central de tratamiento (CPU), una unidad de mando o control del sistema y una unidad de entrada/salida (I/O) de alguna forma. Un sistema como éste se describe en las referencias siguientes.

25           1) "Principios de funcionamiento y manejo del sistema IBM 360", Systems Reference Library (Biblioteca de Referencia de los sistemas), formulario A22-6821.

          2) "Amplia introducción al sistema IBM 360, modelo 50", Manual IBM de instrucciones de Ingeniería de campo, formulario 223-2821.

30           3) "Instrucciones de RS, SI, y SS del sistema IBM 360, modelo 50", Manual IBM de instrucciones de Ingeniería de campo, formulario 223-2825.



4) "Manual de microprogramación para el sistema IBM 360, modelo 50", por S.S. Husson, 2 de octubre de 1967; Informe técnico: TR 00.1479-1, División de Desarrollo de los Sistemas IBM, Poughkeepsie, N.Y.

5                   Con referencia a la figura, la memoria del sistema incluye una memoria principal (MS) 12 y una memoria local (LS) 13. Aunque no se representan en especial las unidades de entrada/salida, estas unidades son ya conocidas y comunican con el sistema de la figura 1 a través del circuito de franqueo de paso 216, pasando por los cerrojos de AOB 217 hasta la barra ómnibus de salida de sumador (AOB) 221. La unidad 11 de control del sistema gobierna el funcionamiento del sistema mediante la apertura y el cierre de barreras, y estableciendo otras señales de control en muchos lugares por todo el sistema. Como estas señales de control y de franqueo de paso y su realización física son ya bien conocidas, se representan colectivamente por medio de la salida de barra 15. Las señales de control específicas que importan para la presente invención se estudiarán con mayor detalle más adelante. El resto de los circuitos indicados en la figura 1 se considera en general como parte de la CPU. La CPU y el sistema pueden llegar a ejecutar instrucciones de "guardar en su sitio".

25   Memoria principal

                  La memoria principal (MS) 12 puede estar físicamente integrada con la CPU, o bien construida en forma de unidad independiente. La velocidad de ciclos de almacenaje no tiene relación directa con el funcionamiento cíclico interno de la CPU, lo que permite obtener una efi-

30



caz relación de la velocidad de CPU respecto a la anchura de la memoria. La búsqueda y el almacenaje de datos por parte de la CPU no son afectados por ninguna transferencia de datos de I/O que con aquellos concurre.

5           La memoria principal 12 es de preferencia una formación ordenada de núcleos magnéticos en forma de matriz, en la que una dirección dada de acceso a la formación es seleccionada por medio de señales presentes en el registro de direcciones de acceso a la memoria (SAR) 10 90. Cuando el SAR 90 contine una dirección de acceso a la memoria principal, la memoria principal 12, bajo sus propios controles interiores de sincronismo o regulación de tiempos, opera recorriendo su ciclo de memoria básico, y lee la información pasándola por las líneas de percepción de salida 95 al registro de datos de almacenaje o 15 memoria (SDR) 91. Desde el SDR 91, los datos pueden ser devueltos por regeneración a la MS 12 y a los circuitos de franqueo de paso 216 y los cerrojos de AOB 217 hasta la barra de salida de sumador (AOB) 221.

20           El ciclo de memoria básico incluye un semiperíodo de lectura, en el que los datos son tomados o leídos destructivamente de la memoria principal y pasados al SDR, seguido de un semiperíodo de inscripción en el cual la información contenida en el SDR se regenera y devuelve a la memoria principal. Colocando diferente información en el SDR 91 antes de la regeneración que tiene 25 lugar en el ciclo de inscribir, se modifica efectivamente la información que estaba en la memoria principal. Simultáneamente con el ciclo de regeneración, la información 30 del SDR 91 se pone a disposición del sistema en la AOB



221.

El formato de información del sistema ambiental reúne orgánicamente 8 bitios en un bloque constructivo fundamental denominado "byte". Cada byte incluye asimismo un noveno bitio, de paridad, utilizado en la detección de errores. El bitio de paridad no puede ser afectado por el programa, siendo su único objeto el de producir una interrupción cuando tiene lugar un error de paridad. Aun cuando no se haga en general mención expresa de este noveno bitio de cada byte en todo el transcurso de esta Memoria descriptiva, se supone que los bytes llevarán asociado el bitio de paridad, y que en todo el sistema se incluyen los circuitos de verificación de paridad, de modo ya conocido.

Dos bytes componen orgánicamente un campo más grande, denominado "semivocablo", y cuatro bytes, o sea dos semivocablos, componen un campo orgánico aún mayor, denominado vocablo. Más concretamente, un "vocablo" se define como conjunto de cuatro bytes consecutivos en el sistema ambiental, y como tal será tratado en esta invención. No obstante, se sobrentiende que los vocablos o los bytes pueden ser de cualquier número de bitios.

En el sistema ambiental pueden emplearse diversos formatos de datos, de manera que las instrucciones y los operandos pueden ser de distinta longitud, según la particular operación que se vaya a realizar.

A los bytes se les asignan lugares de la memoria, en posiciones consecutivamente numeradas a partir de cero. Cada número se considera como dirección de acceso del byte correspondiente. A un grupo de bytes en almacena



je se tiene acceso por el byte de más a la izquierda del grupo. El número de bytes del grupo viene definido implícita o explícitamente por la operación especificada por la instrucción. La disposición de acceso hace uso de una  
5 dirección de acceso binaria de 24 bits, para dar acomodo a un máximo de 16.777.216 direcciones de bytes. Este juego de direcciones de acceso a la memoria principal incluye algunos lugares reservados con fines especiales.

El acceso a la memoria se desenvuelve a partir  
10 de la dirección de acceso de byte máxima, hasta la dirección cero. Puede haber operandos de longitud variable localizados parte en el último y parte en el primer lugar de la memoria, y se tratan sin indicación especial alguna de cruce del límite o confín de acceso máximo.

Los campos de longitud fija, tales como los semivocablos y dobles vocablos, deben estar situados en la memoria principal en un confín entero para dicha unidad de información.

Un confín recibe el nombre de "entero" para una  
20 unidad de información cuando su dirección de acceso en la memoria es múltiplo de la longitud de la unidad en bytes. Por ejemplo, los vocablos (de 4 bytes) deben estar situados en la memoria de manera que su dirección de acceso sea múltiplo de 4. Los campos de longitud variable  
25 no se limitan a los confines enteros, y pueden dar comienzo en cualquier lugar de byte.

#### Memoria local

La memoria local (LS) 13 consta de 64 registros de un vocablo de capacidad, a los que se tiene acceso por  
30 medio del registro de acceso a la memoria local (LSAR)



120. El LSAR 120 se carga desde el registro J (J REG) 121, alimentado a su vez desde la AOB 221 o desde la barra de salida de mudador (MOB) 222. Siempre que se especifique una operación de lectura o toma de la LS 13, el  
5 vocablo de la LS 13 al que se quiere tener acceso se saca por lectura, sea al registro L (L REG) 126, sea al registro R (R REG) 124. Las salidas de los registros L y R se hacen pasar de nuevo a la LS 13, o bien al sumador 210.

10 La memoria local 13 tiene un funcionamiento de lectura e inscripción semejante al de la memoria principal 12.

15 Dieciseis de los 64 lugares de un solo vocablo de la LS 13 se designan como registros generales, que se utilizan como registros de índice u orientación en la aritmética y la orientación de acceso, y se usan como acumuladores en operaciones lógicas y aritméticas de punto fijo. Estos registros generales se identifican con los  
20 números 0 a 15 inclusive, y están especificados por medio de un campo de 4 bitios en las instrucciones. Además la LS 13 incluye lugares de memoria de trabajo (WS(, que se usan con diversos fines en todo el tratamiento.

#### Unidad central de tratamiento(CPU)

25 Existen tres líneas básicas de barra ómnibus de datos que son de diferentes anchura, y a través de las cuales se canalizan los datos de un registro a otro. Son éstas la barra de salida de sumador AOB 221 de 32 bitios, la barra de acceso de instrucciones (IAB) 223 de 24 bitios, y la barra de salida de mudador (MOB) 222 de 8 bitios.  
30

18 FEB.



La circulación básica de datos del sistema ambiental consta principalmente de dos caminos en paralelo que pueden activarse simultáneamente. Uno de estos caminos es el de sumador, de 32 bitios de anchura, que incluye el sumador 210 alimentado por los diversos registros de 32 bitios L, R, M y H. El otro camino es el lógico de mudador, de 8 bitios de anchura, que incluye el mudador 213 de 8 bitios alimentado por los registros L, R y M. El mudador manipula bloques de 1 byte por incrementos de medio byte.

Además de los caminos de datos de sumador y de mudador, hay otros cuatro caminos de datos que interesan en la descripción del sistema ambiental básico. Son éstos, principalmente, los de datos de desplazador, datos de acceso de instrucciones, datos de memoria local y datos de memoria principal.

El sumador es capaz de ejecutar operaciones aritméticas tanto en binario como en decimal. La aritmética decimal se efectúa haciendo una suma binaria (de base o de complemento) y generando un factor de corrección decimal en el registro L, en el mismo ciclo de CPU. Se necesita otro ciclo para restar el factor de corrección de los resultados del ciclo precedente. El sumador 210 incluye, además de 32 unidades de sumador individuales, cuatro circuitos de verificación de paridad (uno por cada byte), cuatro circuitos generadores de paridad (uno por cada byte) y también circuitos de expectativa de dígitos de pase. Cuando se efectúan funciones aritméticas, los datos se hacen pasar a la entrada Y de sumador de la derecha, desde el registro H, M o R de 32 bitios. La en-



trada XG de sumador de la izquierda contiene una barrera 220 de base/complemento, y está alimentada por el registro (L REG) 126 de 32 bitios.

5 En un solo ciclo de la CPU se da paso a dos operandos de 32 bitios, uno a cada una de las entradas de sumador XG e Y, los cuales se pasan por el sumador y se hacen seguir hasta activar los cerrojos 217 de salida del sumador. Al final del ciclo de la CPU, la salida del sumador está en los cerrojos 217, dispuesta para ser pasada a un registro de trabajo. En el sistema ambiental 15 básico, la resta o substracción se efectúa mediante el uso del complemento a dos, controlado por la barrera 220 de base/complemento en la entrada XG. Al activarse la barrera de complemento, se invertirán los bitios pasados a la entrada XG (esto es, los unos se convertirán en ceros, y los ceros en unos), formándose así el complemento a uno de la primitiva entrada XG. El complemento a 20 dos se efectúa introduciendo un dígito de pase en la entrada XG del sumador. La multiplicación y la división se ejecutan usando el sumador mediante sucesivas adiciones y substracciones. Las diversas señales de control y de franqueo de paso necesarias para llevar a cabo las funciones del sumador descritas dimanar de la unidad de mando o control 11 del sistema, la cual se describirá con 25 mayor detalle más adelante.

El camino de datos del desplazador va desde el sumador 210 a los cerrojos 217 de AOB, y hace que la salida del sumador se corra o desplace a la izquierda o a la derecha, en uno o en cuatro lugares. Además, el desplazador 215 incluye medios, no representados en la figura 30



Para salvar y almacenar las partes de "desbordamiento" de todo dato desplazado. El desplazador está también controlado por la unidad de mando 11 del sistema.

5 El camino de datos del mudador se usa principalmente para la ejecución de instrucciones de longitud de campo variable (VFL). El mudador puede seleccionar simultáneamente dos fuentes de bytes para una operación lógica. La extrada de mudador de la izquierda, U, puede ser un byte seleccionado del registro L bajo el control  
10 de uno de los dos contadores de bytes LB 101 y MB 102, byte formado por el contenido de los dos registros de cuatro bitios MD 103 y F 104. La entrada de mudador de la derecha V, es un byte seleccionado del registro M 211, bajo el control de uno u otro de los contadores de bytes  
15 LB o MB. El mudador, como los otros caminos de datos, está controlado por la unidad de mando 11 del sistema.

El camino de datos de acceso de instrucciones es de 24 bitios contenida en el registro 218 de acceso de instrucciones. La primera instrucción se pone oficialmente en el registro de acceso de instrucciones (IAR),  
20 por medio de la unidad de mando 11 del sistema. A las instrucciones se les da paso desde el IAR 218 hasta el contador y los cerrojos de acceso de instrucciones 219. El contador de acceso de instrucciones incrementa la dirección de acceso de la instrucción en el mayor número  
25 apropiado de bytes (6 bytes en el caso de restablecer en su sitio, o de instrucciones de SS) y coloca esa dirección actualizada en el IAR, por medio de la barra ómnibus 226. La dirección de acceso de instrucción en curso,  
30 antes de ser actualizada, representa el lugar que en la



memoria principal 12 tenía la instrucción en curso que se va a ejecutar, y se traslada al registro de acceso a la memoria (SAR) 90 y de allí a la memoria principal 12, haciendo que la instrucción seleccionada sea trasladada al registro de datos de almacenaje (SDR) 91. Las instrucciones tomadas de la memoria principal 12 y llevadas al SDR pasan por los circuitos de franqueo de paso 216 hasta cerrojos 217 de AOB. La secuencia de toma y franqueo de paso de una instrucción se denomina "búsqueda de I", y se descompone en búsqueda de I de primer y segundo niveles. Durante la búsqueda de I, la instrucción se toma por lectura y se usa para establecer diversas condiciones iniciales en la CPU y en la memoria local, antes de dar comienzo a la ejecución.

Los caminos de datos de memoria principal y de memoria local se estudiaron ya anteriormente, en relación con los epígrafes correspondientes (Memoria principal, y Memoria local).

#### Unidad de mando del sistema

La unidad de mando o control 11 del sistema incluye una unidad de control de secuencias 302, unos disparadores de estado ("Stats") 303 de uso general, un registro 304 de vocablo de estado de programa (PSW) y unos circuitos 305 de detección de errores.

En la Figura 2 se ilustran otros detalles de la unidad de mando 11 del sistema ambiental, en unión de los circuitos añadidos a los fines de la presente invención. La unidad de control de secuencias 302 incluye fun



137

damentalmente una memoria de exclusiva lectura (ROS) 307, a la que se tiene acceso por medio de un registro de acceso a la memoria de exclusiva lectura (ROAR) 308. Al seleccionar el ROAR 308 una dirección de acceso apropiada, el ROS 307 lee un vocablo de control pasándolo al registro de datos de la memoria de exclusiva lectura (ROSDR) 309. El vocablo de control puesto en el ROSDR 309 controla la acción del ordenador durante un ciclo de máquina, tomándose o leyéndose un nuevo vocablo de control antes de cada nuevo ciclo de CPU. Los vocablos de control del ROSDR se hacen pasar por los circuitos descodificadores 310 hasta las diversas barreras y los diferentes circuitos de control del sistema, por medio de la barra ómnibus 15. Por ejemplo, la barra 15 se desconecta con las barreras (no representadas) de todos los registros L, R, M y H, y controla el franqueo de paso de los datos hacia dentro y hacia fuera de estos registros. Igualmente, las unidades de la Figura 1 incluyen, virtualmente en su totalidad, estas facilidades de su franqueo de paso, aún cuando no se han representado para mayor claridad de los dibujos. Los vocablos se organizan en la ROS 307 en secuencias de microvocablos, en las que el siguiente vocablo de la secuencia viene en parte determinado por el vocablo anterior, por medio de una porción que se devuelve al ROAR 308 desde el descodificador 310, a través de la barra de retorno 315. Una secuencia de vocablos de la ROS pone en acción los controles necesarios para muchos ciclos de funcionamiento de la CPU, permitiendo así que la CPU lleve a cabo muchas y diversas manipulaciones de datos. Además de la entrada procedente del descodifi-



10  
15  
20  
25  
30

cador 310, la particular secuencia viene en parte seleccionada por las entradas procedentes del SDR 91, el registro M y el registro F, a través de las líneas 316, 317 y 318, respectivamente. Además, como auxilio para seleccionar un vocablo de control o rutina de ROS diferente, en función de alguna condición de máquina, o de algún valor de datos, el ROAR 308 tiene una entrada 319 de activación de ramificación o "enganche", que controla si se va o no a cambiar o ramificar a una dirección de acceso de ROS especificada, en función de que se haya o no activado una representación codificada de condición en PSW, disparador de estado de uso general, u otro control activable. Los disparadores de estado de uso general 303 u otros controles activables pueden ser activados por el descodificador 310 o por otras entradas de dentro del sistema ordenador de datos.

El registro 304 de vocablos de estado de programa (PSW) incluye información de control y de estado utilizada para llevar a cabo las diversas funciones de control del sistema, y se usa para registrar el estado del sistema en un momento dado. El registro 304 de PSW puede activarse desde la AOB 221.

Los circuitos 305 de detección de errores comprenden el de verificación de paridad normal, indicado, por ejemplo, por la verificación de paridad 323 en la salida del sumador 310 (Figura 1). Por todo el sistema de la Figura 1 aparecen circuitos de verificación de paridad, y todos ellos alimentan a los circuitos 305 de detección de errores, de manera ya conocida.



### Funcionamiento del sistema ambiental básico

El funcionamiento del sistema ambiental básico se controla por medio de instrucciones. Las instrucciones se van a buscar a la memoria principal y se llevan desde  
5 ella al SDR bajo el control del registro de acceso de instrucciones. El tipo de operación a realizar viene determinado en parte por el particular formato de las instrucciones a usar. Aún cuando hay cinco formatos de instrucciones básicos posibles, se analizará en esta memoria  
10 descriptiva, a título ilustrativo, el formato de SS (de memoria a memoria). A los fines de describir la ejecución de las instrucciones, los operandos se distinguen como operandos primero y segundo, usándose un "1" para identificar la información asociada al primero, y un "2" para  
15 designar al segundo. Como se indica en la Figura 3, los bitios 0 a 7 inclusive contienen el código de operación (código OP); los bitios 8 a 15 inclusive, la longitud L de bytes de operando 1 y de operando 2; los bitios 16 a 19 inclusive, la dirección de base B1 del operando 1; los  
20 bitios 20 a 31 inclusive, el desplazamiento D1 del operando 1; y los bitios 32 a 47 inclusive, la dirección de base B2 y el desplazamiento D2 del operando 2, según se indica.

A los fines del acceso, el campo B de la instrucción de SS especifica el contenido de uno de los 16  
25 registros de uso general que hay en la memoria local. El contenido de ese registro es un número de 24 bitios que, sumado al campo D de éste, es igual a la dirección de acceso de bite de más a la izquierda, en la memoria prin-



19 FEB

5 cipal, del operando respectivo. Más en particular, el número de registro de uso general especificado por B1, más D1, especifica en notación binaria la dirección del operando 1 en la memoria principal. El campo L especifica el número de bytes, a partir del de más a la izquierda ya indicado, en que se extiende el operando 1 en la memoria principal.

10 Normalmente, el funcionamiento de la unidad ordenadora viene controlado por instrucciones tomadas en secuencia. El proceso de ir a buscar las instrucciones se denomina búsqueda de I, y se descompone en niveles primero y segundo, durante los cuales se activan diversos contadores y registros con los campos apropiados, derivados de las instrucciones.

15 En la Figura 3 se da un ejemplo particular de una instrucción de SS para una operación de longitud de campo variable (VPL). Más especialmente, el código de operación es D4, que especifica una operación del tipo de coincidencia, de VPL (longitud de campo variable). L es 20 250, lo que indica que el operando primero como el segundo tienen L más 1 bytes de longitud, es decir, 251 bytes. El está activado a tres, lo que indica que la dirección de base para el operando 1 aparece en el registro 3 de uso general de la memoria local. Este registro 3 de uso 25 general, contendrá tal como se ha cargado durante la etapa de carga inicial del programa, una dirección de base de 24 bits que, sumada al campo de desplazamiento D1 de la instrucción de la Figura 4, será igual a la dirección de acceso del byte de más a la izquierda del operando 1 en la memoria principal. En el ejemplo que se está 30



dando, B1 más D1 da un total de 1049. De igual modo, el contenido del registro 4 de uso general más el desplazamiento D2 es igual a la dirección de acceso de byte de más a la izquierda del operando 2 en la memoria principal, que en este ejemplo es igual a 1113.

La dirección del primer operando, calculada a base de B1 y D1, se guarda, para el vocablo en curso, en WS1 (lugar de la memoria local 13) o en el registro H, y los dos bitios de orden inferior se mantienen en el contador MB. La dirección del segundo operando, calculada a base de B2 y D2, se mantiene para el vocablo en curso en WS2 o en el registro R, y los dos bitios de orden inferior se mantienen en el contador LB. Las direcciones de acceso para cada vocablo se actualizan según va progresando el tratamiento.

Los campos de operando son de longitud variable, hasta de 256 bytes. La búsqueda se hace de vocablo en vocablo, yendo el tratamiento de izquierda a derecha. Cuando se necesita un nuevo vocablo, se hace pasar la dirección de acceso del vocablo en curso a la entrada Y del sumador, y se emite un cuatro a la entrada de sumador XG. La suma se usa para obtener acceso a la memoria principal, y se hace retroceder también para actualizar la dirección de acceso del vocablo en curso. Los bytes de resultado se reúnen en el registro M y se guardan en el lugar de acceso del vocablo de resultado en curso, en la memoria principal, cuando se tropieza con un confin de vocablo (el contador MB de igual a 3), o bien cuando se termina la operación (G1-G2 da igual a 0, usándose el contador G-1 - G2 para guardar el número de los bytes que quedan por eli-



minar o tratar. La dirección de acceso de destino en curso (a la cual se enviará el resultado de manipular el operando 1 y el operando 2) se emplea para tener acceso a la memoria principal. Como puede no ser necesario modificar la totalidad de los cuatro bytes es ese lugar de vocablo específico, las instrucciones de VFL se guardan con un microorden especial, que permite modificar sólo ciertos bytes de SDR. La selección de bytes se hace en combinación con los disparadores de estado ("stats") de almacenaje de bytes (uno por cada byte del SDR). Estos disparadores de estado se hallan contenidos en los controles 401 de bytes de memoria de la Figura 2. Los disparadores de estado de almacenaje de bytes se activan desde el contador MB al reunirse o ensamblarse un byte de destino y hacerse pasar por el mudador 213 al registro M (Figura 1).

A título de ejemplo, se usará, pues, la instrucción de coincidencia (VFL) que tiene por código de operación el D4. El operando 1 se pone en coincidencia con el operando 2, y el resultado se guarda en el lugar del operando 1, que así cambia de operandos de fuente. Los operandos no tienen que empezar ni terminar en un confín de vocablo, ni tienen por que estar alineados por bytes entre sí. Ambos campos se tratan como cantidades binarias. La operación de coincidencia (VFL) puede descomponerse en cuatro fases, como sigue:

- 1) Ir a buscar el segundo operando al registro L.
- 2) Ir a buscar el primer operando al registro M.
- 3) Hacer pasar los operandos 1 y 2 al mudador



bajo el control de los contadores LB y MB, respectivamente, y dar paso al resultado hasta el registro M bajo el control del contador MB.

- 5 4) Dar paso al resultado desde el registro M al SDR, y guardar el resultado en la memoria principal, en el campo de operando 1.

Al hacerse pasar cada byte al mudador, se disminuye por decrementos el cómputo del contador G1-G2. El  
10 contador G1-G2 indica el número de bytes que quedan por tratar, probándose el contador para ver cuando llega a cero, para señalar el final del tratamiento.

#### Descripción detallada del presente invento

La presente invención tiende a un aparato de re-  
15 vistar que se agrega a un sistema ordenador de datos tal como el sistema ambiental básico arriba descrito. El aparato de revistar permite a este sistema superar los efectos de los errores transitorios, y permite una revista correcta de las instrucciones. Ahora bien, la revista es  
20 de forma abreviada, aprovechándose toda ejecución afortunada (hecha con éxito) que haya habido antes de aparecer el error. La revista abreviada se logra registrando el número de bytes de resultado correctamente almacenados al ejecutar una instrucción de byte en byte. Mediante el  
25 recurso de iniciar la ejecución de la revista con el byte que sigue al último que se ejecutó con éxito, se elimina la necesidad de tener una memoria de respaldo de gran tamaño. Por ejemplo, en la presente forma de realización,



en la que se usan operandos de 256 bytes, se elimina la necesidad de tener una memoria de respaldo de 256 bytes.

Con referencia a la Figura 2, se muestran en ella los controles adicionales que cuentan el número de bytes completados con éxito en el tratamiento de byte en byte de los operandos relativamente largos. A título de repaso, (Figura 1), se recordará que los resultados se guardan en la Memoria principal, después de haberlos hecho pasar desde el registro M, por el sumador 210, a la AOB 221 y finalmente al SDR 91. Desde el SDR se llevan los bytes a la memoria principal 12, durante un ciclo de regeneración. Los cuatro disparadores de estado de los controles 401 de almacenaje de bytes de la Figura 2 controlan cuántos de los cuatro bytes (0, 1, 2, 3) se guardarán en realidad. Los cuatro disparadores de estado de los controles 401 tienen unas salidas que, en el sistema ambiente básico, van normalmente a los controles de barrera de SDR a través de las líneas 402. Como los operandos pueden empezar o terminar en algo que no sea un límite o confín de vocablo, puede guardarse cualquier combinación de bytes contiguos durante un ciclo cualquiera de almacenaje. El número de bytes guardados con éxito durante un ciclo de almacenaje de vocablo es accionado por el descodificador 406 de bytes de almacenaje, a través de las líneas de entrada 403 que vienen de los controles 401 de almacenaje de bytes. El descodificador de almacenaje de bytes modifica la salida de estos controles de almacenaje de bytes dándoles la representación binaria del número de bytes guardados. Si el número de bytes guardados es un uno, dos o cuatro binario, se hace pasar una señal direc-



tamente desde el descodificador de almacenaje de bytes al contador 417 de revista de VFL. Es decir, para un uno se hace pasar una señal por la línea 408 para hacer avanzar la posición de uno del contador 417 de VFL. De igual manera, un almacenaje de dos bytes produce una señal que por la línea 409 pone en activo la posición de dos del contador 417. Para un almacenaje de cuatro bytes, se presenta una señal por la línea 410 para poner en activo la posición de cuatro del contador de VFL. En el caso en que se hayan guardado con éxito tres bytes, no es posible hacer introducción directa alguna en el contador binario 417 de VFL. Ahora bien, en el caso de un almacenaje de tres bytes, se presentan señales en ambas líneas 408 y 409 con una señal adicional de inhibición por la línea 418, para inhibir todo posible dígito de pase que fuera a ir desde la posición de uno a la posición de dos del contador.

Ahora bien, antes de que el descodificador 406 de almacenaje de bytes actualice el contador de revista 417 de VFL, éste debe recibir una señal por la línea 426, procedente del circuito de coincidencia 427. El circuito de coincidencia 427 se satisface por medio de una señal de ausencia de error presente en la línea 428, señal que, en la forma de realización ilustrada, no es sino la señal de error, procedente del detector de errores 305, invertida por medio del inversos 429. La otra entrada 430 que, junto con la entrada 428, satisface o condiciona el circuito de coincidencia 427, viene producida por el descodificador 310; y esta señal que viene del descodificador 310 se usa también para activar el control 401 de almace-



naje de bytes. Es necesario retrasar las señales de control de almacenaje de bytes, por medio del retardador 432, para tener la seguridad de que el detector de errores 305 ha tenido tiempo suficiente para detectar un error y transmitirlo por la línea 428 al circuito de coincidencia 427, impidiendo así que el descodificador 406 de almacenaje de bytes haga avanzar el contador 417 de VFL. El punto importante a tener en cuenta es el de que el contador de revista 417 de VFL cuenta sólo el número de bytes almacenados con éxito. Al ocurrir en efecto un error, el circuito de coincidencia 427 se descondiciona, e inhibe por la línea 426 el descodificador 406 de almacenaje de bytes, previniendo así todo avance del contador de revista 417 de VFL.

Además del contador de revista 417, el sistema incluye el registro de respaldo 366 del de acceso de instrucciones, indicado en la figura 1. Este registro 366 de respaldo del IAR no hace sino retener la dirección de acceso de la instrucción que se está ejecutando, hasta que se averigua que la ejecución quedó exenta de errores, es decir, que no se detectó error alguno. El registro de acceso de instrucciones (IAR) 218, como más arriba de ha descrito, se actualiza durante el tratamiento normal antes de terminarse la ejecución y, por consiguiente, no contiene la instrucción en curso. Por esta razón no puede volverse a la búsqueda de I sin el auxilio del registro de acceso de instrucciones antes de la revista. Cuando la unidad de mando 11 del sistema está operando en el modo de revista, la unidad de control de secuencias 302 hace pasar el contenido del registro de respaldo 366 al



registro de acceso de instrucciones 218 en el momento apropiado, antes de la búsqueda I.

Con referencia a la figura 2, se ilustran en ella unos circuitos de respaldo adicionales para unas partes de los circuitos de la unidad de mando que se hacen variar durante ejecución normal de una instrucción, o al detectarse un error. Más en particular, el registro 304 de PSW incluye un registro de respaldo 370 para reponer o restablecer los bitios de código de condición en el vocablo de estado del programa (PSW). Los disparadores de estado 303 de uso general incluyen unos disparadores de estado de respaldo 371 que se usan para restablecer los de uso general cuando la unidad de mando del sistema cambia o ramifica, al detectarse un error, pasando a trabajar en el modo de revista. Además, los circuitos 305 de detección de errores dan una señal de reloj de inhibición de CPU durante un ciclo de CPU cuando se ha detectado un error, a fin de detener inmediatamente toda la continuación de tratamiento por parte de la CPU. El reloj de la ROS no se detiene, permitiendo así entrar en el modo de revista. Además de los circuitos de respaldo citados, el descodificador 310 activa un disparador 374 de cambio o variación de datos de fuente siempre que se hagan variar éstos, sea cual fuere la función que el sistema de tratamiento de datos esté ejecutando. El disparador 374 de cambio de datos de fuente se usa, mientras se está intentando la revista, como señal para ramificar a una rutina de restablecimiento tras la búsqueda de I a segundo nivel.

El circuito 375 de selección de modos está en el sistema ambiental básico, y se usa para seleccionar si



el sistema va a trabajar en el modo de I/O o en el de CPU. En la presente invención, el circuito 375 de selección de modos es también capaz de responder a los circuitos 305 de detección de errores, para seleccionar un modo de trabajo en revista, que se lleva a la práctica controlando la manera de descodificarse los vocablos del ROSDR por medio del descodificador 310. El circuito 375 puede consistir simplemente en un conmutador de tres direcciones que haga pasar una señal por las líneas 380 hasta el descodificador 310. El modo de revista se selecciona, al detectarse un error, forzando una dirección de acceso de todos ceros (la del primer vocablo de la secuencia de revistar) en el ROAR. La dirección de todos ceros se fuerza inhibiendo la toma por lectura del ROSDR por medio de la línea de inhibir 311, lo que a su vez fuerza la presencia de todos ceros en la barra de retorno 315. Hay que recordar que la línea 373 inhibió el reloj de la CPU, durante un ciclo de CPU, de modo que las entradas de F REG, M REG y SDR al ROAR son también de todos ceros, lo que fuerza el acceso del modo de revista al ROAR 308. Al obtenerse acceso al modo de revista, se toma por lectura del ROS 307 una secuencia de revista que lleva a cabo el restablecimiento del PSW 304, los disparadores de estado 303 de uso general y el registro 218 de acceso de instrucciones. A los fines del presente invento, pueden hacerse de manera ya conocida esta y otras operaciones de "limpieza interior". En cambio, cuando la CPU esté desempeñando funciones para las que no intervenga el aparato de revistar de la presente invención puede emplearse un equipo físico de control de secuencias adicional.



Además, el circuito de control de la Figura 2 puede contener un contador de errires 392 que cuente el número de errores detectados por el detector de errores 305. La secuencia de revista puede usar el cómputo obtenido en el contador de errores 392, poniendo en acción una ramificación a secuencia de análisis de error, o de otro modo deteniendo los intentos de revistar la instrucción en curso. El contador de errores contiene una línea de reposición 393 para reponer el contador tras cada ejecución con éxito de una instrucción.

#### Funcionamiento de la invención

Con el operando 1 y el operando 2 situados en la memoria principal, en las direcciones de acceso de ésta especificadas por B1, D1 y B2, D2, respectivamente, se pone en ejecución el código de operación de coincidencia de VFL, yendo a buscar los bytes del vocablo de más a la izquierda de cada campo del operando. El mudador se utiliza para llevar a cabo la rutina de coincidencia. Los resultados de la operación de poner en coincidencia aparecen en el registro M, y los bytes de resultado se transfieren por la AOB al SDR, donde los controles 401 de almacenaje de bytes los hace quedar guardados en la memoria principal 12. Si no se produce error alguno, el contador 417 de revista de VFL, al cabo de un retardo suficiente para dar la seguridad de no haberse detectado error alguno, se incrementa en un número de cómputo igual al número de bytes guardados con éxito (esto es, sin error).

A continuación, se van a buscar nuevos vocablos



de los campos de operando y se continúan las etapas de  
tratamiento, registrándose en el contador de VFL en núme-  
ro de almacenajes de byte sin error en todos y cada uno  
de los ciclos de almacenaje; de producirse error, el de-  
5 tector de errores 305, por medio de la línea 428 de ausen-  
cia de error, descondiciona el circuito de coincidencia  
427 e inhibe el descodificador de almacenaje de bytes  
406 impidiéndoselo incrementar el contador 407 de VFL.  
Cuando se produzca por lo menos una acción de almacenaje  
10 sin error, se activa el disparador 374 de cambio de datos  
de fuente (Figura 2).

Cuando la señal de error fuerza la dirección  
de acceso de una rutina de revista en el ROAR 308, el sis-  
tema actualiza el exceso de instrucción en el registro  
15 218 de acceso de instrucciones, desde el registro de res-  
paldo 366 del IAR. Además el registro de respaldo y el  
371 de disparadores de estado de uso general, restablecen  
el código de condición en el PSW 304. El respaldo 371 de  
disparadores de estado de uso general se repone tras cada  
20 almacenaje de bytes sin error en la memoria principal.  
Los disparadores de estado de respaldo 371 se ponen en  
acción solamente después de haberse determinado que no  
se ha producido error alguno, y esto se realiza por medio  
de la línea 426 procedente del circuito de coincidencia  
25 427. Como antes se ha estudiado, el circuito de coinciden-  
cia 427 no se condiciona si aparece un error, y, por con-  
siguiente, el respaldo de disparadores de estado en uso  
general contiene las condiciones de estado en existencia  
en el momento del último almacenaje de resultado sin error.  
30 Como los disparadores de estado se usan en toda la instruc



5 ción de VFL, deben estar activados a su valor en el instante del último almacenaje afortunado (sin error) a dar fin de comenzar a tratar de ese punto. Poniendo en acción los disparadores de estado con la señal de ausencia de error de la línea 426 se asegura la disponibilidad de la información de estado.

10 Tras el restablecimiento, se lleva a cabo la búsqueda de instrucción del modo normal en el sistema ambiental básico, recorriendo los niveles primero y segundo. Durante el segundo nivel de búsqueda de I, se interroga al disparador 374 de variación de datos de fuente y, como éste se halla activado en el presente ejemplo, la unidad de control de secuencias del sistema pasa a una rutina de volver a calcular.

15 En la rutina de volver a calcular (recalcular), el cómputo que hay en el contador 417 de VFL se hace pasar por el circuito de franqueo de paso 216 a los cerrojos de AOB. El cómputo de VFL se suma luego tanto a las direcciones de acceso especificadas por B1, D1 para el operando 1, como a las de B2, D2 para el operando 2. Sumando a estos valores el cómputo de VFL se guarda en la memoria de trabajo una nueva dirección de acceso efectiva de memoria principal para cada operando, la cual se usa como dirección de acceso del primer byte a tratar, 25 al revistar la instrucción. Usando estas nuevas direcciones de acceso efectivas, los contadores de MB y LB se ponen a nuevos valores. Después de calculadas y colocadas en la memoria de trabajo las nuevas direcciones de acceso efectivas, el cómputo del contador de revista de VFL 30 se resta del campo I de la instrucción, y el contador de

1971



5 G1-G2 se pone a su valor abreviado, de modo que el tratamiento de la instrucción puede dar comienzo en la dirección de acceso de byte que sigue justamente al último byte guardado sin error. A continuación, el tratamiento sigue de la manera normal, con los operandos abreviados.

10 Si durante la revista de la instrucción en curso se detecta un nuevo error, vuelve a inhibirse el reloj de la CPU, se tiene acceso a la secuencia de revista en la ROS y se restablece la dirección de acceso de instrucción en curso, en unión de toda la demás información de respaldo. Se lleva a cabo una búsqueda de I de primer y segundo nivel, y vuelve a iniciarse la rutina recalculada. La instrucción puede ser revista cuantas veces se  
15 desee, ya se traten con éxito o sin error pocos o muchos bytes de los 256, o ninguno de ellos. Esta aptitud para revistar un intento de revista erróneo todas las veces que se queira resulta particularmente eficaz contra interrupciones de errores relativamente largas. Para dar por terminados los intentos de revistar puede usarse el contador de errores 392 (Figura 2). Cuando el cómputo en el contador de errores llegue a N, puede activarse la unidad de control de secuencias para pasar a una rutina de análisis de errires o a alguna otra rutina, dando así fin a los  
20 intentos de la revista.

25 Aún cuando la invención se ha expuesto en el ambiente de un sistema ordenador de datos que incluye una unidad central de tratamiento, se sobrentiende, naturalmente, que la invención se dirige a sistemas de manipulación de datos de todos los tipos, incluídos los regula-  
30



dores de I/O, así como los sistemas de comunicaciones de datos.

5 Si bien la unidad de control de secuencias 302 (ilustrada con detalle en la Figura 2) de la unidad de mando 11 del sistema se ha representado, en una de las formas preferidas de realización del presente invento, como memoria de exclusiva lectura (ROS) con circuitos asociados, está claro que podría realizarse dicha unidad de control de secuencias 302 empleando circuitos lógicos  
10 en secuencia.

El código de operación D4, que especifica la operación de coincidencia se indicó para el caso en que existían campos de superposición o solape para el operando 1 y el operando 2. El operando 1 y el operando 2 se  
15 superponían, puesto que la longitud de operando, L más 1, era 251, y las direcciones de acceso a la memoria principal eran 1149 y 1113, siendo la diferencia de direcciones menor que 251. Como los operandos se superponían o solapaban, se modificaban o variaban los operandos de fuente.  
20 Si para una operación de coincidencia no se solaparan los operandos, se alterarían los operandos de fuente, pero los datos seguirían lógicamente disponibles (es decir, reconstruibles). Aún cuando la invención se ha descrito en relación con campos superpuestos, sirve, naturalmente  
25 para los no superpuestos. Por ejemplo, usando un código de operación disyuntiva exclusiva con campos no superpuestos, los operandos de fuente cambiarían, pero no estarían lógicamente disponibles. La invención, por consiguiente, se aplica igualmente a campos superpuestos y no superpuestos,  
30 y a muchos códigos de operación diferentes.



Si bien la invención se ha ilustrado y descrito en particular con referencia a unas formas de realización preferidas de la misma, se sobrentiende para las personas versadas en la materia que pueden hacerse en ella los indicados y otros cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

Esta solicitud que corresponde a la presentada en Estados Unidos de América el 17 de Enero de 1.968, bajo el número 698.595, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

#### REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Una disposición para recobrase de errores transitorios en un sistema de tratamiento de datos que incluye una unidad de control, una unidad de tratamiento y una unidad de almacenaje o memoria, en el cual dichas unidades incluyen medios de detección de errores y dicho sistema es capaz de funcionar manipulando operandos me-



diante búsqueda de vocablos de operando llevándolos de un campo de la memoria a la unidad de tratamiento, es capaz de funcionar tratando dichos vocablos de operando de byte en byte hasta formar resultados, y es capaz de funcionar guardando dichos resultados en dicho campo; disposición que comprende: un contador para contar el número de bytes guardados sin error que hay en dichos resultados; medios conectados a dichos medios de detección de errores, para inhibir el avance de dicho contador al producirse una señal de error; y medios conectados a dichos medios de detección de errores para obligar a dicha unidad de control a ir a un modo de revista al producirse una señal de error, de tal manera que la revista de la manipulación de datos empiece en el siguiente cómputo de bytes a partir del cómputo que hay en dicho contador.

2.- La disposición de la reivindicación 1, que incluye además un contador de errores, conectado a dichos medios de detección de errores, para contar el número de intentos erróneos de manipulación de datos, siendo dicha unidad de control capaz de funcionar, cuando dicho contador llegue al cómputo de n, en el sentido de hacer que dicho sistema deje de revistar dicha manipulación de datos.

3.- Una disposición para recobrase de errores transitorios en un sistema de tratamiento de datos que incluye una unidad de control, una unidad de tratamiento y una unidad de almacenaje o memoria, en el cual dichas unidades incluyen medios de detección de errores y dicho sistema es capaz de funcionar ejecutando una instrucción en curso mediante búsqueda y transporte desde la memoria



a la unidad central de tratamiento de vocablos de primer operando procedentes de un campo de primer operando y vocablos de segundo operando, es capaz de funcionar tratando dichos vocablos de operando de byte en byte hasta formar resultados de bytes, y es capaz de funcionar guardando dichos resultados de bytes en dicho campo de primer operando; disposición que comprende: un contador para contar el número de resultados de bytes guardados exentos de error; medios conectados a dichos medios de detección de errores para inhibir el avance de dicho contador al producirse una señal de error; medios conectados a dichos medios de detección de errores para obligar a dicha unidad de control a ir a un modo de revista al producirse una señal de error; medios de memoria de apoyo de acceso de instrucciones, capaces de funcionar con una señal procedente de dicha unidad de control durante dicho modo de revista, para restablecer la dirección de acceso de la instrucción en curso y así iniciar una revista de la instrucción en curso; y medios de cambio de datos de fuente, que hacen que dichos medios de control pasen por ramificación a una secuencia recalculada de modo que dicha instrucción en curso se ejecute comenzando por el cómputo de bytes siguiente a partir del cómputo que hay en dicho contador.

4.- La disposición de la reivindicación 3, que incluye además un contador de errores, conectado a dichos medios de detección de errores, para contar el número de intentos erróneos de ejecución de la instrucción en curso, siendo dicha unidad de control capaz de funcionar, cuando dicho contador llegue al cómputo de  $n$ , en el sentido



de hacer que dicho sistema deje de revistar dicha instrucción en curso.

5           5.- Una disposición para recobrase de errores transitorios en un sistema de tratamiento de datos que  
6 posee una unidad de control, la cual incluye una unidad  
7 de control de secuencia; que posee una unidad de tratamien  
8 to y que posee una unidad de almacenaje o memoria, la cual  
9 incluye un registro de datos de memoria; sistema que in-  
10 cluye medios de detección de errores, y que es capaz de  
11 funcionar tratando operandos de byte en byte mediante  
12 búsqueda y transporte de vocablos de operando desde dichos  
13 medios de registro de datos de memoria a dicha unidad de  
14 tratamiento y alternativamente guardando los resultados  
15 de bytes procedentes de dicha unidad de tratamiento a di-  
16 cha unidad de memoria, a través de dicho registro de datos  
17 de memoria y bajo el control de unos controles de almace-  
18 naje de bytes; disposición que comprende; un contador pa-  
19 ra contar el número de resultados de bytes guardados exen-  
20 tos de error; medios de incrementar, conectados a dichos  
21 controles de almacenaje de bytes, para incrementar dicho  
22 contador en un cómputo de bytes igual al número de bytes  
23 exentos de error guardados; medios de inhibir, conectados  
24 a dichos medios de detección de errores, para inhibir di-  
25 chos medios de incrementar al producirse una señal de e-  
26 rror, previniendo así el avance de dicho contador; me-  
27 dios conectados a dichos medios de detección de errores,  
28 para obligar a dicha unidad de control a ir a un modo de  
29 revista al producirse una señal de error; medios de memo-  
30 ria de apoyo de acceso de instrucciones, capaces de fun-  
31 cionar con una señal procedente de dicha unidad de control

1978



5 durante dicho modo de revista, para restablecer la dirección de acceso de la instrucción en curso y así iniciar una revista de la instrucción en curso; y medios de cambio de datos de fuente, que hacen que dichos medios de control pasen por la ramificación a una secuencia recalculada de modo que dicha instrucción en curso se ejecute comenzando por el cómputo de bytes siguiente a partir del cómputo que hay en dicho contador.

10 6.- La disposición de la reivindicación 5, que incluye además un contador de errores, conectado a dichos medios de detección de errores, para contar el número de intentos erróneos de ejecución de la instrucción en curso, siendo dicha unidad de control capaz de funcionar, cuando dicho contador llegue al cómputo de n, en el sentido de  
15 hacer que dicho sistema deje de revisar dicha instrucción en curso.

20 7.- La disposición de la reivindicación 5, en la que dicho contador es un contador binario, y en la que dichos medios de incrementar descodifican las señales procedentes de dichos controles de almacenaje de bytes, para así incrementar dicho contador.

25 8.- La disposición de la reivindicación 5, en la que dichos medios de inhibir incluyen medios de retardo para retrasar una señal de incrementar procedente de dichos medios de control de secuencia, de modo que dichos medios de detección de errores puedan llegar a desarrollar una señal de error al producirse un error, y así inhibir dicha señal de incrementar.

30 9.- Una disposición para recobrase de errores transitorios en un sistema de tratamiento de datos que



posee una unidad de control, la cual incluye una unidad de control de secuencia; que posee una unidad de tratamiento y que posee una unidad de almacenaje o memoria, la cual incluye un registro de datos de memoria; sistema  
5 que incluye medios de detección de errores, y que es capaz de funcionar tratando operandos de byte en byte mediante búsqueda y transporte de vocablos de segundo operando desde un campo de segundo operando de la memoria, y alternativamente mediante búsqueda de vocablos de primer operando y almacenaje de segundos resultados en un campo de primer operando de la memoria, superponiéndose en la memoria dichos campos de operando primero y segundo; disposición que comprende: un contador para contar el número de resultados de bytes guardados exentos de error; medios  
10 de incrementar, conectados a dichos controles de almacenaje de bytes, para incrementar dicho contador en un cómputo de bytes igual al número de bytes exentos de error guardados; medios de inhibir, conectados a dichos medios de detección de errores, para inhibir dichos medios de incrementar al producirse una señal de error, previniendo así al avance de dicho contador; medios conectados a dichos medios de detección de errores, para obligar a dicha unidad de control a ir a un modo de revista al producirse una señal de error; medios de memoria de apoyo  
15 de acceso de instrucciones, capaces de funcionar con una señal procedente de dicha unidad de control durante dicho modo de revista, para restablecer la dirección de acceso de la instrucción en curso y así iniciar una revista de la instrucción en curso; y medios de cambio de datos de fuente, que hacen que dichos medios de control pasen por  
20  
25  
30



ramificación a una secuencia recalculada de modo que dicha instrucción en curso se ejecute comenzando por el cómputo de bytes siguiente a partir del cómputo que hay en dicho contador.

5           10.- Una disposición para recobrase de errores transitorios en un sistema de tratamiento de datos.

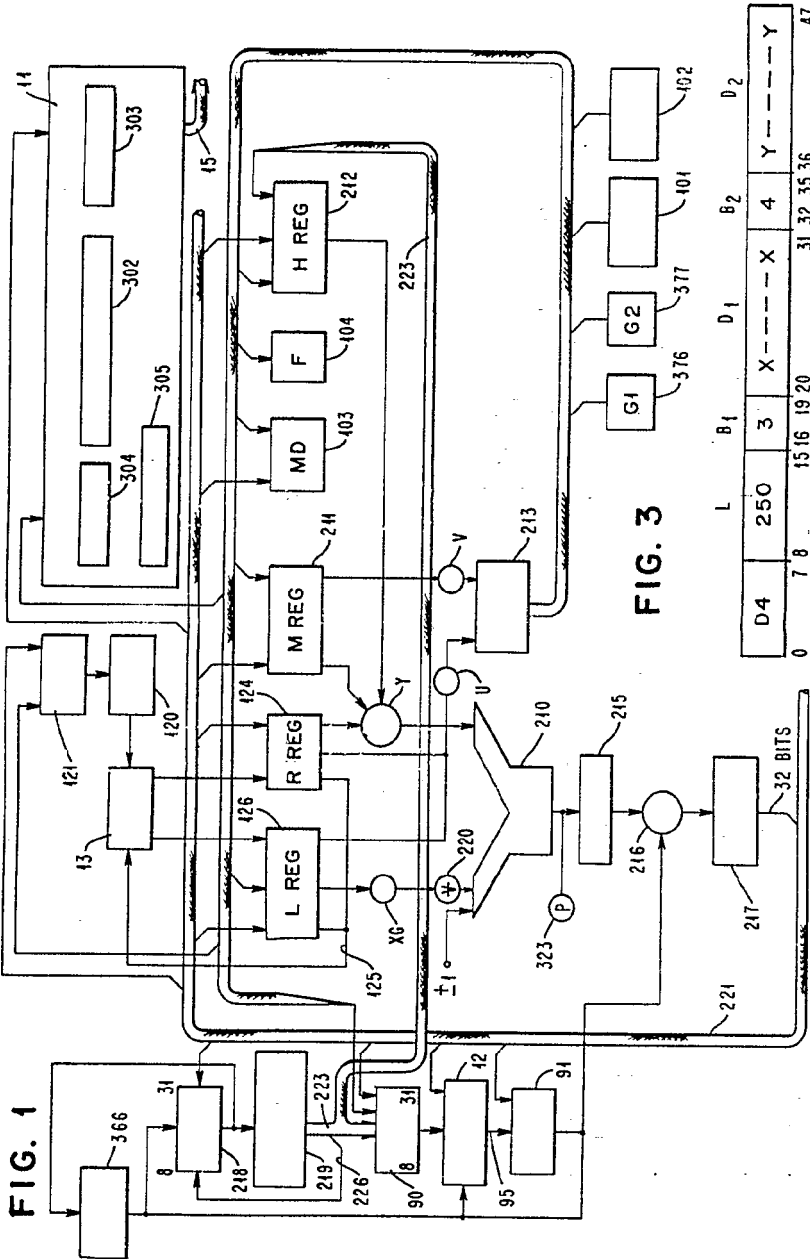
Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

10           Esta Memoria consta de cuarenta y dos hojas escritas a máquina por una sola cara.

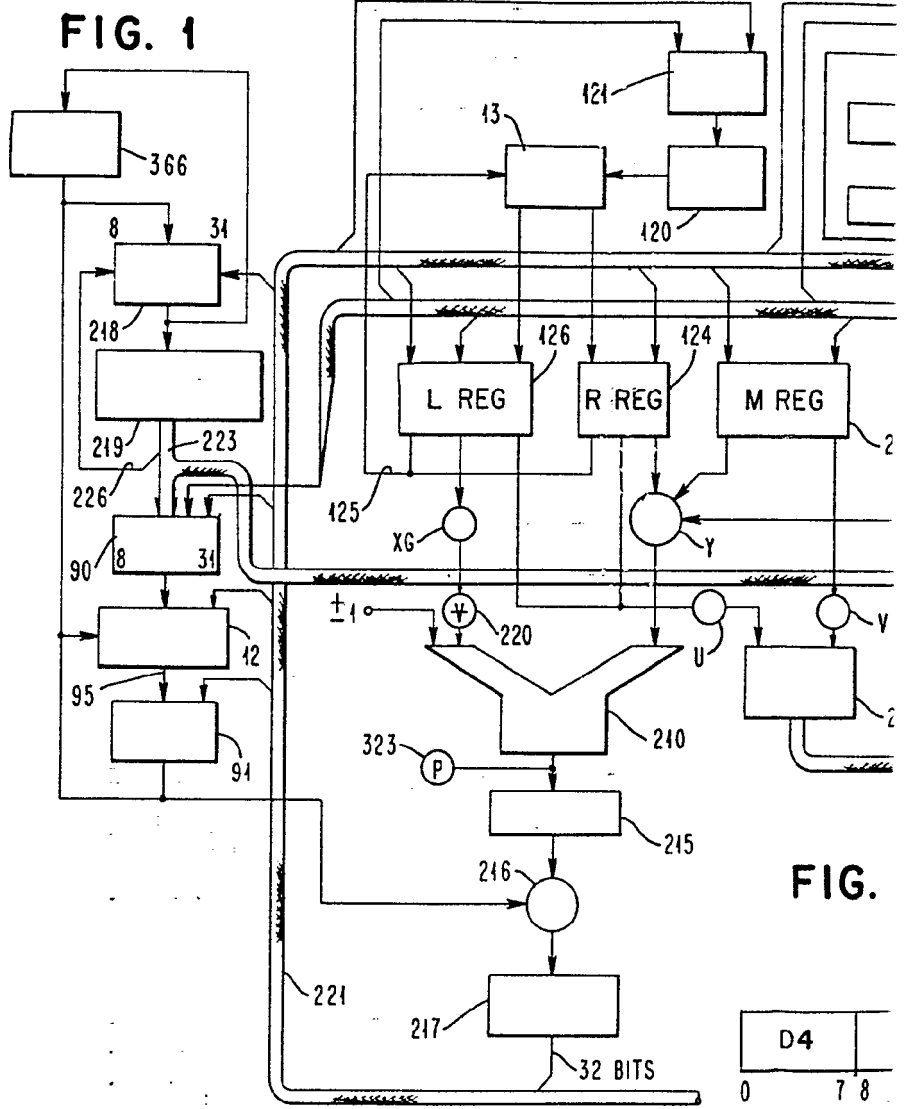
Madrid,

P.A. 19 FEB. 1968

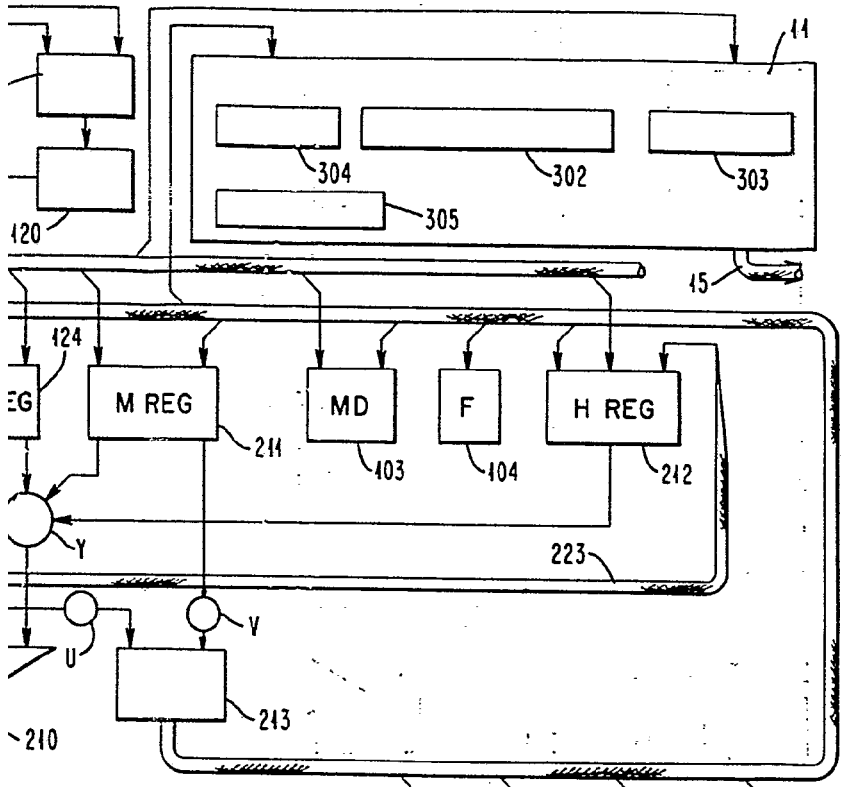
Alfonso de Elorza  
Ingeniero de Telecomunicaciones



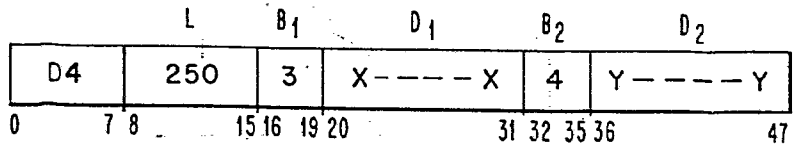
*Arta*



**FIG.**



**FIG. 3**



*Arth*

