

361451

P.- 40.039

Docket EN
9.67-77

SECRETARIA DE ECONOMIA Y FINANZAS
COMISION TECNICA

REGISTRACION I.P.C.

CLASE G 06

SUBCLASE F

Memoria descriptiva



18 ENF 1969

para solicitar Patente de Invención en España por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN APARATO DE TRATAMIENTO DE DATOS" (Clase Interna-
cional G06f)



Este invento se refiere, en general, a aparatos electrónicos para el tratamiento de datos y, más particularmente, a sistemas de esta clase que operan según técnicas de micro-programa o que utilizan una unidad de memoria local de gran velocidad para el mantenimiento de direcciones de acceso y de datos.

Se viene tendiendo a almacenar la información de microprogramas en una unidad de almacenaje o memoria de exclusiva lectura. Existen para ello varias razones. En primer lugar, se evita el problema de obtener acceso a dos clases de información en una sola unidad de almacenaje o memoria. En segundo lugar, se impide la destrucción, por inadvertencia, de la información de control, que es absolutamente esencial para el funcionamiento del sistema. El uso de la memoria de exclusiva lectura no está libre de desventajas. Las más significativas de éstas son el coste relativamente superior y la inflexibilidad que acompaña a su empleo.

Algunas de las desventajas pueden superarse mediante el uso de unidades de memoria por separado, que admiten inscripción, para la información de programa y de control. Esta solución no es eficaz sino en parte desde el punto de vista del coste. Es posible obtener la máxima ventaja mediante el empleo de una sola unidad de memoria que contenga información tanto de programa como de control. De esta manera de enfocar el asunto se ha venido haciendo caso omiso en gran parte debido a la dificultad de manipular la obtención de acceso, en unión del hecho de que no es posible obtener simultáneamente de la memoria la información de control y la de programa.

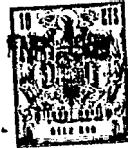


Por todo ello, es objeto general de esta invención una unidad de tratamiento u ordenación de datos perfeccionada.

5 Conforme a uno de los aspectos de la invención, pueden transferirse datos entre un dispositivo de entrada/salida (de I/O), tal como un archivo de disco, y una memoria de núcleos dentro de la unidad central de tratamiento, u ordenador central (CPU), sin dejar de conservar la división arbitraria de la memoria por medio
10 de marcas de vocablo o marcas de vocablo de marcas de grupo o cualquier otra agrupación arbitraria de caracteres seleccionados.

Un bucle de microrrutina que tenga dos instrucciones de longitud hace que el ordenador central (CPU)
15 busque un carácter en la memoria de núcleos. Este carácter es examinado para determinar si es o no un carácter especial. Según el modo de la transferencia, los caracteres especiales pueden separarse, modificarse o bien dejarse tal como están. Además, puede emprenderse una
20 acción de control, tal como la de terminar la transferencia, cuando se reconozca un carácter especial. Como la búsqueda del lugar al que se quiere tener acceso en la memoria de núcleos se efectúa antes de disponerse de los datos procedentes de un dispositivo exterior, no hay
25 esencialmente retardo alguno producido por esta acción de comparar.

La segunda microinstrucción no hace más que volver o derivar a la primera. En tanto que la primera microinstrucción incluye un diseño de bitios que tiene por
30 efecto incrementar la dirección de acceso de datos en la



memoria principal, esta parte se inhibe hasta terminar la transferencia de los datos. El bucle de dos instrucciones de longitud no hace sino continuar su marcha hasta terminarse la transferencia de datos, punto en el que se incrementa la dirección de acceso de datos para ir a buscar el carácter siguiente.

Un segundo aspecto de la invención se refiere a la manera de efectuarse la transferencia de datos real entre el ordenador central y los dispositivos de entrada/salida. En el caso de los sistemas microprogramados, las operaciones de I/O (entrada/salida) suelen ejecutarse a base de interrupción, por medio de una serie de microinstrucciones que activan los diferentes circuitos de barrera y de acceso para efectuar la transferencia.

Si bien este enfoque resulta satisfactorio en algunos casos, tiene la desventaja de necesitarse una cantidad de tiempo excesiva simplemente para leer o tomar de la memoria las microinstrucciones. Existe otro problema planteado por este enfoque de los microprogramas, ya que suele exigir en cierta magnitud una técnica de "gobierno interior" ("housekeeping"), para prevenir la pérdida de la información contenida en unos registros que se utilizan en la rutina de interrupción.

En esta invención, la señal de interrumpir seleccionada tiene por efecto forzar la entrada de un diseño de bitios arbitrario en el registro de control. Este diseño de bitios es semejante al que una rutina de interrumpir, utilizada con el mismo fin, colocaría en el registro de control. Ahora bien, el diseño es forzado sin tener acceso a la memoria principal para la informa-



1969

ción de control. Es más, no se pierde tiempo en conservar registros que no se utilizan en la rutina.

5 La operación de entrada/salida usual requerirá más de una carga en el registro de control. Los siguientes diseños de bitios van forzados por una serie de circuitos de cerrojo que se ponen en acción sucesivamente.

10 El resultado que así se obtiene es el de un sistema que puede admitir o acomodar operaciones de entrada/salida virtualmente en cualquier punto de un programa, sin relación alguna con el almacenaje de los registros, o sin consumir un tiempo indebido.

15 Según otro aspecto de la invención, se habilitan medios nuevos en su género para desarrollar direcciones de acceso en una unidad de memoria local. En la forma de ejecución descrita, la unidad de memoria local contiene 64 bytes o grupos de información. Los 64 bytes están agrupados en 6 zonas. Una de las zonas tiene 16 bytes, y las otras 5 tiene 8 bytes cada una. Los 8 bytes restantes son accesibles con cualquiera de entre cuatro de las zonas de 8 bytes.

20 Aunque más adelante se describirá con mayor detalle la función exacta de la memoria local, baste por ahora considerarla como depósito transitorio de datos, direcciones de acceso de la memoria principal, contadores e indicadores. Cada zona contiene la información relativa a una clase particular de operación. Por ejemplo, una zona de 16 bytes, se usa para el modo o clase de trabajo con CPU (con el ordenador central), Una zona de 8 bytes se usa en el modo de perforar y leer tarjetas o fichas. Otra zona de 8 bytes se usa en el modo que entra en acción du-

9.1.1969

rante las transferencias de datos en las que interviene un archivo de disco.

5 En términos geométricos, la zona puede considerarse como acceso Y, en tanto que el particular byte de dentro de la zona es la dirección de acceso X. Las direcciones de acceso X se seleccionan con arreglo al contenido del registro de control. Ciertas posiciones de bitio de la microinstrucción contenida en el registro de control se descodifican y emplean en el ensamblador de direcciones de la memoria local, para generar una dirección de acceso X que representa un byte.

10 La dirección de acceso Y se genera de modo enteramente distinto, partiendo de dos fuentes primarias. La primera fuente es el registro de modos. La selección de la zona o dirección de acceso Y se hará normalmente con arreglo al valor de ciertas posiciones de bitio en el registro de modos. Ahora bien, cuando se tenga que atender una condición de interrupción, lo que viene indicado por la presencia de bitios de datos en el registro de MMSK, se desactiva el registro de modo, y el registro de MMSK controla la selección de la dirección de acceso de zona.

15 Otro aspecto de la invención se refiere a la manipulación de las funciones principales de control asociadas a diversas rutinas de interrupción a distintos niveles de prioridad. El usual enfoque de la cuestión, a base de separar y regular los puntos de control mediante un separador-regulador o "buffer" al apartarse de la rutina, y restablecer luego la información al volverse a la rutina, exige sea una cantidad excesiva de equipo físico, sea un tiempo indebido, si se utiliza la



microprogramación.

5 El registro de MMSK contiene un diseño de
bitios representativo de los dispositivos que están
pidiendo una interrupción. El registro de modos se usa
normalmente para determinar la dirección de acceso de
zona de la memoria local. La presencia de un bitio cual-
quiera en el registro de MMSK separa totalmente el
registro de modos de los circuitos de acceso de la memo-
ria local, y pone en su lugar el de MEMSK.
10

Ligando la selección de los puntos de con-
trol al bitio de máxima prioridad del registro de MMSK,
puede ponerse en actividad un grupo particular de puntos
de control para cada nivel de prioridad, sin tener que
añadir equipo físico ni separación ("buffering") progra-
mada.
15

El registro de modos sirve para controlar
la selección de la zona a la que se ha tenido o se pide
acceso en la memoria local, así como para controlar
el franqueo de paso de elementos exteriores, tales como
los diversos registros asociados a los dispositivos de
I/O.
20

Otro aspecto de la invención incluye los
medios de introducir en el registro de MMSK las señales
de petición de interrupción (supresión).
25

Las líneas de petición de supresión se
combinan en una disposición ordenada o formación lógica
para desarrollar una dirección de acceso de memoria
principal representativa de la línea de máxima prioridad
que pide servicio. Al mismo tiempo, la presencia de una
30

9.1.1969



línea activa de petición de supresión hace que se desactive o corte la fuente normal (el registro MO-ML) de la siguiente dirección de acceso a la memoria, y se ponga en su lugar la salida del generador de direcciones de acceso de supresión.

5

La dirección de acceso de memoria forzada contiene la primera microinstrucción de una rutina, que tiene por efecto poner en el registro de MMSK un diseño de bitios representativo de la línea de máxima prioridad que pide servicio. La presencia de un diseño de bitios en el registro de MMSK funciona cortando el paso al registro de modos respecto del generador de direcciones de acceso a la memoria local, y poniendo en su lugar las salidas del registro de MMSK.

10

15

Como la dirección de acceso de zona de la unidad de memoria local viene determinada por la salida de uno u otro de los registros de modos o de MMSK, el control del sistema, determinado por la dirección de acceso de zona activa, se desplaza fácilmente a la línea de máxima prioridad que pide servicio.

20

En el repertorio del sistema existe una instrucción que permite introducir un bitio en el registro de MMSK por medio de la microprogramación. Esto permite al programador bloquear ciertos niveles de prioridad. Este bitio particular en el registro de MMSK no efectúa cambio en la dirección de acceso de zona, y el control de la dirección de acceso de zona de la memoria local sigue en poder del registro de modos.

25

30

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán despren-



diendo de la siguiente descripción pormenorizada de una forma preferida de ejecución del invento, ilustrada en los dibujos adjuntos, en los cuales:

5

- la figura 1 es un esquema ilustrativo de los elementos primarios y de los caminos de circulación de datos de la forma preferida de realización de esta invención;

10

- la figura 2 es un diagrama de circulación de datos, que ilustra la relación entre las instrucciones (macroinstrucciones) de lenguaje de la máquina y las microinstrucciones utilizadas para el control de la unidad;

15

- las figuras 3a a 3f constituyen un esquema, compuesto según la figura 3, de un sistema de tratamiento de datos que lleva incorporada la presente invención;

- las figuras 4a y 4b constituyen una representación gráfica compuesta, que ilustra la manera de generarse las direcciones de acceso de la memoria local;

20

- la figura 5 es una gráfica de tiempos que ilustra el funcionamiento de la memoria local;

25

- las figuras 6a y 6b constituyen una representación gráfica compuesta que ilustra la lógica asociada a la manipulación de peticiones de supresión, y la manera de desarrollarse la primera dirección de acceso de memoria de la microrutina de supresión;

30

- la figura 7 detalla los elementos de la unidad que se utilizan en la manipulación de una dirección de acceso de memoria, representativa de la primera instrucción de un microprograma de supresión;



- la figura 8 ilustra la parte de la unidad que tiene por efecto generar en el registro de MMSK un diseño de bitios, en respuesta a un vocablo particular contenido en el registro de control;

5 - la figura 9 es una gráfica de tiempos para la operación que trae consigo forzar la introducción de un vocablo de control en el registro de control, sin tener acceso a la memoria de control;

10 - las figuras 10a a 10d son los diseños de bitios introducidos en el registro de control, para los ciclos de control usados para transferir información entre un archivo de disco y la CPU;

15 - la figura 11 es un esquema detallado de los circuitos lógicos asociados a la parte de la unidad que permite a un suceso exterior introducir o forzar la introducción de un número de vocablos de control en el registro de control sin acceso a la memoria de control; y

20 - la figura 12 es una representación esquemática de los circuitos lógicos asociados al bucle de microprograma, que permiten transferir datos entre un dispositivo de entrada/salida y el ordenador central (CPU), conservando al propio tiempo la división arbitraria de la memoria por medio de caracteres especiales.

25

Descripción de la circulación de datos

La circulación de datos en el sistema ordenador de esta invención está representada en la fig. 1. La unidad de memoria principal 1 contiene la información



de programa, así como la información utilizada a los fines de control. Para distinguir entre los dos tipos de información, se dará la designación de información de macroprograma a la que se refiere a los programas propiamente dichos, y se denominará información de microprograma la utilizada a los fines de control. Si bien están ambos tipos de información contenidos en la misma unidad de memoria, se hallan guardados en diferentes secciones. La información de control está localizada en las regiones de direcciones de acceso más altas. El acceso a la unidad de memoria principal 1 se efectúa por medio de la unidad de acceso 3 a la memoria principal.

Los datos a guardar en la memoria principal 1 se colocan en un ensamblador de datos 2 de la memoria principal. Estos datos vienen de dos fuentes primarias: unos dispositivos exteriores tales como unos archivos de disco, y los registros A y B, designados con el recuadro número 4. Las funciones de estos registros se explicarán más adelante. Los datos leídos o tomados de la memoria principal 1 se envían al ensamblador 5 de la memoria principal si representan información de macroprograma, o bien al registro C o de control y a sus controles 6 asociados si representan información de microprograma o de control. La salida del registro C (6a) se descodifica para activar las líneas de franqueo de paso y de cambio o ramificación necesarias para ejecutar las funciones pedidas por el vocablo de control. La unidad de memoria local 7 es un dispositivo de almacenaje de gran velocidad y de capacidad relativamente pequeña.



Su función es la de facilitar un almacenaje transitorio a los factores sobre los que va a operar la unidad de aritmética y lógica (ALU) 8.

5 Los circuitos que descodifican la salida del registro C 6a interpretan los bitios de vocablo de control y condicionan las barreras, las líneas y los caminos de datos que determinan el funcionamiento de la unidad central de tratamiento u ordenación (CPU) para ese vocablo particular de control.

10 La unidad de memoria local 7 actúa también de regulador-separador ("buffer") para el funcionamiento y manejo de ciertos tipos de dispositivos de entrada/salida designados en general con el número 9. El acceso a la memoria local 7 se logra por medio de la unidad de acceso 10. Las direcciones de acceso a la memoria local se componen en general de las salidas del registro C 6a contenidas en el elemento de control 6, combinadas con las salidas del registro de modos o del registro de MMSK. Estos registros se explicarán con detalle más
15 adelante, pero puede decirse ahora que sirven para indicar en general la naturaleza del macroprograma con el que se está trabajando. Los datos tomados por lectura de la memoria local 7, en unión de los procedentes de los dispositivos de entrada/salida (I/O) 9, se llevan al ensamblador 11 de registros A y B. Es función del ensamblador 11 de registros A y B la de recoger y preparar los datos para su introducción en los registros 4, A y B. Estos registros sirven de registros de entrada a la ALU 8, y dan entrada asimismo al ensamblador de datos 2 de la
25 memoria principal. La ALU 8 contiene los circuitos que
30



ejecutan las manipulaciones de datos aritméticas y lógicas bajo el control del registro C 6a.

5 Hay ciertos enlaces colectores o barras ómnibus (abreviadamente, barras) importantes para el funcionamiento del sistema. La barra Z lleva la salida de la ALU 8 al ensamblador 5 de datos de la memoria local. Los datos de la memoria principal 1 se trasladan a la unidad de control 6 o al ensamblador de datos 5 de la memoria local por la salida de barra de datos de almacenaje (SDBO). La barra ómnibus entre el ensamblador de datos 5 de la memoria local y la unidad de memoria local 7 es la llegada de barra de datos de memoria local (LSDBI). La salida de barra de datos de la memoria local (LSDBO) lleva datos desde la memoria local 7 al 10 ensamblador 11 de registros A y B. La salida de barra exterior (EBO) representa una ramificación de la LSDBI y lleva datos desde el ensamblador 5 de la memoria local a los dispositivos 9 de I/O. La llegada de barra exterior (EBI) sirve de entrada al ensamblador 11 de los 15 registros A y B.

20

La presente invención se refiere a perfeccionamientos en la organización y el funcionamiento y manejo de los sistemas calculadores u ordenadores que hacen uso sea de la microprogramación, sea de la memoria local. Ciertos aspectos de la invención se refieren a 25 medios perfeccionados para ejecutar operaciones de tratamiento de datos por medio de microprogramación y otros aspectos tienen más relación con el empleo de una memoria local relativamente pequeña y de gran velocidad. La 30 forma de ejecución que se ha elegido a los fines de



ilustrar el presente invento es la de un sistema calculador microprogramado. Este sistema, que se ilustra en general en la figura 1, opera sobre un macroprograma contenido en la memoria principal 1. De la memoria principal 1 se toman macroinstrucciones, que constituyen una parte del programa principal. Cada macroinstrucción del repertorio del sistema se refiere a una serie de microinstrucciones. Así, una macroinstrucción tomada de la memoria 1 da una dirección de acceso para la primera microinstrucción de la serie de microinstrucciones asociada. Cada microinstrucción se toma por lectura de la memoria 1 y se coloca en el registro C (Ca) de la unidad de control 6. Terminadas las particulares operaciones asociadas a la microinstrucción, se toma de la memoria 1 la microinstrucción siguiente. Completada la serie de microinstrucciones asociadas a la macroinstrucción, el sistema funciona sacando por lectura la macroinstrucción siguiente.

La memoria local 7 se utiliza para seguir el rastro de los datos y las direcciones de acceso que se necesitan para las diversas operaciones efectuadas por el sistema. Según el particular modo de trabajo que haya en el sistema en un momento dado, puede usarse una determinada parte o porción de la memoria local 7 en particular. Por ejemplo, las manipulaciones de datos de rutina dentro de la unidad central de tratamiento (CPU) implican una determinada zona de la memoria local 7. Los dispositivos de entrada/salida individuales pueden tener cada uno su propia zona. Las rutinas de interrupción pueden formar parte de otra clase de



operaciones que tenga asignada una zona.

5 La ejecución de una sola macroinstrucción
 tiene lugar del modo ilustrado en la fig. 2. La primera
 etapa de la operación consiste en tomar la instrucción
10 de lenguaje de máquina (macroinstrucción) del área de
 almacenaje de programa de la memoria principal 1. Esto
 se hace por medio de una microrrutina de ciclo de
 instrucción (CICY) introducida mediante conexas
 en el sistema. " continuación, la instrucción de lenguaje
15 de máquina se coloca en la memoria local 7. La micro-
 rutina de ciclo de instrucción descodifica la instruc-
 ción, determinando el punto de arranque de la microrru-
 tina asociada a la instrucción de lenguaje de máquina.
 Los circuitos de acceso 3 de la memoria principal 1
20 reciben entonces la dirección de acceso de la primera
 macroinstrucción de la rutina, efectuándose un cambio
 o ramificación a ese lugar. La ejecución secuencial de
 las microinstrucciones prosigue hasta completar todas
 las microinstrucciones asociadas a la particular ins-
25 trucción de lenguaje de máquina. Terminada la última
 macroinstrucción, la microrrutina de ciclo de instruc-
 ción toma de la memoria 1 la siguiente instrucción de
 lenguaje de máquina. Esta acción continúa hasta ejecu-
 tarse todas las instrucciones de lenguaje de máquina
 y completarse el macroprograma.

 Las figs. 3a a 3f inclusive representan en
 detalle el sistema que se ilustra en general en la fig.
 1. Siempre que ha sido posible, se han empleado los
 mismos caracteres de referencia para designar las mismas
30 partes del sistema. En la fig. 3d se ilustra el ensambla-



dor 3 de direcciones de acceso a la memoria principal. En la figura 3e se detalla la unidad de acceso 10 a la memoria local. La unidad aritmética y lógica 8 se presenta en la figura 3f.

Carga inicial de la memoria de control

5

La información de control de microprograma se carga o se introduce en una área de la memoria principal 1 destinada a la información de control. La carga del programa se inicia por medio del interruptor de carga inicial del programa de control (ICPL) que hay en un pupitre de mando. Este interruptor activa un circuito de cerrojo, que genera una señal de petición de supresión para el control de supresión 20. Este control genera una dirección de acceso a la memoria principal, relacionada con la señal de petición de supresión. La señal de petición de supresión desarrolla una dirección de acceso en el control de supresión 20. Esta dirección de acceso es introducida en el ensamblador 21 de acceso a la memoria principal, y presentada a la unidad decodificadora 22 de acceso a la memoria principal. En este caso, se lleva una supresión a la dirección de acceso 0010 de la memoria principal 1, que forma parte de la dirección de acceso efectiva de la memoria de control. Los bitios de orden superior se forman obligadamente en un diseño que depende del tamaño de la memoria.

10

15

20

25

El primer vocablo de la rutina de supresión es un vocablo de control de MMSK. Su función prin-



5 principal consiste en poner un 1 en el bitio 8 del registro
23 de MMSK. Una de las funciones del registro de MMSK
es la de controlar la prioridad de las peticiones de
supresión. El bitio 8 es de muy alta prioridad. Inhibe
todas las demás peticiones de supresión y funciona
además deteniendo el reloj marcador, caso de detectarse
un error de la CPU, por no haber programas de control de
errores, residentes en la memoria en ese momento. Una
vez guardada o almacenada la primera dirección de acceso,
10 y tomado o leído el contenido del lugar 0010 de la me-
moria principal, la dirección de acceso de supresión
que se presentó en la memoria principal 1 se hace pasar
por un modificador 23 de direcciones de acceso a la
memoria principal, en el cual es incrementada en 2, y re-
15 tenida en el registro 24 de W0 y en el registro 25 de
W1. La dirección de acceso se incrementa en 2 a fin de
acceder a la dirección inmediata sucesiva, en este caso
0012. Una vez completada la actividad del bitio 8 del
MMSK, se pone la siguiente dirección procedente de los
20 registros 24 y 25 de W0-W1, por medio de los ensamblado-
res 26 y 27 de MO-M1, en los registros 28 y 29 de MO-M1.
Esta dirección de acceso representa la siguiente ins-
trucción de la secuencia y, por lo tanto, se usa para
traer la instrucción siguiente de la unidad de memoria
25 principal 1. Esta forma de incrementar y tomar de la me-
moria 1 prosigue mientras los vocablos leídos o toma-
dos no son de ramificación.

Suponiendo que la carga inicial del pro-
grama de control se vaya a hacer partiendo de una agru-
pación o "baraja" de fichas, los datos de la primera o
30



5 las primeras fichas, que representan información auxi-
liar de bootstrap se introducen por lectura en la direc-
ción de acceso que sigue inmediatamente a la parte, car-
gada a mano, de la memoria de control necesaria para
10 iniciar la rutina de ICPL. Las fichas sucesivas, es
decir, las que contienen la información de control para
el resto de la memoria de control, son autodefinidoras.
Es decir, la primera parte de la ficha contiene la di-
rección de acceso a la memoria principal en la que se
15 va a guardar la información de esta ficha. Cada ficha
puede contener un número de vocablos de control, que
son vocablos de control secuenciales. El programa de
ICPL interroga a las primeras columnas de la ficha,
descubre la dirección de acceso a que se destina la
20 carga, y activa un registro de acceso en la memoria lo-
cal 7. El programa de ICPL (carga inicial del programa
de control) lee o toma entonces los datos de la ficha
y los introduce, desde el principio de la ficha, en
la dirección de acceso a la memoria principal especifi-
cada por la ficha. Las señales de salida del lector
de fichas se cargan inicialmente en un lugar, de tipo
separador-regulador, de la memoria principal 1.

25 Una vez guardadas en este lugar separador-
regulador las 80 columnas de la ficha en su totalidad
el microprograma interroga a los seis primeros lugares
de esa ficha. Si las cuatro primeras columnas de la
ficha contienen la dirección de acceso a cargar, esa
dirección se toma por lectura del lugar del separador-
regulador y se coloca en un primer registro seleccio-
30 nado en la memoria local 7. Con tal que la ficha no sea



de tipo especial, tal como una ficha final de agrupación o "baraja", el microprograma completa la carga de la memoria de control de la siguiente manera: El vocablo de control se toma del regulador-separador de la memoria principal 1 y se coloca en un registro situado en la memoria local 7.

El microprograma quedaría entonces en suspenso en un bucle que hace uso del primer registro de acceso a la memoria local seleccionado, para tener acceso a la memoria principal 1 y guardar el valor contenido en un segundo registro de la memoria local. El vocablo de control del registro C (de control) 6a especifica un primer registro de la memoria local como registro de direcciones de acceso, y el segundo registro de la memoria local como registro de datos. Se efectuaría un ciclo de almacenaje, y se aumentaría en 2 la dirección de acceso a la memoria contenida en el primer registro. En otros términos, una vez colocado este vocablo de control en el registro de control 6a, se tendría acceso a la memoria local para la dirección contenida en el primer registro. Este valor se envía por la salida de barra de datos de memoria local (LSDBO), a través de los ensambladores 26 y 27 de MO-M1, a los registros 28 y 29 de MO-M1. Para esta dirección de acceso se tomaría un ciclo de almacenaje en la memoria principal 1. El valor contenido en el segundo registro de la memoria local se suministraría al ensamblador de datos 11 de los registros A-B y se introduciría en los registros A y B, 35 y 36, desde los cuales se suministraría a la memoria principal. Terminada la transferencia del valor del segundo registro



de la memoria local a la memoria principal, el contenido del primer registro de la memoria local se trasladaría por lectura a los registros A y B, 35 y 36. Desde allí se llevaría el valor a través de la unidad aritmética y lógica (ALU) 37 y del modificador del registro B 38 para incrementar el valor contenido en el primer registro de la memoria local y vuelto a guardar luego en la memoria local 7. Con esto se completa la operación de guardar un vocablo de control en la dirección especificada por el primer registro de la memoria local y actualizar el acceso incrementándolo en 2 sin ir al siguiente vocablo de control de la secuencia. El microprograma toma entonces el siguiente vocablo de control separado de la ficha, y repite este procedimiento con cuantos de control aparezcan en la ficha.

La operación de lectura de fichas de ICPL no se hace por el mecanismo normalmente utilizado durante otras operaciones de I/O. Como no hay otros dispositivos de I/O en funcionamiento en este momento, la operación no hace más que iniciarse, y se deja estar en un apretado bucle por todo el tiempo durante el cual se transmitan datos desde el lector de fichas. Una vez introducida la rutina de ICPL, el microprograma introduce la lectura de los interruptores o conmutadores del pupitre (39 de A-B y 40 de C-D), por medio del ensamblador 11 de datos de A-B en los registros A-B 35 y 36. La salida de los registros A-B 35 y 36 se "muda" o hace pasar a través de la ALU 41 a un registro de la memoria local. Esto se hace por medio de un vocablo de control específico, que es un vocablo de mudar. Una vez colocados en



la memoria local 7 los datos representados por los interruptores o conmutadores 39 y 40, se hace una breve decodificación en los interruptores 39 de A-B y se toma una ramificación a la rutina de microprograma apropiada para manipular el dispositivo de entrada/salida (I/O) que se haya indicado. Para cada uno de los dispositivos 9 de I/O hay una determinada y única rutina. Para una carga dada inicial de programa de control sólo habría de introducirse manualmente la rutina utilizada con la ICPL. Suponiendo que el canal se utilice para ICPL, se introduce un 02 en los interruptores 39 de A-B. Esto indica una ICPL procedente del dispositivo de entrada de canal. Los interruptores 40 de C-D se activan, indicando el acceso al lector de fichas por el canal. Como el canal está identificado como dispositivo de I/O, se emite un vocablo de control desde el acceso de supresión. Este vocablo de control especifica que el registro de modos 44 está puesto a K, siendo K un campo del vocablo de control. En este caso el campo K contiene un valor de 38. Esto activa los bitios 2, 3, 4, 5, 6 y 7 del registro de modos 44, poniéndolos a 111000. Este diseño de bitio indica un funcionamiento en modo de canales, usando la zona 0 de la memoria local 7. Puede ahora iniciarse la lectura efectiva de una ficha, por ejemplo, tomada del lector de fichas por el canal. Esto se hace recorriendo paso a paso una selección inicial en el canal.

Para comenzar la selección inicial, se muda al registro de salida de barra del canal el valor que estaba inicialmente en los interruptores 40 de pupitre de C-D, y que ahora se hallan en un registro de la me-



moria local. Es éste un particular registro contenido en la zona 0 de la memoria local. Este traslado se ejecuta por medio de un vocablo exterior de control de mudanza en el registro de control 6a, que funciona tomando el contenido del registro de la memoria local, colocándolo en el registro A 35 y haciéndolo pasar directamente por la ALU 41 y por la barra Z hasta el ensamblador 5 de datos de la memoria local, donde se encuentra ahora disponible en la llegada de barra de datos de la memoria local (LSDBI). Por ser ésta una mudanza exterior, se colocan los datos en la salida de barra exterior (EBO) al canal, que es uno de los dispositivos 9 de I/O. Los bitios 2, 3 y 4 del registro de modos, puestos a lll, indican el modo del canal y franquean el paso de la salida de barra exterior al registro de salida de barra de canal, contenido como parte de los dispositivos 9 de I/O y en oposición a cualquier otro registro que pudiera designarse por la misma descodificación dentro del vocablo de control.

Con la dirección del dispositivo al que se ha de tener acceso cargada en el registro de salida de barra de canal, es posible iniciar ya la secuencia de enlace o comunicación para tener acceso a ese dispositivo particular. En el registro de control 6a se usan ceros como vocablo de control para activar o poner en evidencia distintos elementos denotativos ("tags") de enlace para el dispositivo de canal. Dos vocablos de control consecutivos activarían señales de salida de acceso y salida de selección en el canal. El microprograma pasaría luego a un bucle en espera de la respuesta procedente



de la unidad de I/O. Una respuesta válida sería la aparición de un elemento denotativo de llegada de operación (OP IN). Suponiendo que apareciera una señal de OP IN, el microprograma generaría entonces un vocablo de control que repusiera la señal denotativa de salida de acceso y entrara en bucle en espera de la aparición de la señal denotativa de llegada de acceso en el enlace de canal. Una vez en activo esta señal denotativa de llegada de acceso, se supondría que en el escrutinio inicial de selección ha respondido el dispositivo de I/O apropiado.

Con la señal denotativa de llegada de acceso en activo, se efectúa otra mudanza exterior desde un registro de la memoria local hasta el registro de llegada de barra de canal. Pero ahora se pone en el registro de salida de barra un valor concreto y específico de 02, correspondiente a una orden de leer transmitida a los dispositivos del canal. Una vez puesta en el registro de salida de barra de canal la orden de leer, o valor 02, se pone en el canal la señal denotativa de salida de orden, por medio de los vocablos de control apropiados de tipo 0.

El bucle de microprograma espera entonces la respuesta de llegada de estado, del dispositivo. Recibida esta respuesta, el microprograma verifica la llegada de barra de canal, por medio de una mudanza exterior de CPU. Es ésta una función de vocablo de control destinada a asegurarse de que la respuesta de estado es 0, y de que esta es la indicación de que el dispositivo de I/O ha aceptado la orden de leer, y empezará a leer la ficha. El microprograma responde al dispositivo de I/O



que hay en el canal activando la señal denotativa de salida de servicio, que indica que el dispositivo de I/O ha de proseguir con la orden de leer. El microprograma entrará en un bucle, cambiando o ramificando a llegada de servicio, que es la señal denotativa que viene del dispositivo de canal e indica que hay datos presentes en la llegada de barra de canal. Una vez recibida esta indicación, el microprograma pasa los datos a la memoria local 7 por medio de una mudanza exterior de CPU, responde con salida de servicio y vuelve de nuevo al bucle de llegada de servicio.

El microprograma sigue en esta secuencia hasta llegar a un estado final o terminación; esto es, después de introducidas por lectura las 80 columnas de la ficha. La primera ficha de la caja del canal es la denominada de "bootstrap", así que se manipula de manera un poco distinta a la de la sucesiva ficha. La primera ficha se lee e introduce directamente en el área de almacenaje de control de la memoria principal 1, empezando por una dirección de acceso de las últimas de la propia rutina de ICPL. La parte inicial de entrada de la porción cargada manualmente de la rutina de ICPL contiene justamente lo bastante para introducir por lectura la primera ficha. La parte que se introduce procedente de la primera ficha sigue este microprograma, y contiene la información adicional de microprograma necesaria para manipular el estado de terminación, de la primera ficha, y las sucesivas transferencias de datos de programa de control procedentes del dispositivo de entrada. Esta información adicional manipularía la



5 carga de una ficha sucesiva y su introducción directa en el almacenaje de separador-regulador de la memoria principal 1. Contiene asimismo el microprograma que interroga a las primeras columnas de la ficha, para hallar el área a cargar y el bucle que efectivamente ejecuta la acción de cargar.

10 Esta operación continúa hasta llegarse a la última ficha. La última ficha contiene en sus primeras columnas una manifestación de código (abreviadamente un código) especial indicativo de que se trata de una ficha final, y no de una ficha de datos efectiva. Al terminarse esta ficha, el programa encadena o cambia normalmente por ramificación a uno de los microprogramas introducido por la carga de núcleos. Este microprograma, en 15 la mayoría de los casos, es el de reposición del sistema, que introduce un bucle de "espera" o de parada provisional ("soft stop") una vez efectuada cierta manipulación para asegurarse de que determinados registros se hallan en un estado conocido.

20 Descripción de los vocablos de control usados en el registro C

25 El registro 6a de control, o registro C, se usa para contener la salida de la memoria principal 1, cuando esa salida de la memoria principal es un vocablo de control, y no de datos que se estén transfiriendo a la memoria local 7. Estos vocablos de control efectúan el franqueo de paso y el accionamiento de los contro-



les que determinan el funcionamiento del sistema. En general, los bitios 0, 1 y 15 del vocablo de control describen el tipo particular de vocablo. Los tres bitios, por consiguiente, dan un máximo de 8 tipos distintos de vocablos de control.

El vocablo de tipo cero se denomina vocablo de activar/reponer ("set/reset"). Se usa para controlar diferentes registros fijos en los dispositivos de CPU y de I/O. El bitio 2 se usa como bitio de activar/reponer. Si el bitio 2 es un 0, se efectúa una función de reponer. La función de "poner" o activar ("set") viene indicada por un 1 en la posición de bitio 2. Los bitios 4, 5, 6 y 7, designados fuentes de activar/reponer, seleccionan uno de entre 16 registros como registro-fuente. Los bitios 2, 3 y 4 del registro de modos 44 se usan para "expandir" o ampliar las posibilidades de descodificación a 128 registros. Muchos de éstos son independientes del modo; por ejemplo, una combinación de 0000 en el campo de 4, 5, 6 y 7, de la fuente de activar/reponer selecciona el registro S (registro de fuente). Esta selección es independiente de los bitios presentes en el registro de modos 44. Otras posibilidades, en cambio, dependen del registro de modos. Esto es, una descodificación dada puede referirse a uno de los registros como fuente en el modo de canal, y a otro registro como fuente estando en otro modo, etc.

Los restantes bitios del vocablo, esto es, los bitios 3, 8, 9, 10, 11, 12, 13 y 14 representan el valor al que se activará el registro especificado. Estos bitios se usan de dos maneras. Una de ellas es aquella en



que cada bitio selecciona un bitio dado dentro del registro. El vocablo puede activar de 1 a 8 bitios, o bien puede reponer de 1 a 8 bitios. Las combinaciones de activar y reponer no pueden mezclarse en un solo vocablo de control. Este vocablo de control puede usarse también de una segunda manera como registro de sustitución. En este caso, los bitios 3, 8, 9, 10, 11, 12, 13 y 14 se mudan directamente al registro especificado, para sustituir por completo el valor contenido en este registro.

La elección de la forma de vocablo de control de activar/reponer depende de la aplicación del registro que se esté controlando. En general, la forma usada más a menudo es la del caso en que unos bitios seleccionados dentro de un registro se activan o desactivan (se ponen "on" u "off").

La excepción es el vocablo de control de MMSK en su versión del tipo de vocablo de activar/reponer. Para obtener de este vocablo más rendimiento funcional, los diseños de bitios tienen un significado ligeramente distinto. Los bitios 0,1 y 15 lo definen como vocablo de tipo cero. El bitio de activar/reponer se usa en combinación con el bitio 11 para describir la función a ejecutar. Las combinaciones especificadas por estos dos bitios son: activar un bitio de MMSK solamente; activar un bitio de MMSK y almacenar un registro de "respaldo"; reponer un bitio de MMSK solamente; y reponer un bitio de MMSK y restablecer o reponer a su valor anterior el registro de respaldo. En este vocablo particular, los bitios 3, 12, 13 y 14 se descodifican para seleccionar un bitio de MMSK; es decir, según la combinación de bitios se activará o repondrá un determinado bitio de MMSK. Esto da una máxima



capacidad de 15 bitios. En el campo inferior de \bar{K} o K bajo (bitios 8, 9, 10, 11), los bitios 8, 9 y 10 tienen significación tan sólo cuando la combinación de los bitios 2 y 11 especifica sea la acción de guardar, sea la de reponer o restablecer, un registro de respaldo. En ese caso, los bitios 8, 9 y 10 especifican la dirección de acceso en la zona 4 de la memoria local 7 donde se guardará el registro de respaldo, o bien se usará el registro como fuente para restablecer un respaldo.

El siguiente vocablo de control es un vocablo de tipo uno, o sea el de constante aritmética. En este tipo de vocablo, el campo de descodificación de función, bitios 2, 3, 12, 13 y 14, describe la función de la ALU 41. Por ejemplo, si se van o no a guardar en la memoria local 7 los resultados de una operación de la ALU, y qué franqueo de paso se desea en la entrada de la ALU. El campo AS, bitios 4, 5, 6 y 7, selecciona uno de 16 registros de la memoria local 7, dentro de la zona seleccionada en un momento dado. (En algunas zonas sólo se dispone de 8 registros). El valor \bar{K} , bitios 8, 9, 10 y 11, se usa para suministrar un valor constante, como una de las entradas, a la ALU 41. Esto se consigue introduciendo los bitios 8, 9, 10 y 11 como carga en el registro B 36, arriba y abajo, para dar una máscara constante.

Por ejemplo, una descodificación de bitios 2, 3, 12, 13 y 14 que diera igual a todos ceros, especifica una función $Z = A + K$ bajo. El término \bar{K} bajo indica que sólo se ha de usar la mitad de la constante. La Z indica que el resultado no se guardará en la memoria local; esto es, se hará justamente con fines de ensayo o prueba.



La A se refiere al valor especificado en el campo AS; esto es, al registro que se usará como una de las fuentes. El signo + indica que la ALU 41 hará una operación correspondiente a ese signo. La expresión K bajo quiere decir que el valor presentado como entrada de B a la ALU será un OK, donde K resulta ser el diseño de los bitios 8, 9, 10 y 11 del vocablo de control. En el mismo ejemplo, supóngase que la constante de los bitios 8, 9, 10 y 11 es igual al valor hexadecimal de 3 y 4, y esto es lo que se pone tanto en B alto como en B bajo, de modo que el registro B contiene el valor 33. El K bajo indica que no se desea sumar 33 al registro de la memoria local indicado en el campo AS --sino sólo sumar 3 a la parte baja. El K bajo significa que la entrada de B en la ALU será solamente la parte baja o inferior, y que la parte superior se anulará o pondrá a cero. Es decir, se sumará un 03 (OK) al campo de fuente A.

El siguiente vocablo de control es del tipo siete, o sea el de ramificar o cambiar condición. Este puede ser también un vocablo de tipo seis, estando la diferencia en el bitio 15. Si el bitio 15 es un cero, se produce la ramificación cuando el bitio seleccionado es un 0. Si el bitio 15 es un 1, lo que indica un vocablo de tipo siete, se tomará la ramificación si el bitio seleccionado es un 1. En este vocablo, el campo BC incluye los bitios 2 y 3, que seleccionan el bitio de una cantidad de medio byte a la que se vaya a tener acceso. Normalmente, la ramificación seleccionaría los bitios 4, 5, 6 ó 7 y descodificaría ese valor particular. El bitio 5, de cruce directo, selecciona sea la parte



18

5 alta, sea la baja del byte en las barreras y controles
42 de salida del registro A. Para decirlo de otro modo,
la ramificación se hace en la salida de control de cruce
directo 42a, de los controles 42 de salida del re-
gistro A, pasando a la ALU. El byte al que se vaya a
efectuar el cambio o ramificación se coloca en el re-
gistro A 35. Según sea el bitio 5 o de cruce directo,
la introducción del registro A en la ALU 41 se hará
con los bitios 4, 5, 6 ó 7 del registro A, o con los
10 bitios 0, 1, 2 ó 3 del mismo.

El campo AS, bitios 4, 5, 6 y 7, se usa
para seleccionar la cantidad a la que se va a efectuar
la ramificación. El bitio 8 determina si esta cantidad
viene de la memoria local, o bien de una fuente exte-
rior. Si el bitio 8 es un 0, los bitios 4, 5, 6 y 7
representan una dirección de la memoria local. Si el
bitio 8 es un 1, representa una cantidad exterior. El
bitio de cruce directo es en realidad uno de los del
campo AS. Por consiguiente, sólo las descodificaciones
15 que den el bitio 5 igual a un 1 pueden tomarse en la
ramificación. Aun cuando el campo AS sea una cantidad de
bitio 4, el bitio 5 viene obligado siempre a 1 cuando
el acceso se haga al exterior o a la memoria local.
El valor primitivo del bitio 5 se envía sólo a los
25 controles de cruce directo 42a. El resto de los bitios
del vocablo de tipo siete (bitios 9, 10, 11, 12, 13 y
14) se usan como bitios de sustitución metiéndolos en
el registro 29 de M1, caso de tomarse la ramificación.
Por ejemplo, si se va a tomar la ramificación cuando
30 el bitio 5 de un registro dado sea un 1, al llegar ese
caso, los bitios 9 a 14 inclusive se introducirán en el



registro de M1. El resto de los bitios seguirá lo mismo que normalmente; esto es, se pasaría directamente desde los registros 24 y 25 de MO-M1. Los bitios de sustitución se llevan a los bitios 1, 2, 3, 4, 5 y 6 del registro 29 de M1 y, por lo tanto, proporcionan una capacidad de ramificación en 64 direcciones.

El vocablo de tipo cinco es el de ramificar a "máscara" u ocultación. Esto da una capacidad de ramificar en 4, 8 ó 16 direcciones con un dígito particular. El vocablo de franqueo de paso es muy parecido al del vocablo de tipo siete, el de ramificar o pasar a condición. Esto es, el campo de fuente A selecciona una cantidad dada de la memoria local o una cantidad exterior, según la condición del bitio 8. Aquí también el bitio 5 se fuerza siempre a 1, y el bitio real 5 se usa en el control de cruce directo. Es decir, la ramificación puede hacerse sobre un dígito alto o un dígito bajo de la cantidad seleccionada. Los bitios 2 y 3 seleccionan el tipo de ramificación.

Otra función de este vocablo es la de ramificar cuando el valor contenido en el registro A no es cero; es decir, que el valor seleccionado sea de la memoria local, sea del exterior, no es cero. Esta función reside en la combinación 01 de los bitios 2 y 3. Los bitios 9 a 14 inclusive son aquí también bitios de sustitución; ahora bien, se sustituyen en lugares diferentes en comparación con los bitios de sustitución del vocablo de ramificar o cambiar a condición. Los bitios a quienes sustituyen en los registros 28 y 29 de MO-M1 son diferentes. Sustituyen a los bitios 0, 1 y 2 del



1969

registro 29 de ML, y a los bitios 5, 6 y 7 del registro 28 de MO. Aquí también, en el caso de que la fuente A no sea cero, los bitios se sustituyen sólo si se hace la ramificación. En los demás casos, se efectúa siempre la sustitución. La ramificación de cuatro direcciones se hace tomando el valor resultante después de haber sustituido los bitios 9-14 a los bitios 0, 1 y 2 del registro 29 de ML y a los bitios 5, 6 y 7 del registro 28 de MO. El resto de los bitios contenidos en ML, es decir, las posiciones de bitio 3, 4, 5 y 6, son el resultado de poner en coincidencia una cantidad con el dígito alto o el bajo, según la selección efectuada por el vocablo. Por ejemplo, supóngase que se desea hacer una ramificación en cuatro direcciones al registro D de la memoria local 7, esto es, descodificar 0100, y cambiar a la parte alta, es decir, hacer una ramificación de cuatro direcciones a los bitios 2 y 3 del registro D. El registro D se pasa al registro A 35. El bitio de cruce directo está en activo, indicando que los bitios 4, 5, 6 y 7 se cruzarán a la ALU 41 en correspondencia con los bitios 0, 1, 2 y 3. Como se desea efectuar una ramificación de cuatro direcciones, estos bitios se ponen en coincidencia con una máscara 0011, que da una ramificación de cuatro direcciones a los bitios 2 y 3. El resultado de esta ocultación sirve de sustitución del registro 28 de MO, bitios, 3, 4, 5 y 6.

Un vocablo de control de tipo cuatro es el vocablo de ramificación incondicional. Con este vocablo se usan todos los bitios, excepto los bitios 0, 1 y 15, como bitios de sustitución para los registros 28 y 29 de MO-ML. Cada vez que se ejecuta un vocablo de tipo cua-



tro, siempre que el sistema no esté en la condición de
supresión de I/O, lo que vendría puesto de manifiesto
por la existencia en estado de 1 de cualquier bitio 0 a
6 inclusive de MMSK, se guarda un registro de respaldo
5 en los lugares de registro IO e II de la zona 4 de la me-
memoria local 7. Esto se hace para dar una función de rami-
ficación y encadenamiento. La dirección de acceso a
guardar es la inmediata sucesiva después de la ramifica-
ción. La ramificación cambia la dirección de acceso a otro
10 valor distinto, pero puede convenir que se retenga la
dirección de acceso del vocablo siguiente en la secuen-
cia, en el caso de que el cambio o ramificación a sub-ru-
tina vaya seguido de nuevo cambio o vuelta al micropro-
grama de fuente.

15 En el instante T1, se da paso al conteni-
do del registro 28 de MO, a través del ensamblador 5 de
datos de la memoria local, hasta el lugar de registro
IO de la zona 4 de la memoria local 7. Al mismo tiempo,
el contenido del registro 29 de ML se pone en el regis-
20 tro A 35 a través del ensamblador 11 de datos de A-B.
El valor contenido en el registro A 35 se fuerza a través
de la ALU con una actualización de 2; es decir, el regis-
tro B 36 se pone a 01, y la línea 46 de intercalación
de dígitos de pase se pone en acción. El valor de la ba-
25 rra Z, representativo de la salida de la ALU, es entonces
igual a $A + 2$. El resultado neto es el de que el registro
29 de ML ha sido incrementado en 2. En el instante T6, el
contenido de la barra Z, o salida de la ALU 41, se hace
pasar por el ensamblador de datos 5 de la memoria local
30 y por la barra de LSDBI al registro II de la memoria local,



zona 4. Como se está actualizando sólo la parte de M1
de la dirección de acceso, la rutina de ensamble en masa
garantiza que siempre que se quiera que una ramificación
sea una función de cambiar y encadenar, nunca se asigna-
rá esta dirección a un lugar límite de memoria tal que
5 pudiera esperarse un dígito de pase de M1 a M0 al hacerse
la actualización. Esto se designa al codificar por medio
de una notación distinta. Una microinstrucción de BR indi-
ca justamente la ramificación directa. Una instrucción
10 de BAL indica una ramificación directa, pero con el
matiz adicional de tratarse de una instrucción de BAL a
la que, llegado el caso, se retornará, de tal modo que
el programa de masa no asigne esto a una dirección de
acceso inapropiada. La función de retorno viene realmente
15 ejecutada por el vocablo de control de MMSK.

Respecto a la ramificación directa, cuando
se utiliza como BAL, esto es, cuando se haga a una sub-ru-
tina que vuelve o retorna al microprograma primitivo, la
función de retorno se efectúa mediante la ejecución de
20 un vocablo de MMSK. El vocablo de MMSK especifica que se
haga un retorno, y que se desactive un bitio de MMSK,
bitio que no existe.

El siguiente vocablo de control es del tipo
tres, vocablo de mudanza aritmética. Su formato es muy
25 similar al del vocablo constante, es decir, del tipo
uno. La única diferencia está en que los bitios 8, 9,
10 y 11, en lugar de ser de valor constante son en reali-
dad una dirección de acceso, a la que se hace referencia
como campo de fuente B. Los bitios 2, 3, 13 y 14 descri-
ben aquí también la función a ejecutar. Este vocablo de
30



control opera desempeñando funciones lógicas y aritméticas que no implican valores de K. Es ejemplo de una de estas funciones el valor de bitio 10, descrito como $A = A \text{ W } B$. El campo de fuente A, es decir, el de los bitios 4, 5, 6 y 7, se usa para el acceso a la memoria local 7, colocándose la cantidad en el registro A 35. El campo de fuente B, bitios 8, 9, 10 y 11, se usa para tener acceso a la memoria local 7, colocándose los resultados en el registro B 36. Ambos registros se pasan directamente a la ALU por medio de los controles 42 de registro A y de los controles 43 de registro B. Dentro de la ALU se ejecuta una función disyuntiva exclusiva, volviendo a almacenarse la salida de la barra Z en el campo de fuente A, especificado por los bitios 4, 5, 6 y 7.

El siguiente vocablo de control es el de tipo dos. Es éste el vocablo de almacenaje o memoria, y se usa para obtener acceso de almacenaje bajo el control de microprograma. El campo que incluye los bitios 2 y 3, tomados en combinación con el bitio 11, define el tipo de operación y la sección de la memoria a la que se ha de tener acceso. Los bitios 2 y 3 se descodifican como de leer memoria de control, leer memoria auxiliar, guardar o inscribir en memoria de control y guardar o inscribir en memoria auxiliar. Si en los bitios 2 y 3 se indica memoria auxiliar y el bitio 11 es un 1, ello significa que se ha de tener acceso a la memoria principal sea para tomar datos por lectura, sea para guardar datos. El campo de fuente A, bitios 4, 5, 6 y 7 especifica el registro de la memoria local 7 o el registro exterior a



utilizar para datos, sea para guardarlos en la memoria principal, sea para aceptar datos de la memoria principal.

5 El bitio 7 es el de selección de bytes. Activado al valor de 1 selecciona un solo byte, y no un semivocablo normal. El campo de fuente B, bitios 8, 9 y 10 (el bitio 11 de este campo se utiliza para designar la memoria principal 1, como antes se ha dicho), se usa para indicar el registro de la memoria local 7 a utilizar como registro de acceso para la memoria principal 1. El campo de MC, bitios 12, 13 y 14, describe el tipo de operación. Dos tipos de operaciones, guardar más en memoria local y guardar menos en memoria local, indican que el campo de fuente A es un registro de la memoria local 7, y los signos más y menos indican si el contenido del registro de acceso se ha de incrementar o reducir en uno o dos, según la condición del bitio 7 de selección de bytes. Es decir, si el bitio 7 está desactivado ("off"), es que interviene un semivocablo de modo que el incremento o decremento es 2. Si el bitio 7 es un 1, es que se está utilizando un byte, y el incremento o decremento vale 1.

15 Las de guardar exterior más y guardar exterior menos son otras dos funciones de este vocablo, e indican que los datos se van a guardar de o a guardar en una cantidad exterior, y que el incremento o el decremento se reduce siempre en uno. Esto es así porque la disponibilidad de exterior es sólo para un byte. La selección de byte debe estar siempre en activo; es decir, el bitio 7 debe ser siempre un 1.



Otra descodificación del campo de MC,
también con bitios 12, 13 y 14, sirve para no efectuar
actualización alguna en la dirección de acceso que se
esté usando. Otra versión más de este vocablo permite
5 que los bitios 8, 9, 10 y 11, normalmente utilizados
como dirección de acceso del registro de la memoria
local que contiene la dirección a la que se ha de obtener
acceso en la memoria, se use en cambio como valor cons-
tante y se coloque directamente en las posiciones de bi-
10 tío del ensamblador 27 de datos de M1.

Descripción de las figuras 3a a 3f inclusive

El registro C o de control 6a es el lugar
donde se colocan los vocablos de control para efectuar
el control del sistema. Se colocan en el registro C
15 (6a) desde la memoria principal 1. El registro S es el
registro de estado de la CPU. Se trata de un registro
de equipo físico que puede ser repuesto por el vocablo
de tipo cero a un valor conocido: por ejemplo, a todos
ceros. También pueden ser activados algunos bitios por
20 el vocablo de tipo cero, para poder usar estos bitios de
equipo físico como indicadores de estado. Por ejemplo,
el bitio S6 se usa para indicar si se ha llevado a
efecto una instrucción de ejecutar. El bitio S7 resulta
ser el de interrupción de canal O. El bitio S1 se usa
25 en combinación con la ALU 41 para dar una señal de
base-complemento por medio del control 43 del registro
B. En la ALU 41 se efectúa una operación de sumar o restar,
según la condición del bitio S1.



Las entradas de línea de estado al registro S 51 son unas condiciones dinámicas que se introducen por muestreo en dicho registro de estado 51, por medio de los controles 52 de registro de condición dinámicos y del registro 53 de condición dinámica cuando se ejecutan ciertos vocablos. Por ejemplo, el bitio S2 es el de respuesta distinta de cero. Para ciertas funciones aritméticas, este bitio se activará a 1 cada vez que la barra Z esté a un valor distinto de cero. El bitio S4 se usa para indicar dígitos decimales no válidos. Cuando se haga una operación decimal en la ALU 41, y el registro A y B contenga un dígito decimal no válido, el bitio S4 se activará a 1.

La fuente normal para el registro de control es la de vocablos de control de la memoria principal. Ahora bien, durante las operaciones de "escamoteo" de ciclos de disco, donde no puede gastarse tiempo en obtener acceso a la memoria principal para que los vocablos de control regulen la transferencia de datos, se fuerzan dos vocablos de control directamente en el registro de control 6a para obtener las dos operaciones necesarias.

El ciclo de reloj básico de CPU (ordenador central) desarrollado en el control de la memoria y el reloj 55 es de 90 nanosegundos (90ns) de longitud o duración. Estas señales se desarrollan partiendo de diez impulsos de 180 ns que se superponen entre sí en 90 ns. La coincidencia lógica de dos cualesquiera de estos impulsos produce un impulso de 90 ns, o impulso B. Los impulsos de 180 ns son impulsos T. Para iniciar



5 un acceso a la memoria principal, se necesitan una dirección de acceso para la misma y una señal de llamada de lectura. El ensamblador 21 de direcciones de la memoria principal, que da la dirección de acceso a ésta, sirve desde un instante T4 al siguiente.

10 En el instante T5 del ciclo se da una llamada de lectura a la memoria principal. Es ésta la señal que se envía a la memoria principal 1 para iniciar el acceso a la misma con la dirección de acceso suministrada por el ensamblador 21 de direcciones de acceso a la memoria principal. La línea de almacenaje auxiliar en uso o de paso es un bitio adicional de acceso a la memoria principal. Normalmente se necesitan 15 bitios de acceso. El bitio de almacenaje auxiliar en uso significa el empleo de la sección de almacenaje auxiliar o de paso que tiene la memoria principal, en vez de la sección normal de esta última. El registro 31 de datos de memoria principal acepta datos que proceden del ensamblador 2 de datos de la memoria principal. Los datos se suministran al ensamblador 2 directamente de la memoria principal 1, por una barra ómnibus 56, durante una operación de leer y cuando va a regenerarse la información.

25 También se suministran al ensamblador 2 de datos de la memoria principal los datos que proceden del registro A 35 y del registro B 36 cuando se está colocando información nueva en la memoria principal 1. Otro material de introducción es el de datos de archivo que hay en la barra 57. Se usa durante una operación de "escamoteo" de ciclos de disco.

30 La fig. 3d ilustra el camino de acceso a la



5 memoria principal 1. Consta principalmente de los regis-
tros 28 y 29 de MO-MI, los ensambladores 26 y 27 de
registro MO-MI, de un modificador 23 de acceso a la memo-
ria de dos bytes, del registro 24 de W0 y del registro
10 25 de W1. En la ejecución normal en secuencia de las
microinstrucciones, el registro 28 de MO y el registro
29 de MI se activan en el instante T4, con una dirección
de acceso que pasa por el ensamblador 26 de MO y el
ensamblador 27 de MI. A la memoria principal se le envía
en el instante T5 una señal de llamada de lectura que
aparece en la línea 58. Los datos procedentes de la memo-
ria principal 1 adquieren validez en el registro 31 de
datos de almacenaje en el instante T0, y se meten en el
registro de control 6a como nuevo vocablo de control.
15 También en el instante T0 se activa y guarda en el regis-
tro 24 de W0 y en el registro 25 de W1, por medio del
modificador 23 de acceso a la memoria, la salida del
ensamblador 21 de acceso a la memoria. Caso de que la
instrucción de control que se esté ejecutando no sea una
20 que necesite un tipo cualquiera de ramificación, los re-
gistros 28 y 29, de MO y MI, se vuelven a poner al valor
de los registros 24 y 25 de W0 y W1 en el instante T4,
emitiéndose en el instante T5 una señal de llamada de lec-
tura.

25 Es éste el camino normal para actualizar las
direcciones de acceso a la memoria de control, y ejecutar
las microinstrucciones en secuencia. De ejecutarse una
ramificación directa, el valor contenido en los registros
28 y 29 de MO y MI sería completamente sustituido por
30 bitios procedentes del registro de control 6a a través



1969

de los ensambladores 26 y 27 de MO y M1. Para una condi-
ción de ramificar a máscara o a conducción, en la que se
toma realmente la vía de ramificación, una parte de la
entrada a los ensambladores 26 y 27 de MO-M1 se suminis-
tra por las líneas 60 y 61 que vienen del registro de
control 6a. El resto de los datos de acceso viene de los
registros 24 y 25 de WO-W1. Para tener microprogramas de
orden superior, es decir, supresión de microprogramas,
se prevé un camino auxiliar 62 en el ensamblador 21 de
acceso a la memoria. Caso de aparecer una petición de
supresión de microprograma, los circuitos 20 peticiona-
rios de la supresión desactivan o separan los registros
28 y 29 de MO-M1 del ensamblador 21 de acceso a la memo-
ria y fuerzan un nuevo diseño de bitios, privativo de la
particular petición de supresión, en el ensamblador 21
de acceso a la memoria. Este diseño de bitios se convier-
te en la dirección siguiente de acceso a la memoria princi-
pal, y se lleva al camino de actualización 63, siguiendo
por el modificador 23 de acceso a la memoria hasta los
registros 24 y 25 de WO-W1.

La unidad 20 de acceso y los controles de
supresión ("trap") se estudiarán con mayor detalle más
adelante. Puede hacerse notar ahora que el registro 91
de MSK controla la prioridad del microprograma en tra-
tamiento. Si está ya en curso una supresión dada, sola-
mente se dejarán entrar en el control de supresiones 20
las peticiones de supresión de mayor prioridad. De ocu-
rrir una petición de supresión de prioridad superior, se
activa la línea 67 de señales de petición de supresión.
En el instante T4, esta señal repone el cerrojo del en-

9.1.1969



5 samblador 21 de acceso a la memoria que está dando paso al contenido de los registros 28 y 29 de MO-ML al ensamblador 21 de acceso a la memoria, y en cambio franquea el paso de un diseño de bitios asociado a la petición de supresión de máxima prioridad que esté pendiente. Esto se describirá con mayor detalle más adelante.

10 Los ensambladores 26 y 27 de MO-ML son las barreras que controlan los bitios a los que se da paso hasta los registros 28 y 29 de MO-ML. Normalmente, al contenido de los registros 24 y 25 de WO y W1 se le da paso a los registros 28 y 29 de MO y ML. Ahora bien, caso de ejecutarse una ramificación, es preciso modificar el franqueo de paso. Para una ramificación directa, esta función dio paso solamente al registro de control. Para ramificaciones condicionales, al contenido de los registros 24 y 15 25 de WO y W1 se les da paso hasta ciertas posiciones de bitio, pero otras posiciones son sustituidas con bitios procedentes del registro de control 6a. Esta activación o franqueo de paso se efectúa en los ensambladores 26 y 27 de MO-ML.

20 La figura 3b ilustra los diferentes caminos para entrar en la memoria local 7. El ensamblador 5 de datos de la memoria local controla los datos que se vayan a hacer pasar bien a la unidad de memoria local 7, bien por medio de la llegada de barra de datos de memoria local (LSDBI) 25 a la salida de barra exterior. Las entradas que pueden hacerse pasar a la memoria local 7 por medio de su ensamblador de datos 5 incluyen la barra Z, que es la salida de la ALU 41 para las operaciones aritméticas o para la mayoría de las operaciones de mudar, y la salida de un modificador 38 de registro B. Esta se usa al efectuar una 30



1964

actualización de byte doble, o para actualizar una dirección que se ha utilizado para obtener acceso a la memoria. El camino que viene del registro B 36 está destinado únicamente a los fines de presentación, porque la llegada de barra de datos de memoria local (LSDBI) es una de las opciones de presentación. Es ésta también la razón para la entrada del registro de control 6a en el ensamblador 5 de datos de la memoria local. La salida de barra de datos de memoria local (LSDBO) es el camino utilizado para trasladar datos de acceso desde la memoria local 7 al ensamblador de direcciones 21 de la memoria principal. El camino que viene del registro 24 de WO existe para fines de presentación solamente. El camino que viene del registro 28 de MO se usa para guardar la dirección de acceso del "respaldo", sea para almacenar la parte alta del "respaldo" para una ramificación directa utilizada como instrucción de BAL, sea en el caso del vocablo de control MMSK. La llegada de barra de datos de memoria local (LSDBI) se convierte en salida de barra exterior a los dispositivos 9 de I/O. Esto sirve de accesorio de barra ómnibus serie, que pasa de un dispositivo a otro. En cada uno de estos accesorios pueden introducirse datos en registros seleccionados.

Con referencia a la figura 3c, el ensamblador 11 de datos de A-B se usa para ensamblar datos tanto para el registro A 35 como para el registro B 36. La barra 70, que entra en el ensamblador 11 de datos de A-B procedente del registro A 35 se prevé sólo para presentación. La llegada de barra exterior está conectada para presentar cantidades exteriores, así como análisis de

9.1.1969



microprograma de estas cantidades, sea mudándolas directamente a la memoria local 7, sea por ramificación a ellas. La barra procedente del registro de control 6a es solamente con fines de presentación. La entrada que viene de la salida de barra de datos de la memoria local (LSDBO) sirve para poder tomar datos de la memoria local y colocarlos sea en el registro A 35, sea en el registro B 36. La barra ómnibus que viene del registro 29 de M1 está prevista para poner el contenido del registro 29 de M1 en el registro A 35, como preparación al almacenaje de una dirección de acceso de "respaldo". En el caso de una ramificación directa, el valor contenido en el registro A 35 se incrementa en 2 por medio de la ALU 41, y se guarda en la memoria local 7. En el caso del vocablo de control de MMSK, el valor contenido en el registro A 35 se envía por medio de la ALU 41 a la memoria local 7, sin modificación alguna. La barra ómnibus que procede del registro 25 de W1 existe solamente con fines de presentación. Los interruptores de pupitre 39 de A-B y 40 de C-D están conectados al ensamblador de datos 11 de A-B para poder colocar en la memoria local 7 el valor fijado o activado por estos interruptores. La salida de barra de datos de memoria (SDBO) va conectada de modo que permite la presentación de la porción de orden inferior del valor puesto en salida de barra de datos de memoria. El bitio 3 del registro 53 de D-C se usa en combinación con la barra ómnibus procedente del registro 29 de M1 cuando la barra M1 no se esté usando con fines de presentación.

Al guardarse un "respaldo" para ramificación directa o para el vocablo de control de MMSK, sólo se



guardan en realidad 13 bitios de dirección de acceso. La posición de bitio 7 en el registro 29 de ML contiene el bitio 3 de registro de condición dinámica, que es la condición de dígito de pase de sumador. Este se coloca en el registro A 35 en unión del valor contenido en el registro 29 de ML, y se coloca en la memoria local 7 directamente, o bien modificado en 2, en el caso de una ramificación directa. Lo mismo se hace durante el almacenaje del "respaldo" de MO. Los bitios 6 y 7 del registro 53 de condición dinámica se ensamblan como bitios 0 y 1 en unión del resto del registro 28 de MO al guardarse el "respaldo". En el pupitre existen dos puntos de presentación principales. El byte 1 es la llegada de barra de datos de la memoria local, y el byte 2 de la presentación es la salida del ensamblador 11 de datos de A-B. Los interruptores o conmutadores se usan para seleccionar los datos apropiados para su presentación.

Para poder ramificar hacia vocablos de control de tipo cinco, seis y siete se usa el control de condición de ramificación 72. La barra ómnibus que viene del registro A 35 directamente al control 72 de condición de ramificación es simplemente una verificación de 0 en el registro A 35, y se usa para poner en activo la línea de ramificación 73 al ejecutarse una función de ramificación de fuente A distinta de cero del vocablo de ramificar o máscara.

El control de condición de ramificación 72 se usa también en combinación con vocablos de control de los tipos cinco, seis y siete para seleccionar el bitio o los bitios sobre los que se va a ramificar. Se ajusta



5 por medio de los bitios 4, 5, 6 y 7 de introducción de
ALU en registro A, y según las configuraciones de bitio
que haya en el vocablo de control selecciona el bitio so-
bre el que se va a ramificar, o bien proporciona la más-
cara a utilizar en la operación de ramificar a máscara, a
ejecutar como ramificación de 4, 8 ó 16 direcciones. Si
la salida 73 indica que ha de tomarse una ramificación,
de da una señal a los ensambladores 26 y 27 de MO-M1
y éstos ejecutan el apropiado franqueo de paso de la di-
10 rección de acceso a la que se hace la ramificación.

El sistema de circuitos de modificador 38 del
registro B se usa para llevar a efecto mudanzas de semi-
vocablo, incrementos y decrementos de semivocablo. En
términos resumidos, su función es la siguiente: El byte
15 de orden inferior del semivocablo a modificar o mudar
se coloca en el registro A 35, y el byte de orden su-
perior se pone en el registro B 36. El incremento, 0, en
el caso de mudanza, la ausencia de incremento, se mete
forzadamente la introducción de registro B en la ALU 41.
20 En efecto el registro B 36 se separa o corta respecto a
la ALU 41, forzándose la entrada en esta última de un in-
cremento, sea en 1, 2 ó 0, por medio de las barreras 43
de salida del registro B, de modo que el registro A llega
a incrementarse en 0, 1 ó 2. Según lo que lleva la ALU 41
25 y el contenido del registro B 36, el byte de orden supe-
rior del semivocablo se deja estar sin alteración, o
bien se modifica en 1.

Los circuitos usados en el acceso a la memo-
ria local 7 se ilustran en la figura 3e. El enlace con la
30 memoria local 7 consta de 16 líneas de acceso, divididas



en líneas ocho líneas X y ocho líneas Y, una línea de leer y una línea de inscribir, en unión de las nueve líneas de llegada de datos y las nueve líneas de salida de datos. A los fines del acceso, la memoria local 7 se divide en siete secciones, denominadas zonas. La zona 1 se usa como zona de ocho bytes, para operaciones de archivo de disco. La zona 0 es una zona de 16 bytes utilizada para operaciones de CPU. La zona 4 es una zona de 8 bytes utilizada para el almacenaje en registro de "respaldo". La zona 5 es una zona de 8 bytes empleada para operaciones de canal de comunicación. La zona 6 es una zona de 8 bytes utilizada para operaciones de perforación de lectora. La zona 7 es una zona de 8 bytes que se usa para operaciones de canal.

Una zona común entre 4, 5, 6 y 7 se usa para expandir las áreas de trabajo de cada una de estas zonas. A la zona común se tiene acceso siempre que la operación se realice en las zonas 4, 5, 6 ó 7.

El ensamblador 80 de direcciones de acceso X de la memoria local genera las señales por las 8 líneas X. El campo de fuente para este ensamblador es el decodificador 81 de AS o bien el decodificador 82 de BS, según el tipo de vocablo de control y el tiempo, dentro del ciclo de la máquina, durante el cual se tiene acceso a la memoria local 7. En general, la fuente para las líneas de acceso X es siempre el registro de control, sea el campo AS, sea el campo BS. La única excepción es el vocablo de ramificación directa donde se guarda un "respaldo", un lugar 6 en la memoria local, forzándose los bitios 0 y 1 de acceso X para dar acomodo al almacenaje



del "respaldo". Las barreras de inhibir y descodificar de memoria local en la unidad 83 vienen controladas desde las líneas 84 de control de tiempos y las líneas del registro C. Esta unidad desarrolla una señal para la

5 unidad de control 85 de leer-inscribir.

La salida del ensamblador 96 de acceso Y a la memoria local representa una descodificación de la zona de la memoria local a la que se quiere tener acceso, y del campo AS o del campo BS de orden superior del vocablo de control. El acceso a las zonas viene determinado por uno de dos registros, el registro de modos 44

10 o el registro 91 de MMSK. El registro de modos es la fuente básica del bitio de acceso de la zona de memoria local. Los bitios 5, 6 y 7 se descodifican para seleccionar una zona dada. En el caso de una supresión de I/O,

15 es decir, de estar en activo uno cualquiera de los bitios 0 a 7 inclusive de MMSK para desarrollar una señal en la línea 92, se desactiva el registro 44 en la barrera 93 y se fuerza la dirección de zona apropiada en la

20 unidad de zonas 94 de la memoria local según el bitio de máxima prioridad que haya en el registro 91 de MMSK.

Además, las ocho líneas de acceso Y vienen controladas por otros dos tipos de vocablos de control. Al efectuarse una ramificación directa o vocablo de

25 control de MMSK, e irse a guardar o restablecer un registro de "respaldo", se fuerzan las líneas Y apropiadas por medio de un control 95 de líneas Y que responde a la salida procedente del registro de control 6a

30 seleccionando la sección de "respaldo" o zona 4. El ensamblador 96 de acceso Y a la memoria local acepta las



entradas procedentes del registro de modos 44 o del registro 91 de MMSK, desarrollando las ocho señales de acceso Y.

5 Como antes se ha descrito en relación con el acceso X, las líneas de leer-inscribir de la memoria local están controladas por el registro 0 6a por medio de la unidad de control 83, y dependen de que la operación exija sacar (por lectura) de la memoria local o guardar en la memoria local.

10 En la figura 3f se muestra la unidad aritmética y lógica (ALU) 41. La ALU 41 efectúa todas las operaciones aritméticas y lógicas con las dos entradas proporcionadas a través de las barreras 42 de salida de registro A y las barreras 43 de salida del registro B.

15 También contienen un corrector decimal 41a que se usa para operar en decimal. Los controles 100 de la ALU son una acción descodificadora que vienen del registro 0 6a. Según el tipo de vocablo y las configuraciones de bitio que éste tenga, se condicionan las barreras para ejecutar la función deseada a través de la ALU 41. La barrera de salida y controles 42 del registro A es un juego de conjuntos y barreras procedentes del registro A 35, y se condiciona por medio del registro de control 6a.

20

25 Las funciones que pueden efectuarse en la ALU 41 incluyen: la de dar paso por la ALU al valor contenido en el registro A 35, sin modificación; la de cruzar el registro A, es decir, si la secuencia de entrada a la ALU 41 es A alto, A bajo, hacer que la secuencia de salida para la ALU 41 sea A bajo y A alto; la de

30 dar paso o activar funciones aplicadas a bytes de orden



superior e inferior (alto y bajo), que pueden usarse en paralelo con la función de cruzar, de modo que la ALU 41 cruce y dé paso sólo a la parte alta, cruce y dé paso sólo a la parte baja, o simplemente dé paso a la parte alta o la baja.

La intercalación de dígitos de pase es esencialmente la condición del bitio 3 contenido en el registro S 51. Depende de una función concreta y específica de la ALU. Es decir, al ejecutarse series o ringleras de operaciones de sumar o de restar en las que sea importante el dígito de pase que viene de la operación anterior, este dígito de pase o "lleva" puede retenerse en el bitio 3 del registro S 51 y pedirse como intercalación en la ALU en operaciones sucesivas.

El bloque o recuadro 46 de inserción de dígito de pase se utiliza para intercalar un dígito de pase en la posición de orden inferior a la ALU 41. Puede tratarse sea del bitio 3 del registro S 51, cuando lo pida la particular función de ALU especificada por el registro de control 6a, sea de una inserción de dígito de pase incondicional, también dependiente de la función pedida por el registro C 6a. Las barreras y controles 43 de salida del registro B desempeñan en relación con la salida del registro B la misma función que las barreras y controles 42 de salida del registro A efectúan para la salida del registro A 35. Las opciones dadas por las unidades de controles y salidas 42 y 43 incluyen una función de franqueo de paso alto o bajo, usada con los vocablos de constante, en los que una constante procedente del registro C 6a se coloca en el registro B



5 alto y bajo y, según la función que se pida, se da paso directamente hasta la ALU 41 a la parte alta, la baja, o la alta y baja. El control de base-complemento está situado dentro de la unidad 43 y, según la función a efectuar, genera una acción de sumar en directo, o bien una acción de sumar en complemento. En otros términos, al registro B 36 se le da paso hasta la ALU sea directamente, sea invertido, según el estado del control base-complemento.

10 La salida de la ALU 41 aparece en la barra Z, y se pasa a la memoria local 7 para determinadas operaciones. También se franquea el paso a la misma hasta el registro 53 de condición dinámica, por medio del control
15 52 de registro de condición dinámica. El registro 53 de condición dinámica efectúa algunos ensayos dinámicos acerca de la condición de la barra Z al terminarse los ciclos de máquina que utilizan la ALU. Estos traen consigo el vocablo de control de mudanza del vocablo aritmético. Los tipos de ensayo que pueden hacerse son los siguientes: poner o activar un bitio si la parte de la barra Z es cero; y poner un bitio diferente si la parte baja de la barra Z es cero. La coincidencia lógica de esto se convierte en la condición de barra Z igual a 0. El registro de condición dinámica comprueba asimismo la condición del pase de bitios 41b de la ALU 41. El registro de condición dinámica indica también el hecho de que
25 tenga lugar una condición de desbordamiento del sumador si el pase de las posiciones de bitio 0 y 1 en las líneas
30 97 y 98 es diferente.



Acceso y funciones de la memoria local

El acceso a la memoria local 7 se ilustra en las figuras 4a y 4b. A un registro (byte) particular de la memoria local 7 se tiene acceso mediante la coincidencia de líneas X e Y en la figura 4a. Tomando por ejemplo, la zona 0 (zona de la CPU), el primer byte se seleccionaría mediante activación de X0 e Y0, el segundo por la de X1 e Y0, y así sucesivamente, hasta X7 e Y0. A los ocho segundos bytes indicados verticalmente en la zona cero se tendría acceso mediante la coincidencia de X0 e Y1, X1 e Y1, y así sucesivamente hasta X7 e Y1. Sólo tres registros se definen en la zona 0: el contador de instrucciones alto (IO), el contador de instrucciones bajo (II) y el de código de condiciones (PO),

En la zona 4, la de "respaldo" de la memoria local, el nivel de "respaldo" 1 o registro U (código U0) se usa para guardar el contenido del registro de respaldo para la supresión de I/O de primer nivel. Incluye ésta la supresión de canal de baja prioridad, la supresión de lector y perforador de fichas y la supresión de comunicaciones. El respaldo de nivel 2, o registro Z (código V0) se utiliza para una operación de cadena con un archivo de disco. El registro de respaldo de nivel 3, o registro G (código G0), se usa para el respaldo de supresión de canal de alta prioridad. El respaldo de verificación de máquina o registro D (código D0) se usa cuando se toman supresiones de verificación de máquina. En el caso de que se desarrolle una señal de verificación de máquina indicativa de haberse producido un

5

10

15

20

25

30

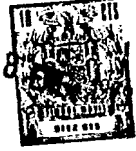


error, la dirección de acceso almacenada en el registro de respaldo es la del vocablo durante el cual se produjo el error.

5 Los respaldos se guardan en la zona 4 por medio del vocablo de control de MMSK. Cada supresión que almacene un respaldo ejecuta un tipo de vocablo de MMSK como primer vocablo de su rutina de supresión. Como ejemplo, el primer vocablo de la rutina de supresión de canal alto sería una forma mnemotécnicamente representado como
10 sigue: encadenar a G, MMSK 0 = 1. El vocablo de MMSK puede servir para todos los registros de la zona 4, incluidos los registros I, T, P y H, a los que también se puede tener acceso en las zonas 5, 6 y 7. Los registros U, V, G y D se usan más corrientemente como registros de
15 respaldo. La mayoría de los registros de la parte inferior de las zonas 4, 5, 6 y 7 se destinan a su uso como área de trabajo adicional para los microprogramas de supresión a nivel 1; esto es, la supresión de canal de baja prioridad, la supresión de lector y perforador de
20 fichas y la supresión de comunicaciones. El registro P de las zonas 4, 5, 6 y 7 se ha reservado para una función especial, que es la de ramificar y encadenar (BAL) para el accesorio de comunicaciones. Este accesorio de comunicaciones, debido a la diversidad de tipos de línea que
25 es preciso manipular, requiere una función de BAL a un nivel de supresión. Esta se inhibe normalmente, ya que sólo se dispone de un registro de respaldo.

El registro I se usa para el respaldo normal de BAL-CPU. Es decir, cada vez que se ejecuta una ramificación directa, se guarda un MMSK 0 a 6 inclusive en
30

9.1.1969



el registro I de las zonas 4, 5, 6 y 7. Un registro de respaldo consta del contenido de los registros 28 y 29 de MO-MI; es decir, de la dirección de acceso que se habría ejecutado de no haberse producido la supresión.

5 No se necesitan tres bitios del registro M; esto es, los bitios 0 y 1 de MI y el bitio 7 de MI. En sustitución de estos bitios se guardan y respaldan tres condiciones dinámicas utilizadas por los microprogramas de supresión. Son éstas la de alto $Z = 0$, bitio 6 de condición dinámica; la de bajo $Z = 0$, que es el bitio 7 del registro de condición dinámica; y la de dígito de pase del sumador, que es el bitio 3 de condición dinámica.

15 La función de BAL del canal de comunicaciones es un caso especial. Como la CPU está en función de BAL durante una supresión de I/O, no se dispone de la función BAL de CPU normal. Por consiguiente, para facilitar un respaldo especial se ejercería la siguiente secuencia de instrucciones: Se ejecuta un vocablo de MMSK para guardar un respaldo en registro T. Cuando se
20 usa la función de MMSK, y no es el primer vocablo de una supresión: esto es, se halla en una corriente normal de instrucciones, la dirección de acceso a almacenar sería la real y efectiva del vocablo MMSK. A continuación se hace una conmutación de zona, a la zona 4, y el
25 área que es el registro T se incrementa en dos o en cuatro para archivar la dirección de retorno que procede de una sub-rutina sucesiva.

30 En general, el acceso a la memoria local 7 depende de los diseños de bitios que haya en el vocablo de control residente en el registro de control 6a. El



tipo de vocablo influye en la unidad 83 de inhibir y des-
codificar accesos, y además en el control 85 de líneas de
leer-inscribir. El tipo de vocablo determina si se ha de
hacer una lectura de introducción de leer o inscribir
5 en la memoria local, y en qué momento, durante el ciclo
dado, se han de ejecutar estas funciones. La unidad 81
de descodificar AS es excitada por unos bitios del regis-
tro C 6a que coinciden con el campo AS del vocablo de
control; es decir, los bitios 5, 6 y 7. La unidad 82 de
10 descodificar BS está excitada por los bitios 9 y 10 del
campo BS, también del registro C 6a. Estos bitios ali-
mentan el ensamblador de direcciones 80 de acceso X de
la memoria local, y se ponen en acción con las apropia-
das señales de línea de leer-inscribir de modo que duran-
15 te un ciclo de máquina dado se activan las líneas 115 de
acceso X apropiadas. La gráfica de tiempos de la figura
5 ilustra las partes del ciclo de reloj cuando pueden estar
activos los cerrojos que están controlando las líneas
de leer-inscribir y activando ambas supresiones de ac-
20 ceso X e Y. Las partes que pueden ser activadas dependen
de los tipos de vocablo. La gráfica de tiempos indica
todos los tiempos o instantes posibles, durante un ciclo
de máquina, en que pueden estar en acción (a nivel alto)
los diferentes cerrojos de leer o de inscribir. Solo uno
25 de los cerrojos de leer o inscribir puede estar en activo
en un momento dado en el ciclo. Los diferentes cerrojos
de acceso de lectura se combinan en un circuito disyun-
tivo 116 formando la línea 117 de lectura de la memoria
local, y los diferentes cerrojos de acceso de inscrip-
30 ción se combinan en el circuito disyuntivo 118 formando



la línea 119 de inscripción en la memoria local. Ambos circuitos disyuntivos 116 y 118 están contenidos en la unidad de barreras 83 de inhibir y descodificar de la memoria local.

5 El acceso de zona de la memoria local desarrollado en la unidad de zonas 94 de la memoria local viene determinado por los bitios 5, 6 y 7 del registro de modos 44. Ahora bien, de tomarse una supresión de I/O y activarse un bitio sucesivo de MESK, se desactivan los
10 bitios de registro de modos 5, 6 y 7, separándolos del camino de zonas de la memoria local, y se fuerza una combinación dependiente del bitio de máxima prioridad que haya en el registro 91 de MESK. Por ejemplo, supóngase que el bitio 0 de MESK es el bitio de prioridad que regula la supresión de canal de alta prioridad. La zona de
15 la memoria local forzada para el bitio 0 de MESK es la zona 7, o sea aquella en que todos los bitios están activados. Estas líneas se llevan al ensamblador 96 de acceso Y de la memoria local, donde se combinan con las
20 líneas 122 de leer-inscribir AS y BS, como funciones de franqueo de paso, y el bitio de orden superior del campo AS o del BS, por medio de la unidad 95 de controles de línea Y, formando ocho líneas de acceso 124 desunidas.

25 Generación de dirección de acceso de petición de supresión

30 Las figuras 6a y 6b ilustran la parte del sistema que selecciona una solicitud de supresión y gene-



5

10

ra la primera dirección de acceso a la memoria de la microrutina asociada. El sistema incluye un número de barreras de coincidencia 126a - 137a de entrada que proporcionan una función de franqueo de paso por cada petición individual de supresión. Se utilizan ciertas señales para inhibir ciertas peticiones de supresión. Pueden ser éstas la existencia de bitios de MMSK indicativos de estarse ejecutando una supresión de prioridad de nivel superior, o bien otras determinadas condiciones que se usan para tener la seguridad de que ninguna supresión monopolizará un nivel de supresión durante un extenso intervalo de tiempo.

15

20

La salida de esta función de franqueo de paso se lleva por muestreo a una serie de cerrojos de retención de fase 126b - 132b, 134b - 137b y 140b, en el instante T0 de todos y cada uno de los ciclos de la máquina, excepto aquél en el que se esté tomando una supresión. Las salidas de los cerrojos de retención de fase se combinan y usan para establecer un diseño de bitios que obligue al sistema a obtener acceso a un vocablo específico de la memoria de control. Este vocablo sería el primero del microprograma de supresión asociado a una solicitud de supresión dada.

25

30

Los medios para iniciar esta operación consisten de un circuito disyuntivo 145 que combina todas las peticiones de supresión generando la señal en la línea 146 pedida por cualquier solicitud de supresión. Esta línea es examinada o muestreada en el instante T4, en la barrera de coincidencia 147, en un intento de reponer el cerrojo 148 que genera la señal de barrera MO-M1



a líneas de SAR en la línea 149 que conduce al ensamblador 21 de acceso a la memoria (fig. 3d). El lado positivo o afirmativo del cerrojo 148 franquea el paso del registro MO-M1 a las líneas 150 que conducen a la unidad descodificadora 22 de acceso a la memoria. El lado negativo o de ausencia del cerrojo 148, por la línea 142, da paso al diseño de bitios establecido por los circuitos de prioridad 143 desde los cerrojos separadores-reguladores de solicitud de supresión, de retención de fase. El cerrojo de enclavamiento 144 de acceso a supresión se usa con fines de regulación de tiempos o sincronismo, para garantizar que el cerrojo 148 permanezca repuesto durante sólo un ciclo.

Los bitios particulares de registro M1 y MO afectados por las peticiones de supresión son los bitios 8, 9, 10 y 11 del registro 29 de M1, y los bitios 6 y 7 del registro 28 de MO. El bitio 7 se fuerza para todas las supresiones de I/O, y el bitio 6 se fuerza para las peticiones de supresión de la CPU, tales como la petición de ICPL, la petición de reposición del sistema, la petición de verificación de máquina o la de error de almacenaje. Los bitios 8, 9, 10 y 11 se fuerzan según la particular supresión de I/O o de CPU que tenga máxima prioridad. La tabla representativa de la salida de los circuitos de prioridad 143 ilustra los diseños de bitios específicos que se fuerzan o aplican en la línea 150.

Las peticiones de supresión de I/O incluyen una petición de canal alto 126 que indica una transferencia de datos al canal, cuando ese canal es de irrupción. La línea 126 de petición de canal alto de la barrera de

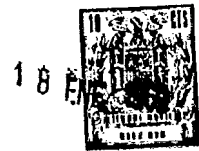


18

coincidencia 126a es activada por la señal de ausencia de bitio 0 de MMSK, que indica que no hay en curso ningún otro microprograma de petición de canal alto y que, por lo tanto, no es necesario esperar a que se complete antes de poder iniciar una petición de canal alto. El bitio 2 de MMSK indica que hay en curso una petición de prioridad de canal bajo y está bloqueada porque, aun cuando haya diferentes peticiones de prioridad desde el punto de vista del sistema sólo es posible manipularlas de una en una. La línea de petición 127 de encadenar disco, en la barrera de coincidencia 127a, se usa para iniciar microprogramas que manipulen la función de encadenamiento en el aparato o accesorio de disco. Las funciones de franqueo de paso a la barrera de coincidencia 127a son de ausencia de bitio 0 de MMSK, que indican no haber en curso ningún microprograma de supresión de canal alto. La petición 127 de encadenar disco recibe paso asimismo por la señal de ausencia de bitio 1 de MMSK, que indica no haber en curso ningún microprograma de disco anterior. La barrera de ausencia de bitio 1 del registro de modos para la petición de encadenar disco se usa para inhibir esta supresión cuando se trabaja en un modo particular de emulador.

La línea 128 de petición de lectura de fichas es activada por la ausencia de inhibición de supresión de fichas para impedir que se produzcan dos supresiones de ficha sucesivas y poder así manipularse supresiones de prioridad inferior entre dos supresiones sucesivas. La ausencia de bitios 0 a 7 de MMSK indica no haber en curso supresión alguna de microprograma ni de ficha. El bitio

9.1.1969



7 de MMSK es un bitio general de MMSK que se usa para impedir que se produzcan supresiones durante un período o intervalo concreto de tiempo.

5 La línea 129 de petición de perforar fichas es activada por las mismas señales que activan o dan paso a la supresión de petición de lectura de fichas.

10 La línea 130 de petición de canal bajo es activada por una señal denominada de supresión de canal de barrera, que es la salida de un cerrojo que está ejerciendo función de interruptor cíclico, pasando del estado de no conducción al de conducción. Esto proporciona una acción alternativa entre la manipulación del canal y las supresiones de comunicaciones, para que nadie monopolice un nivel de supresión dado. La señal de supresión de canal de barrera o de comunicaciones es importante tan
15 sólo cuando el dispositivo de fichas esté en el proceso de tomar supresión. Durante este período, sólo se permitirá que ocurra una supresión de comunicaciones durante el ciclo que sigue inmediatamente a la terminación de una supresión de lectura o perforación de ficha. La otra
20 condición es la de ausencia de bitios 0 a 7 de MMSK, que indica las condiciones anteriormente citadas.

25 La petición de supresión de servicio de bitios de comunicaciones que va por la línea 131 recibe paso esencialmente por las mismas barreras que las de la petición de canal bajo, con la excepción de que en lugar de la línea de supresión de canal de barreras, esta supresión particular se activa con una ausencia de supresión de canal de barrera; es decir, se usa la fase opuesta
30 del circuito de relajación biestable o "flip-flop" para



regular la interacción de las supresiones de canal bajo y de comunicaciones.

5 La petición de adaptador bisíncrono (BSA) de comunicaciones, presente en la línea 132, recibe paso con las mismas condiciones que la petición de servicio de bitios de comunicaciones presente en la línea 131. El aparato accesorio garantiza que no se activarán simultáneamente ambas peticiones, de servicio de bitios de comunicaciones y de adaptador bisíncrono.

10 La petición de servicio de caracteres de comunicaciones que aparece en la línea 133 recibe paso mediante las mismas funciones que las peticiones que acaban de indicarse, 130 del canal bajo y 131 de servicio de bitios de comunicaciones, pero con una inhibición adicional. Se trata de que durante el período en que el perforador o lector de fichas esté en la operación de supresiones de petición, puesta de manifiesto por la activación del cerrojo de selección de lector o del cerrojo de selección de perforador, se impida que la petición 133
15 de servicio de caracteres de comunicaciones dé origen a una supresión.

20 Las supresiones clasificadas como de CPU, es decir, las de ICPL, reposición de sistema, verificación de máquina o violación de error de almacenaje, reciban paso también por medio de diferentes funciones. La petición
25 134 de cerrojo de ICPL es activada por la ausencia de bitio 8 del registro de MMSK. Esto es para garantizar que el pulsador de ICPL del pupitre tome una supresión, y sólo una.

30 La señal de supresión de petición de reposi-



5 ción del sistema que aparece en la línea 135', o la señal de supresión de petición de carga que aparece en la línea 135'', se toman sea por la acción de oprimir la tecla de reposición del sistema que hay en el pupitre, sea por la de oprimir la tecla de cargar que hay en el mismo. Y en cada caso, el bitio 9 de MMSK, al estar en activo, impide que la supresión se tome más de una vez para la misma condición.

10 La señal de supresión de verificación de máquina, en la línea 136, se toma cuando el sistema está marchando en el modo de tratamiento y se detecte un error de CPU, no estando activado ninguno de los bitios 8 ó 9 de MMSK. El bitio 9 de MMSK se usa para impedir que la supresión de verificación de máquina se tome más de una vez para el mismo error, y el bitio 8 del registro de MMSK indica haber en progreso una supresión de ICPL, o una supresión de carga, o una supresión de reposición del sistema. En estos casos no conviene tomar una supresión de verificación de máquina, sino parar. La señal de cerrojo de petición de violación de memoria, en la línea 137, es franqueada por desactivación del bitio 8 del registro de MMSK, que es un bitio de MMSK de uso general que bloquea todas las supresiones, y por la ausencia de enclavamiento de acceso a supresión. Esto se hace para que la condición que da origen a la petición de error de memoria pueda seguir en activo por sólo el intervalo de tiempo durante el cual se necesita tomar la supresión de petición de error de memoria. Las peticiones de esta particular supresión se reponen en el instante T7 del segundo ciclo de esta rutina de supresión.

15

20

25

30



La barrera de coincidencia 138 está condicio-
nada por las salidas de las diversas barreras de I/O. La
salida de la barrera de coincidencia 138 se combina con
el bitio 8 del registro de MFSK en el circuito disyunti-
vo 139. La salida del circuito disyuntivo 139 se aplica
5 por medio del inversor 140 al cerrojo 140b de retención
de fase.

Cada uno de los cerrojos de retención de fa-
se 134b a 137b y 140b se examina mediante muestreo por
10 la señal de muestreo de petición de supresión de CPU.

Manipulación de microrrutinas de supresión

La figura 7 ilustra los componentes de sis-
tema usados para manipular la primera instrucción de una
microrrutina de supresión. El vocablo de control de MFSK,
15 del registro de control 6a, se usa para guardar un regis-
tro en la zona 4 de la memoria local 7. En el instante T1
del ciclo, el registro 28 de MO se guarda en la memoria
local 7 a través del ensamblador 5 de datos de la memo-
ria local. En este momento los bitios 6 y 7 del registro
20 55 de condición dinámica se introducen en lo que normal-
mente son bitios 0 y 1 del registro 28 de MO. También en
el instante T1, el registro 29 de M1, con el bitio 3
del registro de condición dinámica introducido en la po-
sición de bitio 7 del registro M1, se guarda en el regis-
25 tro A 35. Estas operaciones de inserción o introducción
se efectúan en el ensamblador de datos 5 de la memoria
local y en el ensamblador de datos 11 de registros A-B.



A continuación, se pasa la cantidad por la ALU 41 sin modificación alguna, y se guarda en la memoria local 7 a través del ensamblador de datos 5 de la memoria local, en el instante T6 del ciclo. El particular registro de la zona 4 de la memoria local utilizado a este fin viene determinado por el campo de acceso del vocablo de control. La dirección de acceso está especificada por los bitios 8, 9 y 10 del registro de control 6a. Además, en el instante T4 del ciclo, cambia al estado de 1 el bitio seleccionado en el registro 91 de MMSK.

El vocablo de control de MMSK se usa también para restablecer o reponer un registro de respaldo. En el instante T1 del ciclo se efectúa un acceso al registro de respaldo de la memoria local 7, tal como lo especifican los bitios 8, 9 y 10 del registro de control 6a. Se tiene acceso primero a la porción impar del registro de respaldo. En el instante T1, el contenido de este registro se coloca en el registro A 35. En el instante T3, la porción par, o respaldo MO del registro de la memoria local, se guarda en el registro B 36. En el instante T4 se da paso en paralelo tanto a las líneas de salida de barra de datos de la memoria local como al registro A, hasta los registros 28 y 29 de MO y ML, ya que sigue disponiéndose de los datos para el segundo acceso a la memoria, en la línea de salida de barra de datos de la memoria local.

Los bitios del registro 52 de condición dinámica, anteriormente metidos mediante separador-regulador en los lugares de almacenaje, residen ahora en el registro A 35 y en el registro B 36. Los bitios 6 y 7



del registro 53 de condición dinámica se meten de la misma manera en los bitios 0 y 1 del registro B 36. El bitio 3 del registro 53 de condición dinámica, que se guardó antes, se mete de igual modo en el bitio 7 del registro A 35. En el instante T8 del ciclo, estos tres bitios son muestreados o restablecidos en el registro 53 de condición dinámica. También en el instante T4 de este ciclo se desactiva el bitio de MMSK seleccionado. En general, cuando las funciones de guardar y devolver respaldo de MMSK se usan como vocablos primero y último del microprograma de supresión, el respaldo inicialmente guardado es la dirección de acceso de la instrucción de microprograma que se habría ejecutado de no haberse producido la supresión. Los bitios de condición dinámica que se guardan son los que existían en el registro de condición dinámica en aquel momento. Los demás bitios del registro 53 de condición dinámica que cambian de manera cíclica no están respaldados, sino que se inhiben o se les impide variar durante la ejecución de una supresión de I/O. Finalmente, la función del vocablo de control de MMSK que restablece el respaldo es la de devolver el control del microprograma al microprograma que estaba en curso cuando se produjo primitivamente la supresión.

Introducción de bitios en el registro de MMSK

La figura 8 ilustra la manera de introducir bitios en el registro de MMSK. Los bitios 3, 12, 13 y 14 de vocablo de control de MMSK, del registro C 6a, se des-



codifican en la unidad 151 para seleccionar uno de entre
16 posibles bitios de MMSK diferentes. El bitio 2 del
vocablo de control de MMSK se usa para dar a entender
si la operación es la de poner o activar el bitio de
5 MMSK seleccionado, o bien la de reponerlo a la condición
de desactivado. Si el bitio 2 es un 1, se activa el bitio
de MMSK; si el bitio 2 es un 0, se repone o desactiva
dicho bitio. Esta descodificación es efectuada por las
barreras de coincidencia 160- 161 y 162-163 que alimen-
tan las líneas de activar y reponer. Como ejemplo, si
10 el vocablo de MMSK contiene una combinación de bitio
de 0000 en los bitios 3, 12, 13 y 14, y el bitio 2 del
registro de control 6a es un 1, el bitio 0 del registro
91 de MMSK se pone o activa al estado de 1. Esto se ha-
ce en el instante T4. Si la combinación en el registro
15 de control 6a era la de bitios 3, 12, 13 y 14 igual a
0000, y el bitio 2 del registro de control 6a es 0,
esto repondría el bitio 0 de MMSK en el instante T4.

El registro 91 de MMSK en su totalidad es
20 repuesto, es decir, puesto a ceros lógicos, con una se-
ñal de reposición de máquina en la línea 152. La des-
codificación de los bitios del registro MMSK en los cir-
cuitos disyuntivos 153, 154, 155 y 156 se usa con dos
25 fines. Primero, se usa para desarrollar acciones de ba-
rretera común, y bitios 0 a 7 de registro MMSK, que inhi-
ban una supresión a nivel 1. Las demás salidas de estos
circuitos se utilizan para desactivar o separar el re-
gistro 44 de modos del descodificador de zonas 94 de
30 la memoria local y forzar en este último la introducción
de un diseño de bitios según el bitio de registro de



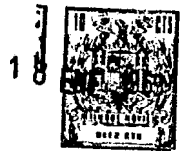
LMSK de máxima prioridad que esté activado.

Escamoteo de ciclo de entrada/salida

5
10
15
20
25

Las figuras 9, 10 y 11 son ilustrativas de la parte del sistema que fuerza la entrada de vocablos en el registro de control 6a sin acceso a la memoria principal 1. La función de la agrupación de circuitos ilustrada en la figura 11 es la de interrumpir durante dos ciclos el microprograma que haya en un momento dado, y forzar la introducción de dos vocablos de control especiales en dicho registro de control 6a, con el propósito de transferir datos entre la memoria y el archivo de discos. Los vocablos de control forzados actualizan las porciones tanto de acceso de datos como de cómputo del vocablo de control de canal bajo el que se está efectuando la transferencia de datos. El archivo de disco activa una señal de control cuando está dispuesto para transferir datos a o desde la memoria. Esto se denomina "petición de compartir", y se ilustra en la figura 9. Esta petición se mete por muestreo en el cerrojo 176 de petición de compartir archivo, en el instante T6 de los ciclos de máquina, excepto durante el primer ciclo de un vocablo de almacenaje, durante el cual se inhibe.

La activación del cerrojo de petición 176 en la CPU inicia la activación de dos cerrojos de re-



5 gulación de tiempos, que distinguen el primer ciclo de
compartir archivo del segundo ciclo de compartir archivo.
El cerrojo 177 de compartir archivo, que indentifica el
primero de estos ciclos de compartir, está en activo des-
de el instante T0 que sigue a la activación del cerrojo
176 de petición de compartir archivo en el instante T4
del segundo ciclo de compartir. El cerrojo 178 de compar-
tir archivo entra en acción en el instante T0 del segun-
do ciclo de compartir, y cesa o se repone al final del
10 segundo ciclo de compartir. Estas señales se usan para dar
paso hasta el registro de control 6a a unos diseños de
bitios asociados a los ciclos de compartir primero y se-
gundo. Ambos diseños de bitios forzados durante los dos
ciclos se asemejan a un vocablo de dos bytes modificado;
15 es decir, a una función de vocablo de control tipo dos.
Ahora bien, están ligeramente modificados para permitir
que un acceso adicional a la memoria se superponga a es-
tos dos ciclos.

20 Un primer ciclo de control se asemeja a una
función de modificar de dos bytes, en que un registro de
semivocablos de la zona 1 de la memoria local (la del ar-
chivo de disco) se incrementa en 1. Es éste el registro de
acceso utilizado para contener la dirección de acceso
a datos del área de la memoria principal 1 a la que se va
25 a tener acceso. En paralelo con esta modificación, la
dirección sin modificar se introduce en los registros 28
y 29 de MO-M1 a través de los ensambladores de datos 26
y 27 de MO-M1. Se da entonces una llamada de lectura a
la memoria principal 1, usando esta dirección de acceso.
30 El funcionamiento sucesivo depende de que la operación



5 sea de entrada o de salida, según lo determinen los circuitos de control del archivo de disco. Para operaciones de entrada se da paso a los datos del archivo de disco, por medio del ensamblador de datos 2 de la memoria principal, al registro 31 de datos de la memoria principal. Para las operaciones de salida, el byte seleccionado, es decir, aquel a quien se está teniendo acceso desde la memoria principal, recibe paso a través de la llegada de barra de datos de la memoria local (LSDBI) hasta la salida de barra exterior, y se introduce por muestreo en un registro de datos del archivo de disco.

10 Durante el segundo ciclo de compartir, el registro de control 6a se fuerza a un diseño de bitios que reduce el registro en la zona 1 de la memoria local que contiene el campo de cómputo del CCW. El campo de cómputo se traslada por lectura a los registros 35 y 36 (A y B), se reduce (por decremento) en 1 y se vuelve a guardar en la memoria local 7. El sincronismo de este ciclo particular es idéntico al de la función de modificar de dos bytes, del vocablo de tipo dos. Durante la operación de escamoteo de ciclo de archivo, los registros 24 y 25 (W0 y W1) que normalmente se actualizan de manera cíclica, se ven impedidos de llegar a actualizarse por la señal del cerrojo 176 de petición de archivo, que es la entrada de señal de inhibir inscripción y actualizar a cero que va al modificador 23 de acceso a la memoria, de manera que siempre contienen la dirección de acceso de la primera instrucción a ejecutar después de completada la operación de compartir archivo.

30 En el instante T4 del segundo ciclo de compar-



tir, el valor contenido en los registros 24 y 25 de WO-
W1 se hace pasar a través del ensamblador 26 y 27 de
MO-M1 a los registros 28 y 29 (MO, M1), y continúa el
microprograma interrumpido. Durante el segundo ciclo
5 de compartir se efectúa una función especial de detectar
O, con los datos de doble byte que se utilizan como cam-
po de cómputo. Se trata de un ensayo o prueba de cero u-
tilizado para indicar cuándo a ido a cero el cómputo de
datos, acusando la terminación de la transferencia de da-
10 tos. Los controles de escamoteo de ciclo de archivo de
la figura 11 desactivan o separan el camino que va al
registro de control 6a respecto de la salida de barra
de datos de memoria y de los circuitos de barrera que fuer-
zan los diferentes diseños de bitios para los dos ciclos
15 usados en las operaciones de entrada y salida. Las opera-
ciones de escamoteo de ciclos de archivo, además de in-
hibirse durante el primer ciclo de un vocablo de almace-
naje de tipo dos, se inhibe también durante el primer
ciclo de una rutina de supresión. Para poner en sustitu-
20 ción un diseño de bitio forzado en el registro de control
6a es necesario primero separar la fuente normal de dichos
datos. Esto se logra por medio del cerrojo 170 de ciclos
de control. Este cerrojo está normalmente en la condi-
ción de activado, pero es repuesto por la señal temprana
25 de compartir archivo, que hace que caiga o se desac-
tive la línea de salida del cerrojo 170. Esto corta el
camino normal de datos al registro de control 6a, por
desactivación de la barrera de coincidencia 171. A
falta de señal AB de ciclo de control, se separa el re-
30 gistro de control 6a de la SDBO. Como el registro de con-



trol 6a se repone automáticamente al comienzo de todos y cada uno de los ciclos, la información del registro de control 6a puede venir ahora suministrada por otra fuente.

5 En el caso de una operación de leer, es necesario hacer pasar un 1 a las posiciones de bitio 1, 2, 3, 7, 8, 10, 11 y 12, en el instante T_0 . Este diseño es el ilustrado en la figura 10. El diseño de bitios es forzado por las barreras de coincidencia 172, que activa
10 los bitios 1, 3, 7, 8 y 12, en unión del condicionamiento de la barrera de coincidencia 173 por el impulso de tiempos T_0 , por la entrada de la señal de archivo y por la salida del cerrojo 176 de petición de archivo, para poner un 1 en la posición de bitio 2. Los bitios 10 y 11
15 son activados por la salida de la barrera de coincidencia 174, condicionada por el impulso T_0 , y por la salida del cerrojo de petición de archivo 176. La señal de petición de archivo aplicada a las barreras de coincidencia 173 y 174 activa los bitios para un primer ciclo de com-
20 partir solamente, en tanto que la señal temprana de compartir archivo aplicada a la barrera de coincidencia 172 pone en acción los bitios para ambos ciclos.

 El segundo ciclo de lectura exige un diseño de bitios ligeramente distinto, que implica la desactivación de los bitios en las posiciones activadas por las
25 barreras de coincidencia 173 y 174, y la activación de un bitio en la posición de bitio 14. La posición de bitio 14 se activa a 1 por medio de la barrera de coincidencia 175, condicionada por un impulso T_0 al principio de un
30 segundo ciclo, en unión de la señal de segundo ciclo de



compartir.

5 La diferencia entre una operación de leer y de inscribir viene determinada por la barrera de coincidencia 173, que tiene como una de sus entradas la que viene de la señal de archivo. En ausencia de esta señal no se activa el bitio 2. Por consiguiente, una operación de inscribir se distingue de una operación de leer tan sólo en la ausencia de bitio 2 en el registro de control 6a.

10 Como puede verse, las señales importantes para la activación de este diseño de bitios son la primera y segunda de compartir archivo. Estas señales vienen desarrolladas por las entradas al cerrojo 176 de petición de archivo, al primer cerrojo de compartir 177 y al segundo cerrojo de compartir 178. El cerrojo de petición de archivo 176 es activado por una señal de petición de compartir y por la ausencia de señal de ciclo de compartir en el instante T6. La salida del cerrojo 176 de petición de archivo pone en la línea 180 una señal condicio-

15

20 nante que permite activar en el instante T0 el cerrojo 177 de primer ciclo de compartir. La salida del cerrojo 176 de petición de archivo se aplica también como entrada a las barreras de coincidencia 174 y 173. Esto en combinación con la señal temprana de ciclo de compartir archivo, aplicada a la barrera de coincidencia 172, funciona activando el diseño de bitios en el registro de control 6a al comienzo de un ciclo de compartir archivo.

25

30 El cerrojo 176 de petición de archivo se repone en el instante T4 del primer ciclo de compartir. Esto se consigue en una barrera de coincidencia 181. Ello

30



permite activar el cerrojo 178 de segundo ciclo de compartir, en el instante T0 del segundo ciclo de compartir, por medio de una combinación de las salidas del cerrojo 177 de primer ciclo de compartir en la línea 182, el lado pasivo (de "off") del cerrojo 176 de petición de archivo en la línea 183, y un impulso de T0. Esto tiene por efecto activar en la línea 184 una señal de salida que indica el segundo ciclo de compartir. Esta señal se aplica como entrada a la barrera de coincidencia 175, para modificar el bitio 14 y hacer la distinción entre los ciclos de compartir primero y segundo.

Se utilizan unos circuitos disyuntivos 185, 186 y un inversor 187 para desarrollar diversas señales de tiempos o de sincronismo empleadas en el acceso a la memoria local 7. Por estar activada la combinación de los cerrojos de compartir 177 y 178, en unión de la descodificación de fuente B, dicha combinación funciona seleccionando un registro B y un registro T en la memoria local. El campo de fuente A se usa para indicar el modo de bytes en llegada y salida de memoria.

Transferencia de datos con vigilancia de formato

El objeto del sistema lógico ilustrado en la figura 12 es el de permitir el traslado o transferencia de datos desde un dispositivo de I/O, tal como un archivo, a la memoria de núcleos contenida en la CPU, conservando al propio tiempo la división arbitraria de los núcleos por medio de marcas de vocablo y marcas de vo-



cable de marca de grupo, o cualquier otro juego arbitrario de caracteres que pueda seleccionarse.

5 Un bucle de dos instrucciones contenido en la memoria de control hace que la CPU vaya a buscar un carácter al lugar de acceso señalado en la memoria principal. Este carácter se investiga entonces para determinar si es o no una marca de vocablo de marca de grupo, o simplemente una marca de vocablo. Estos caracteres especiales se regeneran, o bien se separan, de acuerdo con el modo de funcionamiento. En el modo de mudanza, por ejemplo, no se modifican las marcas de vocablo. La función de la marca de vocablo es la de separar las instrucciones y los campos de datos.

10

15 Los datos tomados por lectura del núcleo en el lugar de acceso se investigan, para obtener una señal de salida si el carácter es una marca de vocablo de marca de grupo. El carácter procedente del dispositivo de I/O se aplica a los circuitos de regulador-separador. En el caso de que se quiera retener en el núcleo el carácter especial, los datos tomados del archivo se modifican apropiadamente en el regulador-separador antes de ponerlos en el núcleo. La búsqueda previa de los datos en el núcleo permite modificar el carácter sin sacrificar tiempo, ya que sólo intervienen los retardos del sistema lógico.

20

25 La primera instrucción del bucle de microinstrucción de los vocablos incrementa normalmente la dirección de acceso de datos en la memoria principal. La parte que incrementa esta primera instrucción se inhibe hasta producirse el desarrollo de una señal de ciclo de compartir archivo. Esto significa que el carácter ha si-

30



do tomado del archivo por lectura, comparado con el contenido de la dirección de acceso en la memoria principal, y regenerado. En este momento resulta apropiado para incrementar la dirección de acceso en la memoria, e ir a buscar el siguiente carácter con el propósito de examinarlo y determinar si incluye o no una marca de vocablo, o si es de hecho una marca de vocablo de marca de grupo. El bucle de microinstrucción de dos vocablos se repite hasta detectarse una marca de vocablo de marca de grupo, lo que da lugar a una ocasión de salida del bucle de dos vocablos, por terminación de la operación de archivo. Esto se efectúa mediante una salida de señal positiva en la línea de petición de compartir bloque.

El registro T está situado físicamente en la memoria local 7. Los datos contenidos en el registro T consisten en la dirección de acceso al lugar señalado de la memoria principal. Los caracteres se toman del archivo a intervalos de 6 microsegundos. Este enfoque del problema permite combinar las mejores características de las microinstrucciones y del equipo físico. Si se quiere resolver a base de equipo físico por completo, ello implicaría una cantidad indebida de éste, en tanto que el enfoque totalmente a base de microinstrucciones consumiría un tiempo excesivo. Con la solución apuntada, una pequeña cantidad de equipo físico es capaz de efectuar la tarea en un tiempo mínimo.

Ciclo de compartir archivo

La barrera de coincidencia 190 conectada a



5 salida de barra de los datos de memoria está condicionada
por el diseño de bitios ilustrado a la entrada. Este di-
seño de bitios corresponde a una marca de vocablo de mar-
ca de grupo, uno de los caracteres especiales usados para
separar la memoria principal y para activar la señal de
salida del cerrojo de marca de vocablo. La salida de la
barrera de coincidencia 190, condicionada por el carác-
ter de marca de vocablo de marca de grupo, activa el
cerrojo 191 dando una señal de salida positiva, de mar-
ca de vocablo de marca de grupo. El cerrojo 191 es re-
puesto por la señal de reposición general y de final de
cadena. La señal de marca de vocablo de marca de grupo
se lleva al inversor 192, para obtener una señal que tiene
por función la de bloquear otras peticiones de ciclo de
compartir archivo.

15 Durante una operación de inscribir en el
modo de mudanza, se desea separar o quitar marcas de voca-
blo de los datos que se están suministrando al archivo
de disco. La barrera de coincidencia 195 tiene por función
la de lograr este fin. Se condiciona por medio de señales
que representan el modo de mudanza, una operación de ins-
cribir, una señal de zona 2 que la identifica como campo
de datos, una señal de campo de datos que establece la
distinción respecto a un campo de zona 2, y una señal de
anillo de bitio 1, indicativa de que el tiempo de bitio 1
está presente en los circuitos de inscribir en archivo.
La señal de forzar bitio 1=1 entra entonces en funciones,
forzando un 1 en la posición de bitio 1 del regulador-
separador de leer. Cuando por medio de microprogramas se
derivan las señales de mudar y modo de cargar, las entra-



das a la barrera de coincidencia 196 son vocablos de control de tipo cero, y una línea condicionada por un diseño de bitios particular existente en el registro de control 6a. Las salidas del circuito disyuntivo 197 y de la barrera de coincidencia 199 cooperan con la barrera de coincidencia 198 dando una operación de cerrojo (activar y retener), e impedir que aparezca señal de salida en la línea 200. Esta señal se combina en una barrera de coincidencia 201 con la señal de modo que viene de la CPU. La señal de modo se deriva de un bitio presente en el registro de modos, que indica que el sistema está funcionando en un determinado modo particular. La salida de la barrera de coincidencia 201 es una señal negativa de modo de mudar, que indica que la operación es del tipo de modo de mudanza. El inversor 202 funciona dando la señal invertida e indicando también que el sistema está trabajando en el modo de mudar. La barrera de coincidencia 203 y el inversor 204 funciona generando una señal indicativa de que el sistema está trabajando en el modo de cargar, que es el inverso del modo de mudar. En otros términos, cuando el cerrojo compuesto de la barrera de coincidencia 198 y del circuito disyuntivo 197 no esté activado, la señal en la línea 205 estará a nivel bajo, y se desarrollará la señal de modo de cargar en la barrera de coincidencia 203, mediante la presencia de un particular bitio de modo en el registro de modos.

El cerrojo que incluye la barrera de coincidencia 198 y el circuito disyuntivo 197 puede reponerse por medio de una señal de reposición de vocablo de control de tipo cero. Como antes se ha dicho en el análisis

9.1.1969



relativo al bucle de archivo de disco, de dos instruccio-
nes, no se desea incrementar la dirección de acceso a me-
nos que se efectúe realmente la transferencia de datos
entre el archivo y la CPU. El circuito capaz de funcio-
5 nar impidiendo la actualización durante el escamoteo
de ciclo es el de inhibir la inscripción de 0 de actua-
lización, que se suministra al modificador de acceso a
la memoria durante una regeneración de la dirección de
acceso, impidiendo una operación de incrementar. En ctros
10 términos, la dirección de acceso se restablece tal como
se ha tomado o leído. Esta señal se deriva por medio de
una barrera de coincidencia 210 en la que se combinan
la señal de modo de disco, el bitio 0 del registro de modos
que indica un particular modo de funcionamiento, una señal
15 de bitio 3 de descodificación de campo de fuente A que
indica estar en activo la tercera barra exterior, una
señal de mudanza de vocablo de programa de memoria al ex-
terior, que indica que un vocablo contenido en la memoria
principal, que no reside en el área de control, ha de mu-
20 darse a un dispositivo exterior, y una señal indicativa
de no estar produciéndose un ciclo de compartir disco. La
salida de la barrera 210 es la señal negativa de inhibir
inscripción de cero de actualización. Esta señal de aplica
al inversor 211, dando una señal positiva de inhibición
25 de compartir.

La señal positiva de bitio 1 de regulador-
separador de leer se aplica a la memoria principal por la
línea 57 (figura 3a). Este bitio se aplicaría de tener la
memoria una marca de vocablo en esta posición, porque se
30 desea mantener la marca de vocablo en esta posición. Es



necesario sintetizar este bitio, porque en el modo de mudar no habría bitio alguno en esta posición al llegar los datos del archivo. Por lo tanto, es necesario combinar la señal procedente de este bitio en los datos, al llegar éstos del núcleo, con una señal que indique que la operación está en el modo de mudar. Esto se hace en la barrera de coincidencia 215 que alimenta al circuito disyuntivo 216, dando una señal positiva de bitio 1 de regulador-separador de leer. El circuito de retención de polaridad 220 está condicionado por la entrada que viene de la posición de bitio 1 de la SDBO. El primer vocablo de control del bucle de microprograma da la señal positiva de 3 de descodificación AE exterior, y la señal de código positiva de pasar CPU a exterior. Estas se combinan con la señal de modo de disco en la barrera de coincidencia 221, activando el circuito 220 de retención de polaridad y poniendo el valor que hay en SDBO en el registro exterior 3.

Al activarse el circuito 220 de retención de polaridad, se combina con la señal de modo de mudar fase en la barrera de coincidencia 222, que desarrolla entonces un bitio 1 positivo de regulador-separador de leer, a través del circuito disyuntivo 216. El cerrojo 220 de retención de polaridad se repone entre bitios, por consiguiente, de contener la memoria una marca de vocablo, estar el bitio 1 de barra al nivel inferior, y no estar repuesto el cerrojo 220.

Si bien la invención se ha ilustrado y descrito en particular con referencia a una forma preferida de ejecución de la misma, se sobrentiende para las per-



sonas versadas en la materia que pueden hacerse en ella diversos cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

5

Esta solicitud que corresponde a la presentada en Estados Unidos de América, el día 2 de Enero de 1968, bajo el número 695.081, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

10

- REIVINDICACIONES -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por veinte años son los siguientes:

15

1.- En una unidad de tratamiento de datos microprogramada que tiene una unidad de tratamiento central, una unidad de almacenaje o memoria y por lo menos un dispositivo de entrada/salida, unos medios de ejecutar una operación de transferencia de datos de entrada/salida, medios que comprenden: un bucle de microinstrucciones que comprende unas microinstrucciones primera y segunda; medios capaces de responder a dicha primera microinstrucción ejecutando una pluralidad de operaciones entre las que están (a) leer el carácter en una di-

20



rección de acceso prefijada en dicha unidad de memoria
(b) comparar dicho carácter con un juego de caracteres
prefijado; (c) desarrollar una señal de salida represen-
tativa de la correspondiente entre el carácter de la
5 dirección de acceso prefijada, y (d) incrementar la di-
rección de acceso prefijada para derivar el lugar del si-
guiente carácter al que se vaya a tener acceso; y medios
capaces de responder a dicha segunda microinstrucción
retornando por ramificación a dicha primera microins-
10 trucción.

2.- La unidad de la reivindicación 1, que
incluye además unos medios de control para inhibir el
funcionamiento de la parte incrementadora de acceso de
dicha primera microinstrucción en ausencia de una señal
15 que indique que se han transferido datos entre dicho dis-
positivo de entrada/salida y dicha unidad central de tra-
tamiento.

3.- La unidad de la reivindicación 1, que
incluye además unos medios capaces de responder a dicha
20 señal de salida para modificar los datos a transferir.

4.- La unidad de la reivindicación 1, que
incluye además unos medios capaces de responder a dicha
señal de salida para dar fin a dicha operación de trans-
ferencia de datos.

5.- La unidad de la reivindicación 1, que
posee una configuración lógica determinada en gran par-
te por el vocablo de control contenido en un registro de
control, y tiene además: medios de memoria principal
que contienen una pluralidad de vocablos de control dis-
25 puestos en secuencia de acuerdo con las operaciones a
30



5 ejecutar; un registro de acceso a la memoria; medios mo-
dificadores conectados a dicho registro de acceso a la
memoria, para incrementar la dirección de acceso en dicho
registro; medios de desarrollar una señal de petición de
escamoteo de ciclo; y medios capaces de responder a di-
cha señal de petición de escamoteo de ciclo inhibiendo
el funcionamiento de dichos medios modificadores; estando
dichos medios últimamente citados conectados a dichos
medios de registro de control y siendo además capaces de
10 responder a dicha señal de petición forzando sucesiva-
mente la introducción de por lo menos dos vocablos de
control diferentes en dicho registro de control.

15 6.- La unidad de la reivindicación 5, que
incluye además unos medios de regulador-separador o "bu-
ffer" conectados a dicho modificador para guardar dicha
dirección de acceso modificada, y medios de transferir la
dirección de acceso modificada desde dicho regulador-se-
parador a dicho registro de acceso a la memoria.

20 7.- La unidad de la reivindicación 5, en la
que dichos medios de desarrollar una señal de petición
de escamoteo de ciclo van conectados a un dispositivo de
entrada/salida, para desarrollar dicha señal en respuesta
a una demanda de servicio.

25 8.- La unidad de la reivindicación 1, que
tiene: una unidad de memoria principal y un registro de
vocablos de control; una unidad de memoria local dotada
de una pluralidad de zonas accesibles, conteniendo cada
zona una pluralidad de vocablos accesibles; medios de
ensamblador de acceso a la memoria local, para generar
30 direcciones de acceso de vocablo y de zona para la memo-



ria local; un registro de modos conectado a dichos medios de ensamblador de acceso, para especificar la dirección de acceso de zona, conteniendo dicho registro de modos datos indicativos del tipo de funcionamiento de dicho sistema; y medios que conectan dicho registro de control a dicho ensamblador de acceso a la memoria local, para especificar la dirección de acceso de vocablo.

9.- La unidad de la reivindicación 8, en la que cada una de dichas zonas es seleccionada por unos medios de acceso de zona individuales, incluyendo además dicha memoria local una zona común a la que se tiene acceso por medio de una pluralidad de dichos medios de acceso de zona individuales.

10.- La unidad de la reivindicación 8, en la que cada zona de dicha unidad de memoria local contiene la dirección de acceso a la memoria principal de una instrucción, en una secuencia relacionada con las operaciones del sistema que utiliza la zona.

11.- La unidad de la reivindicación 8, que incluye además: un modificador de acceso para dicha unidad de memoria principal, funcionando dicho modificador para incrementar la dirección de acceso a la memoria principal y tener acceso al lugar inmediato sucesivo; medios detectores de ramificación capaces de responder a la salida de dichos medios de registro de control, para desarrollar una señal indicativa del comienzo o del final de una rutina de ramificación; medios conectados a dicho ensamblador de acceso a la memoria local y capaces de responder a dichos medios detectores de ramificación, para desarrollar una dirección de acceso de vocablo pre-



fijada en la memoria local; y medios capaces de responder a dichos medios de registro de control y a dicho ensamblador de acceso a la memoria local, para guardar dicha dirección incrementada de acceso a la memoria principal en dicha dirección de acceso de vocablo prefijada en dicha memoria local.

12.- La unidad de la reivindicación 11, en la que dicha dirección de acceso de vocablo prefijada en la memoria local es la misma para una pluralidad de zonas.

13.- La unidad de la reivindicación 8, que incluye además: un registro de MMSK para especificar el acceso de zona; medios capaces de responder a dicho registro de control para introducir datos en dicho registro de MMSK; y medios de control de supresión capaces de responder a dicho registro de MMSK separando o desactivando dicho registro de modos respecto de dicho ensamblador de acceso y poniendo en su lugar dicho registro de MMSK.

14.- La unidad de la reivindicación 13, en la que los datos introducidos en dicho registro de MMSK se van a buscar a dicha unidad de memoria principal.

15.- La unidad de la reivindicación 13, en la que dichos medios de introducir datos en dicho registro de MMSK comprenden: medios de vigilar peticiones de supresión; medios generadores de direcciones de acceso, capaces de responder a dichos medios de vigilar, para desarrollar una dirección de acceso a la memoria principal que represente una petición de interrupción activa; y medios de ir a buscar los datos a dicha memoria principal e introducir una parte de los mismos en dicho regis-



tro de MMOK.

5
10
16.- La unidad de la reivindicación 15, en la que dichos medios de generar direcciones de acceso funcionan generando direcciones de acceso a la memoria principal que conceden prioridad a la más significativa de las peticiones contendientes, generando la dirección de acceso de más alto valor en respuesta a la petición de mayor prioridad, de modo que la significación de las direcciones de acceso de menor valor y menor prioridad se elimina por exceso o superfluidad.

17.- Un aparato de tratamiento de datos.

Tal y como se ha descrito en la memoria que antecede, representado en el dibujo que se acompaña y para los fines que se han especificado.

15
La presente memoria consta de ochenta y cinco hojas escritas a máquina por una sola cara.

Madrid,

8 ENE. 1969

P.A.

Alberto de Elorza
F. de P. de P.

9.1.1969

SAP/

361451



361451

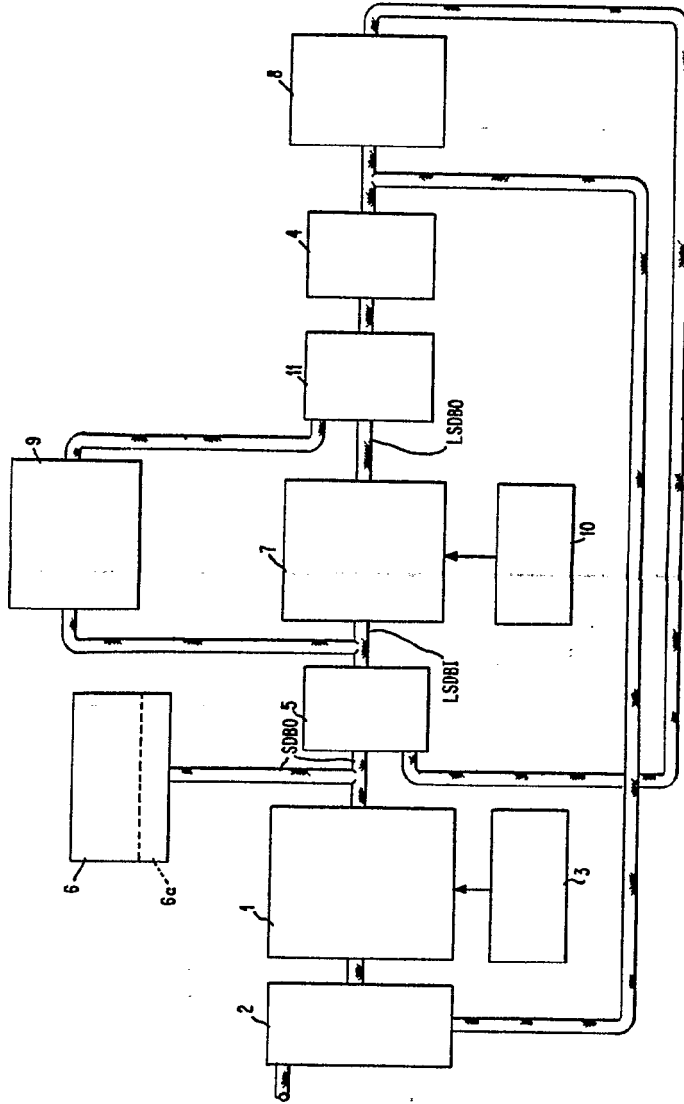


FIG. 1

Handwritten signature or initials in the bottom right corner.

3E1451

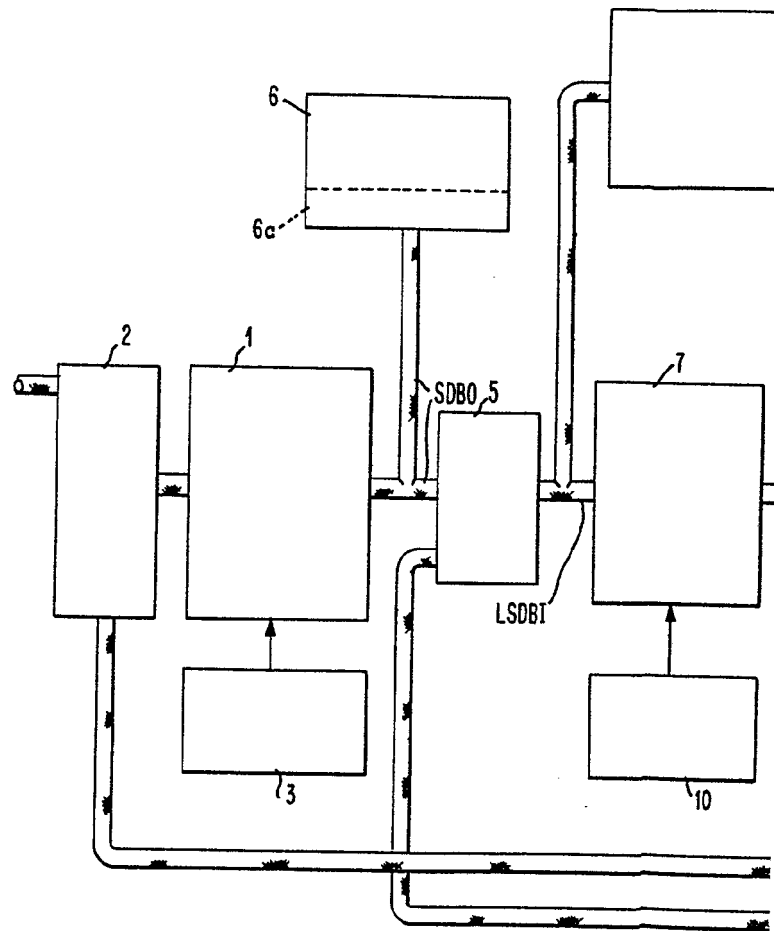
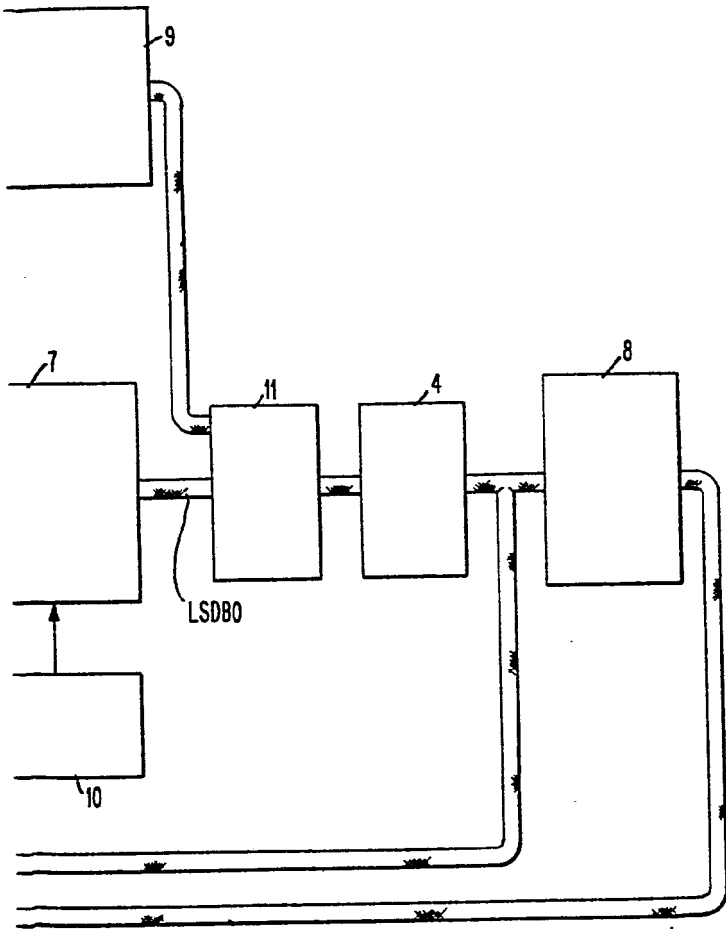


FIG. 1

361451



21. 11. 1944

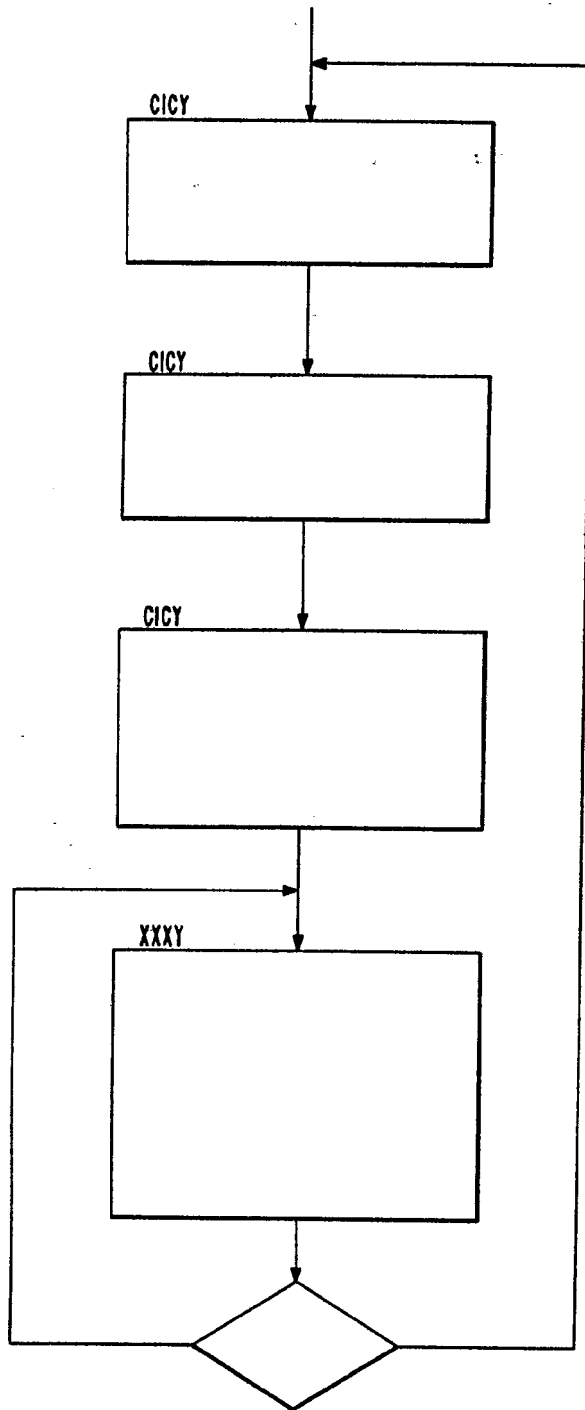


FIG. 2

aw



FIG. 3

FIG. 3a	FIG. 3b	FIG. 3c
FIG. 3d	FIG. 3e	FIG. 3f

FIG. 3a

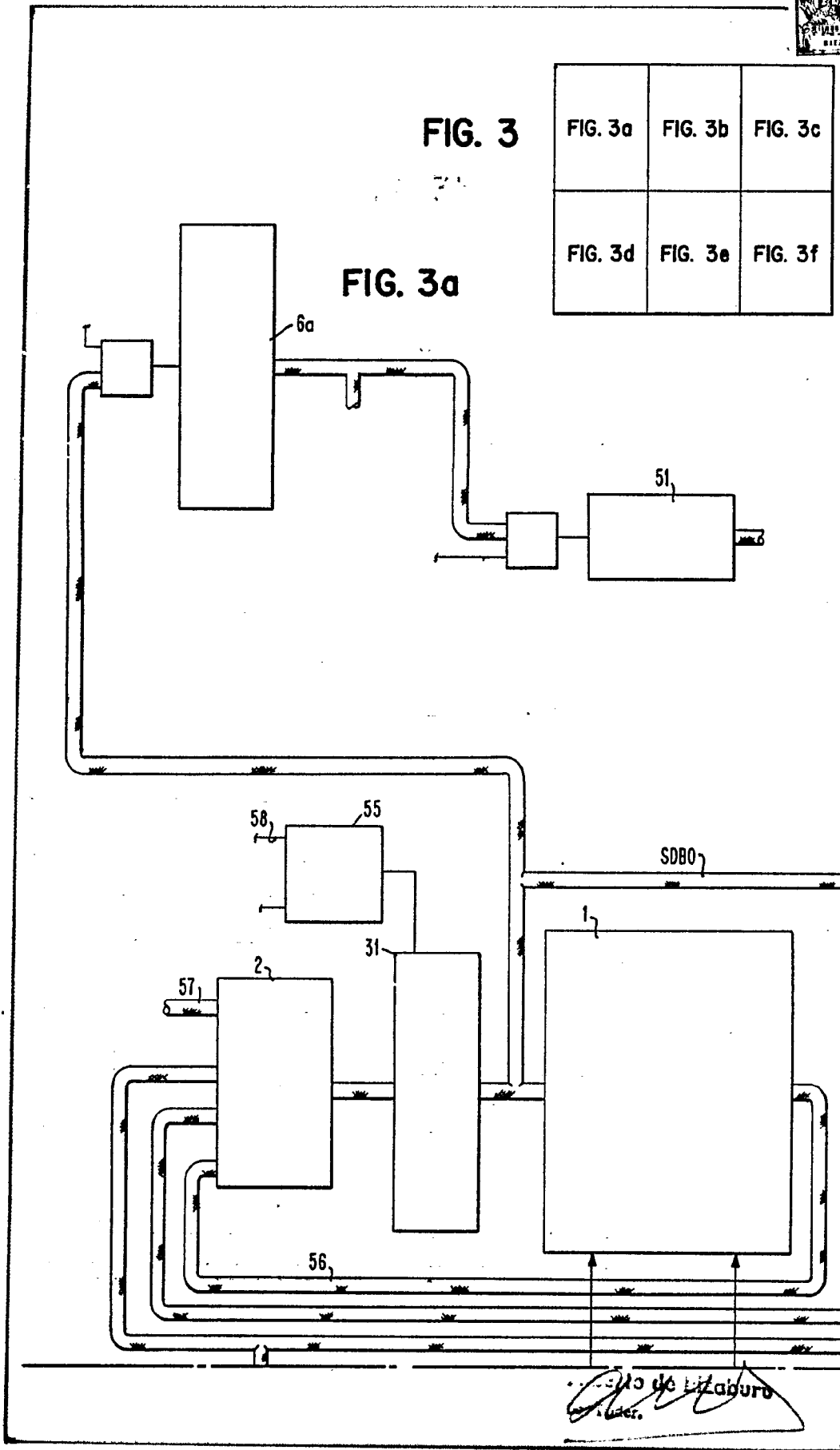




FIG. 3b

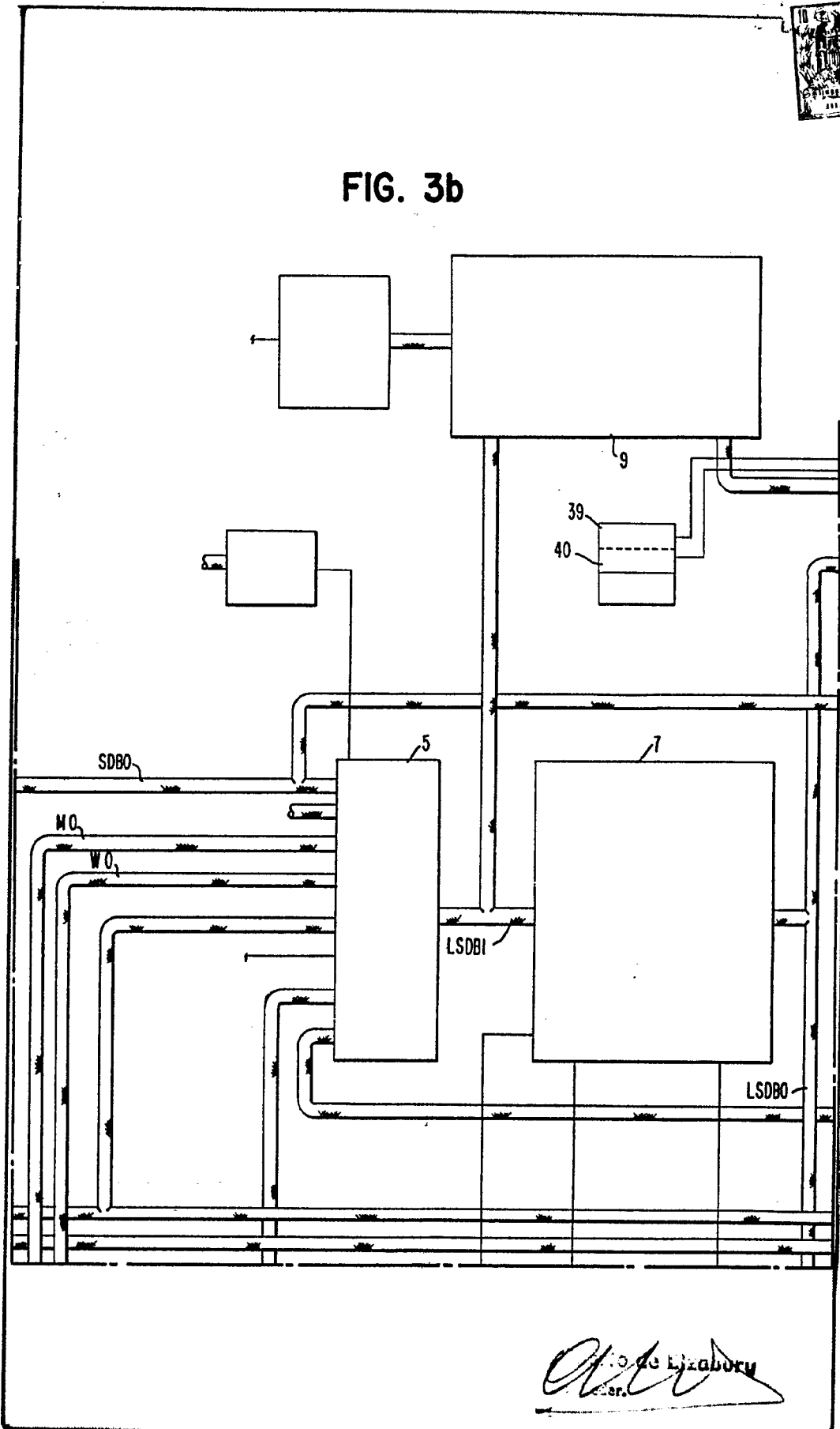
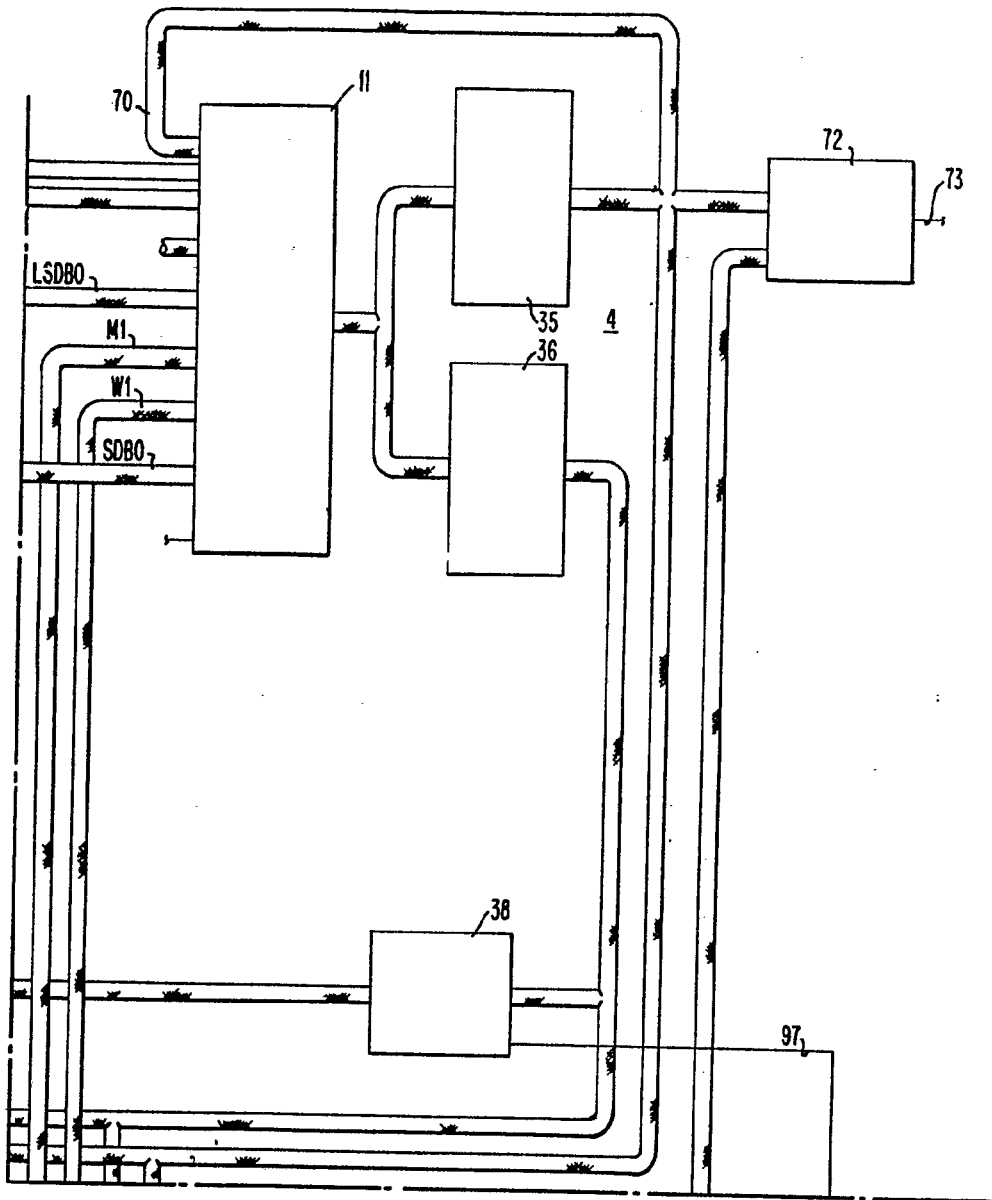




FIG. 3c



W. S. LIZURU
[Signature]

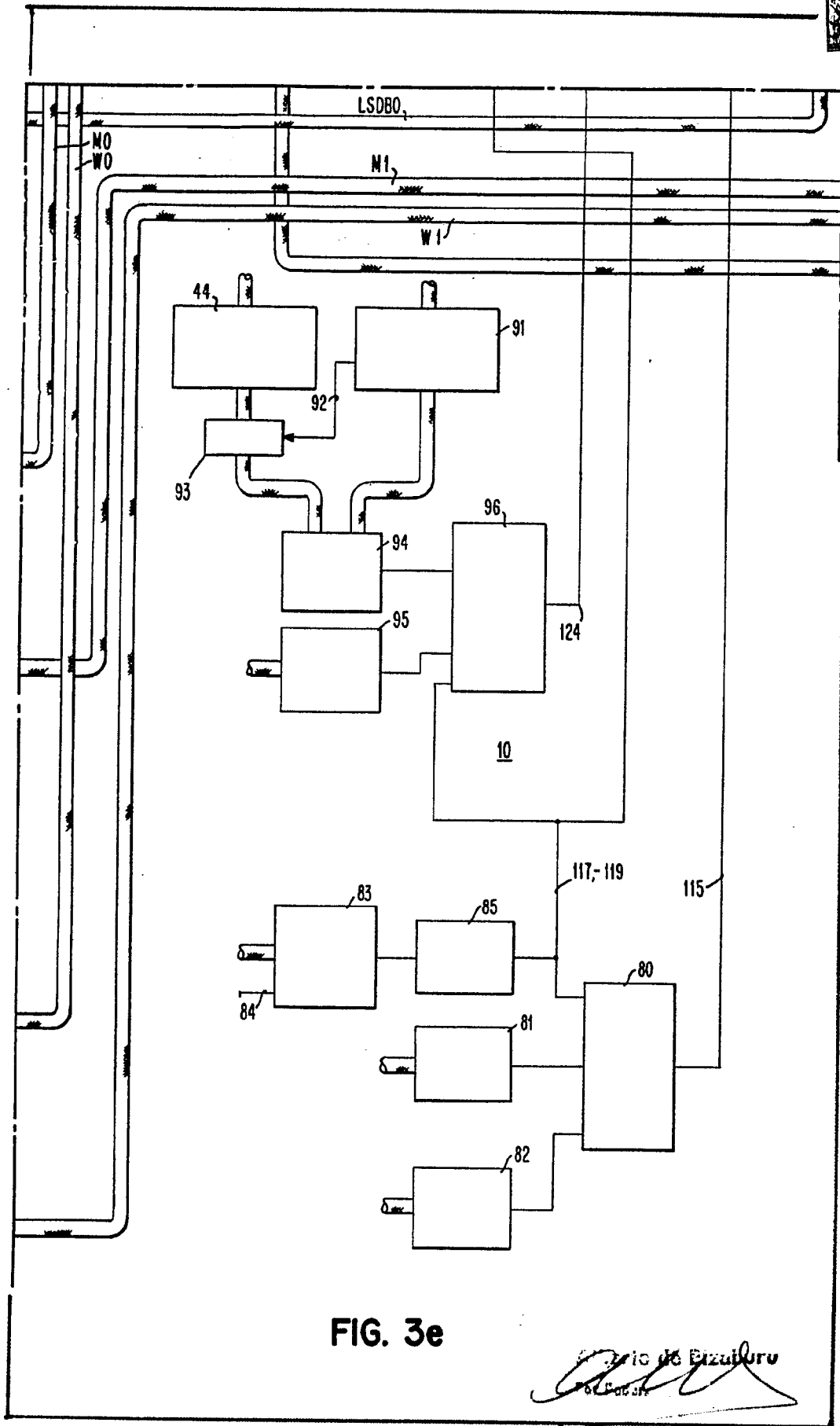


FIG. 3e

Eric de Eizulu
66-100-377

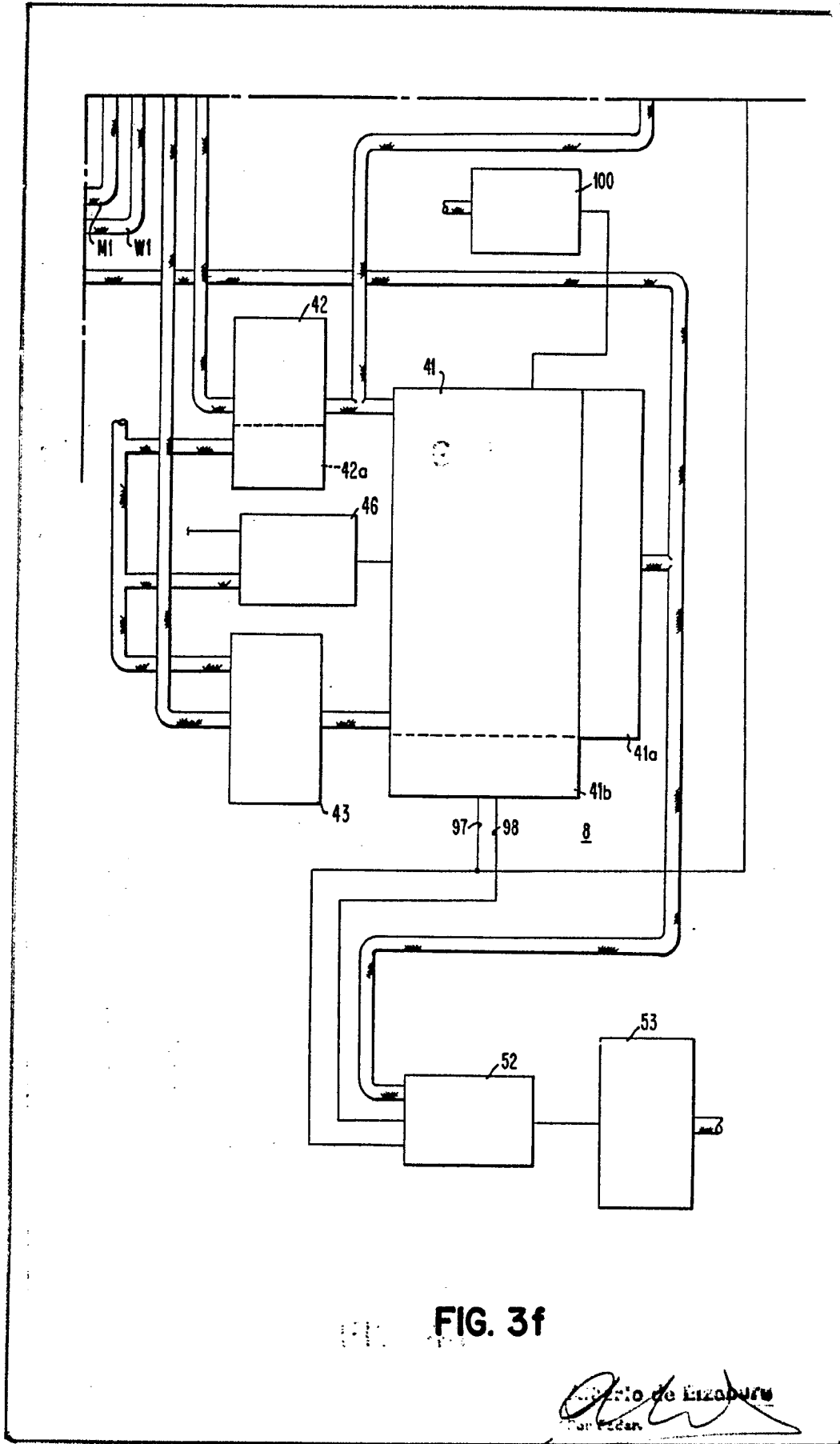


FIG. 3f

Antonio de Lizaburu
Pat. Edcar.

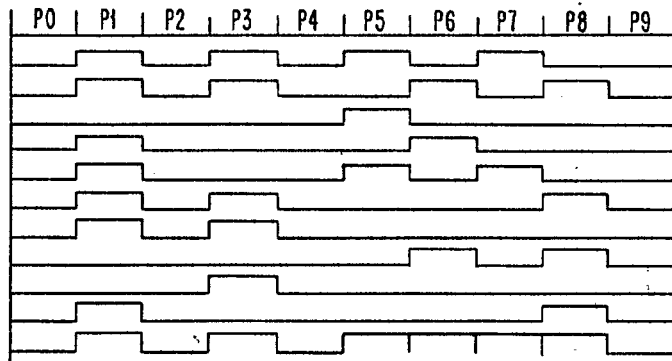


FIG. 5

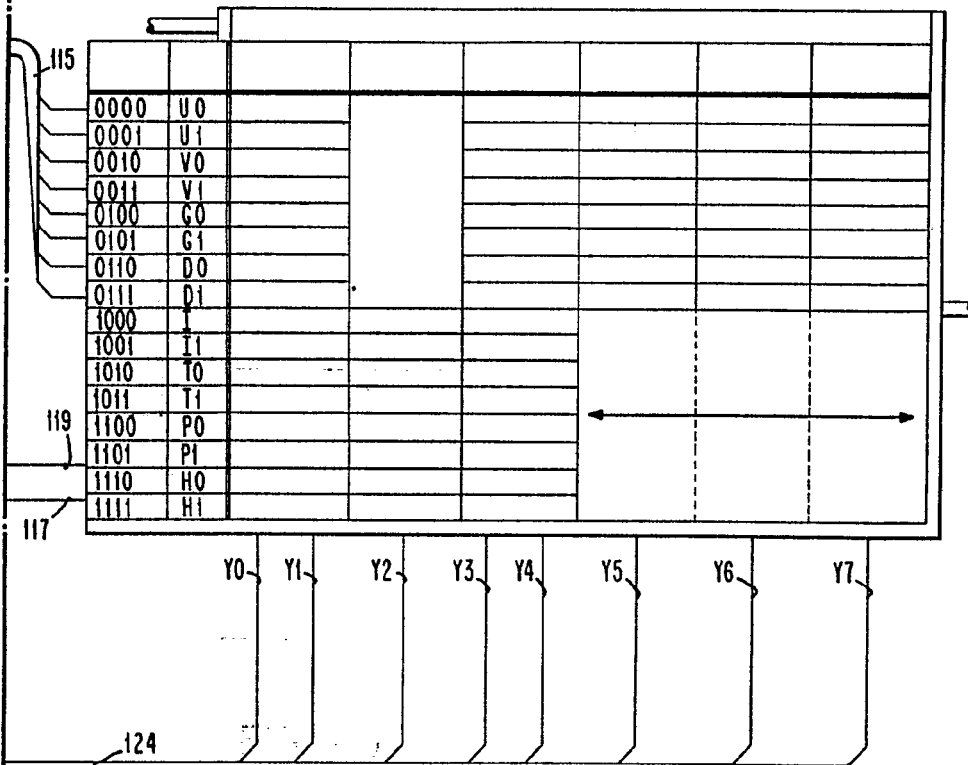


FIG. 4a

Handwritten signature

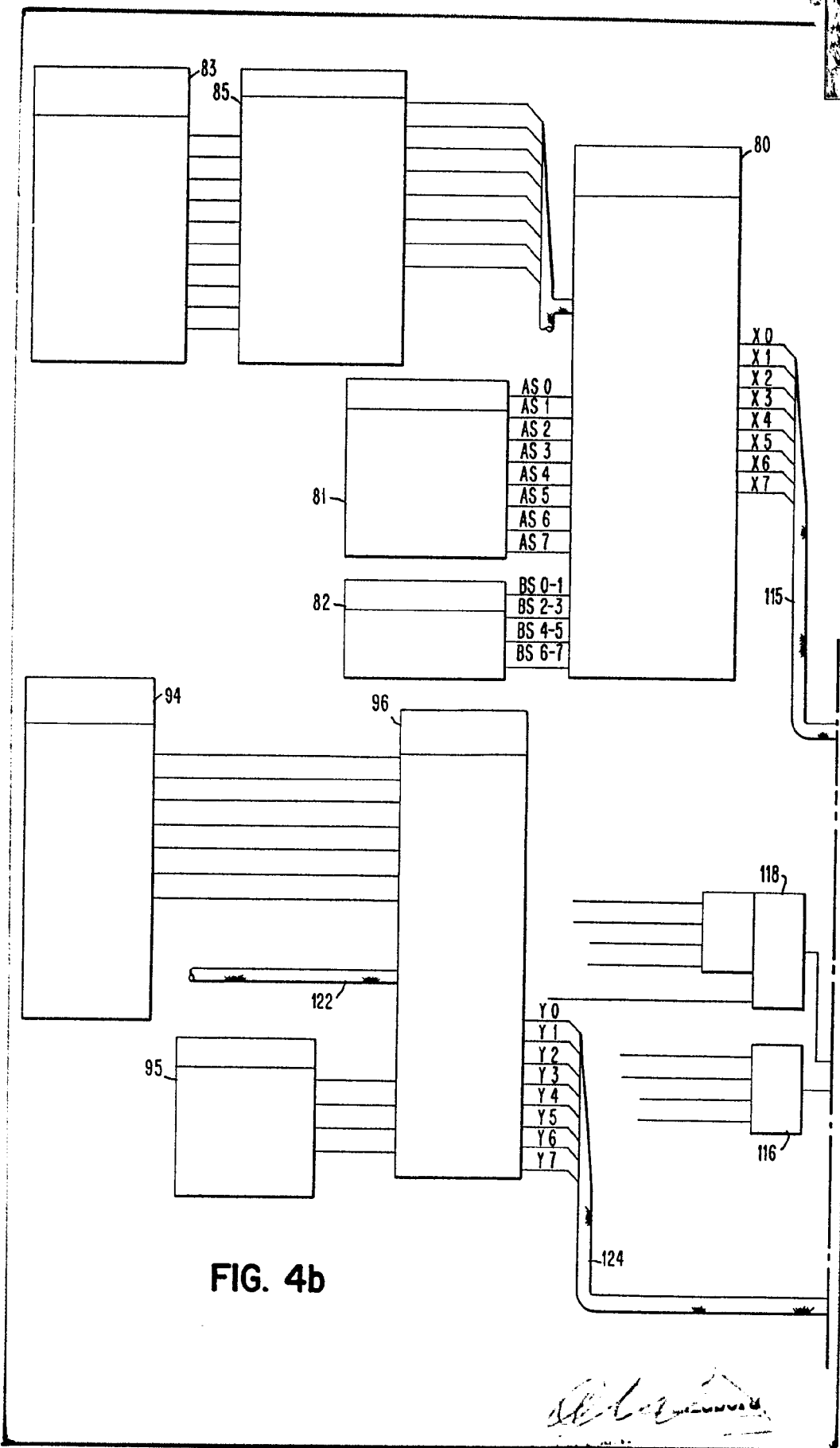


FIG. 4b

Handwritten signature

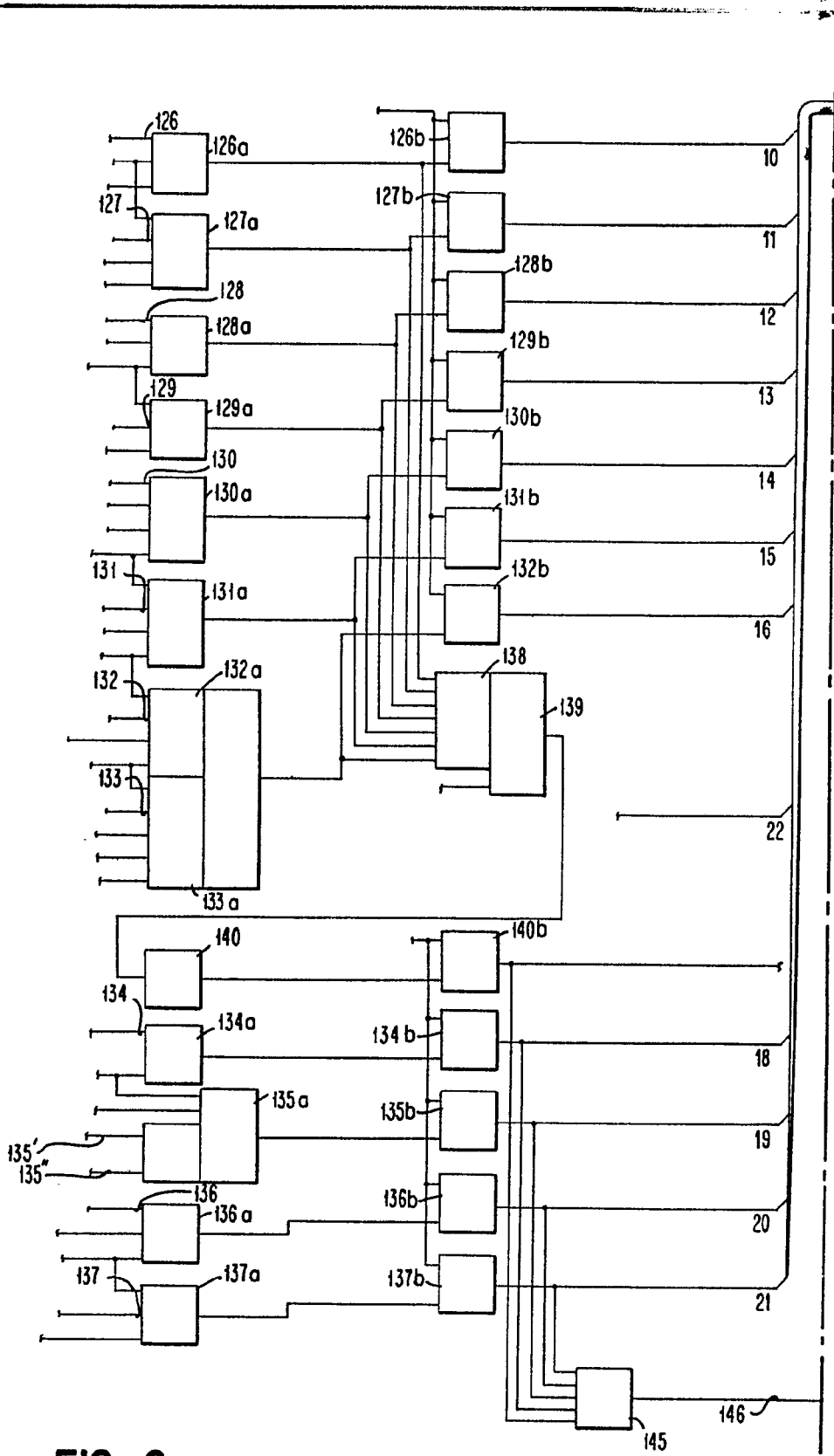


FIG. 6a

Handwritten signature or mark at the bottom right of the diagram area.

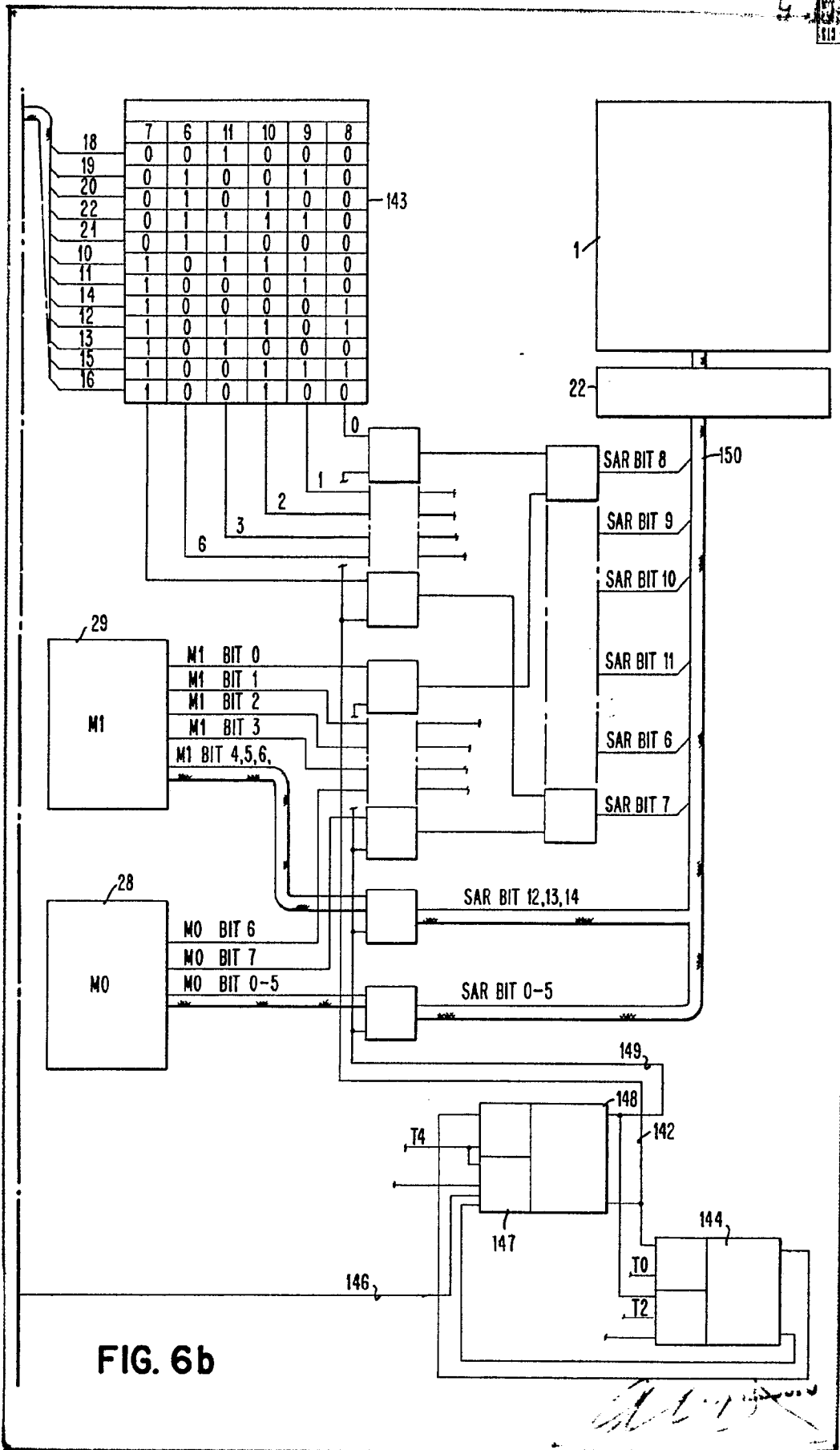
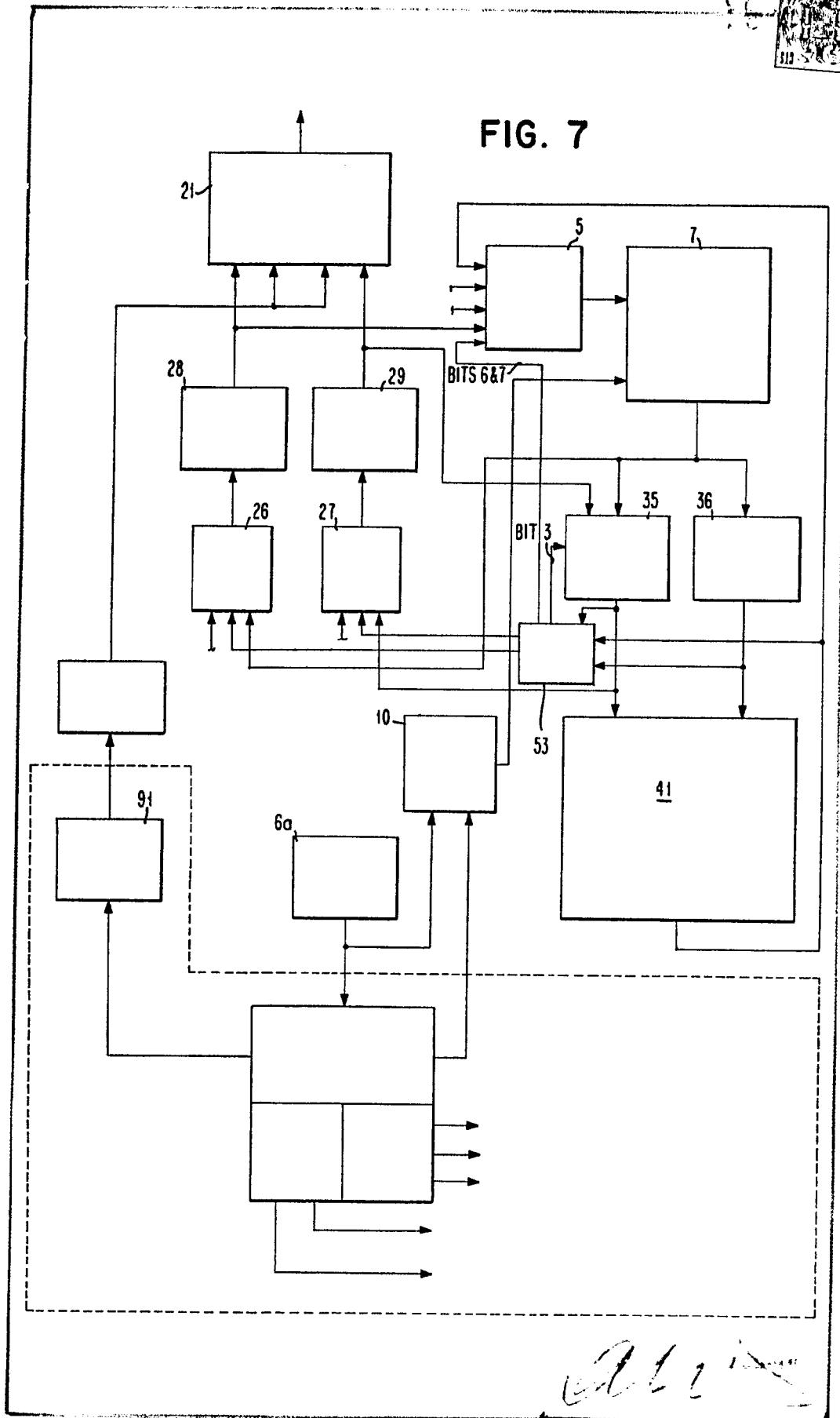


FIG. 6b



FIG. 7



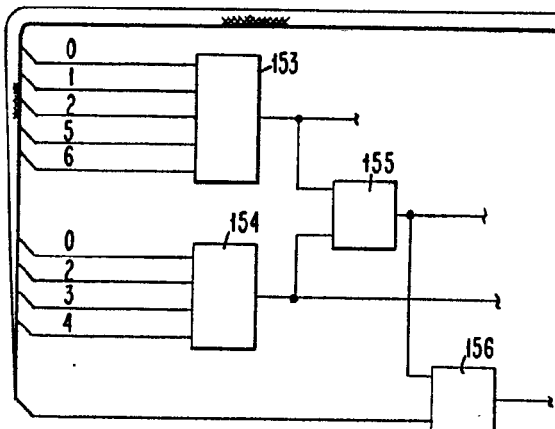
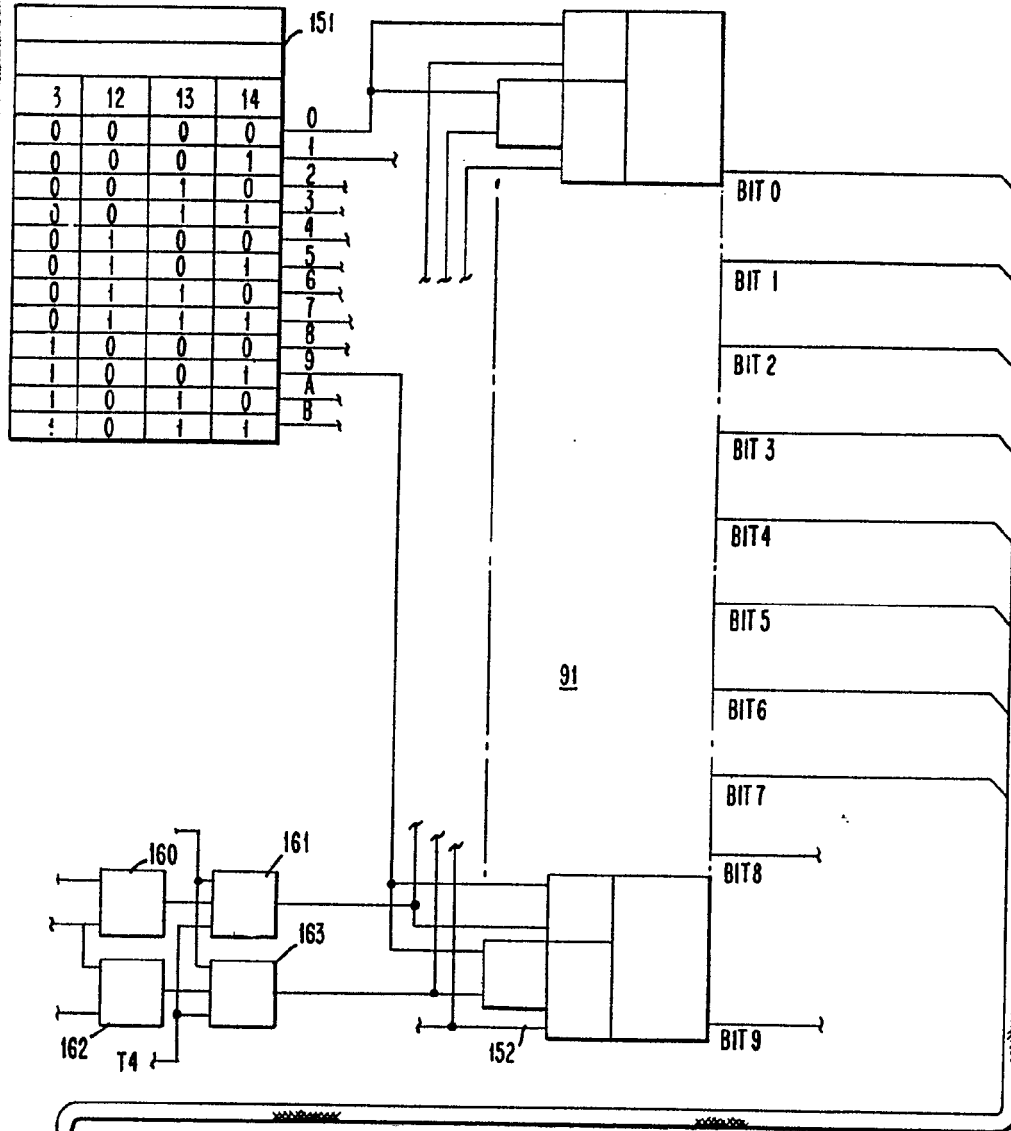
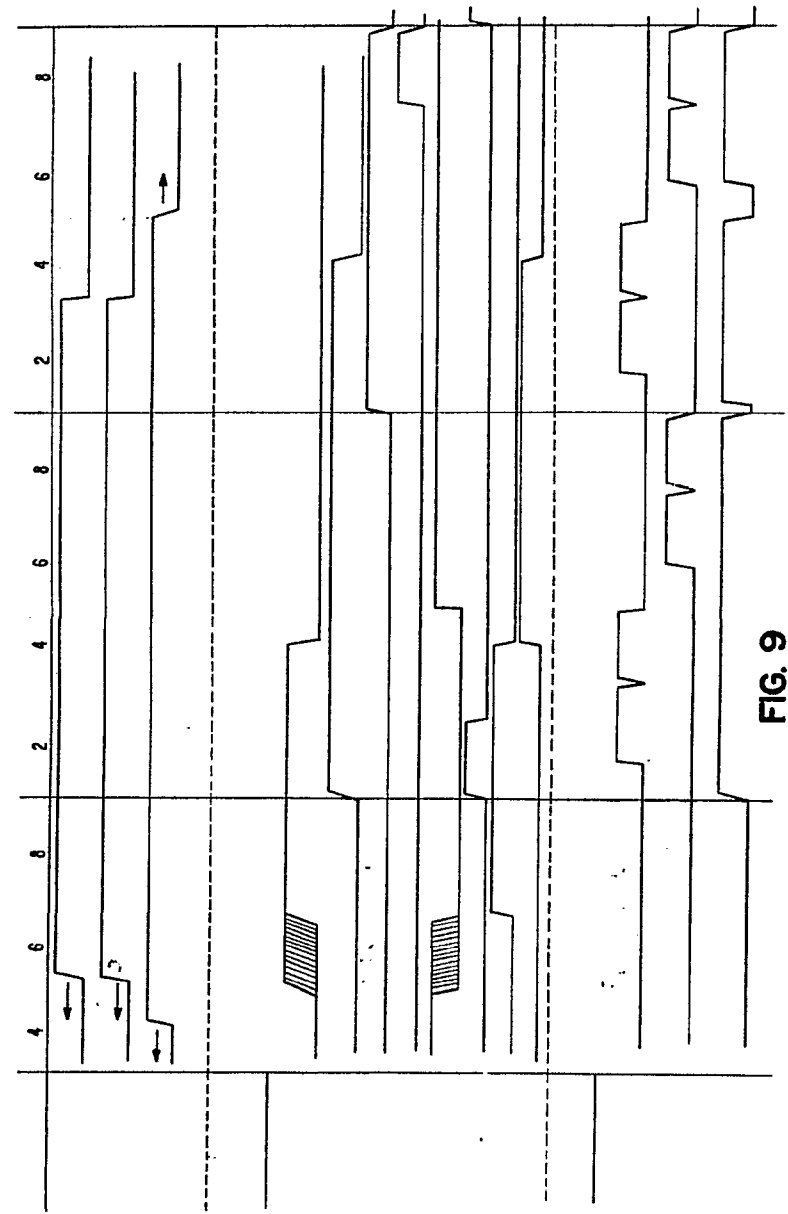
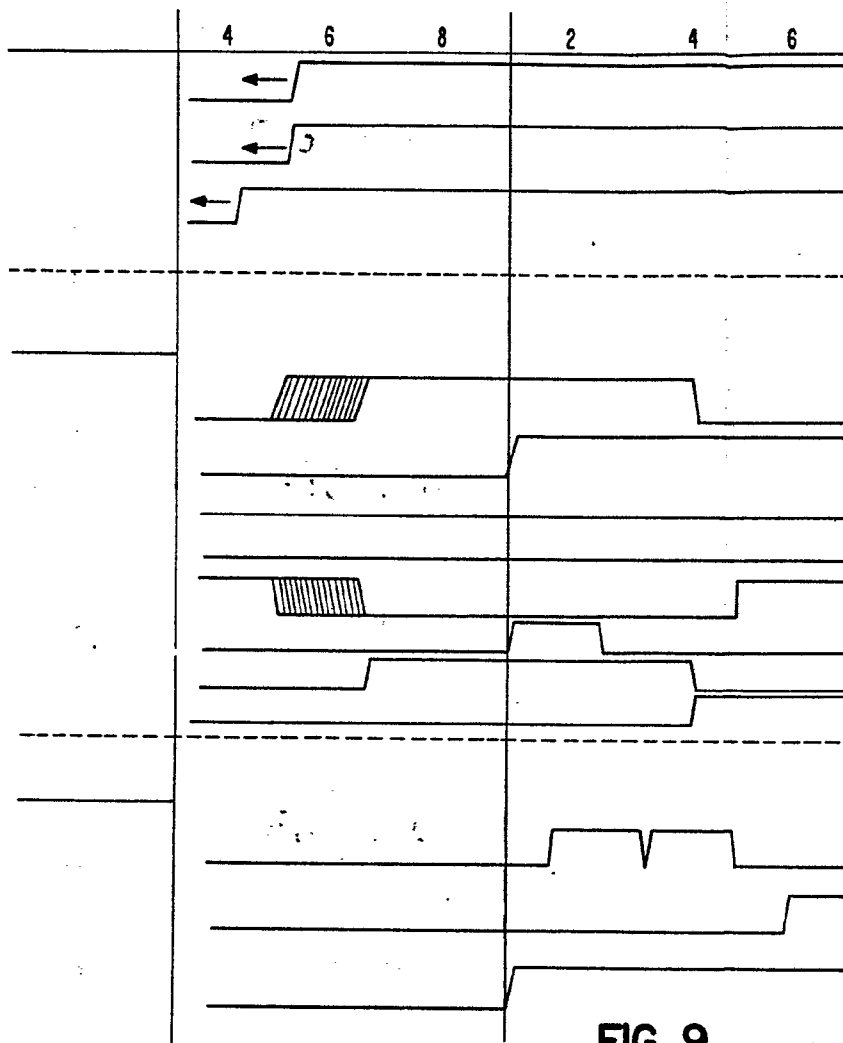


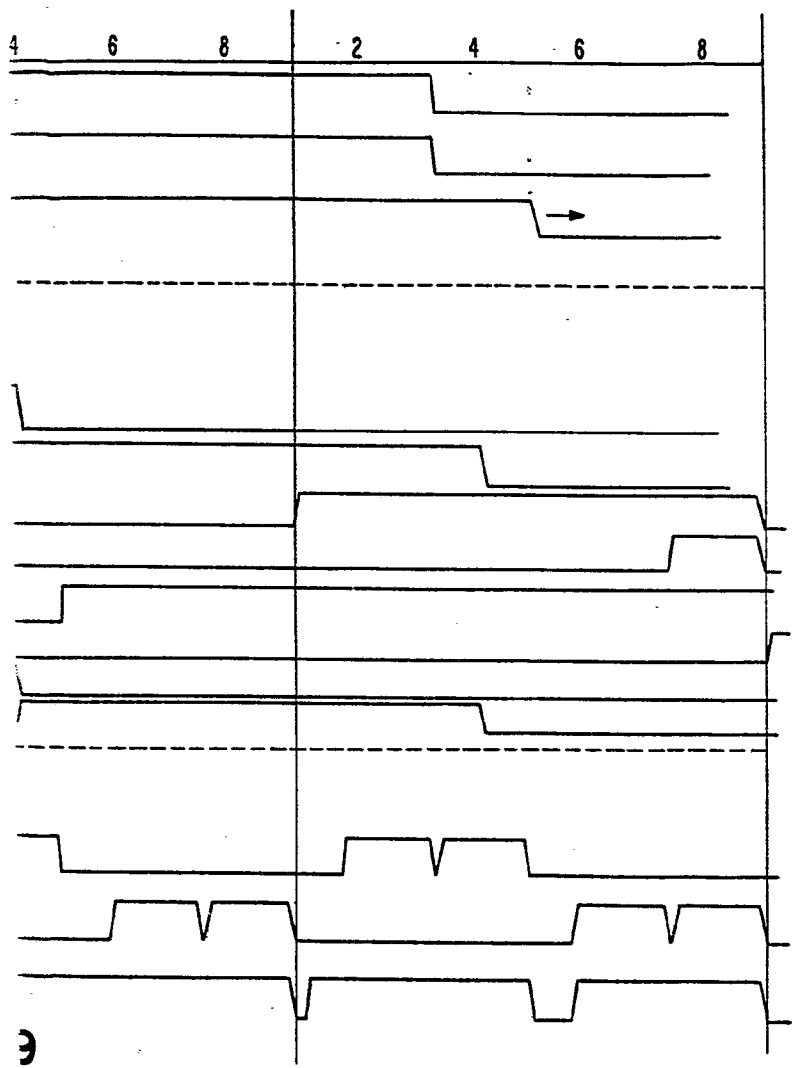
FIG. 8

[Handwritten signature]



Handwritten signature or initials in the top right corner of the page.





att



0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	1	1	0	0	0		1	0	1	1	1	0	0	0

FIG. 10a

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	0	1	0	0	0		1	0	0	0	1	0	1	0

FIG. 10b

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	0	1	0	0	0		1	0	1	1	1	0	0	0

FIG. 10c

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	0	1	0	0	0		1	0	0	0	1	0	1	0

FIG. 10d

Albert Einstein



Handwritten signature or initials in the top right corner.

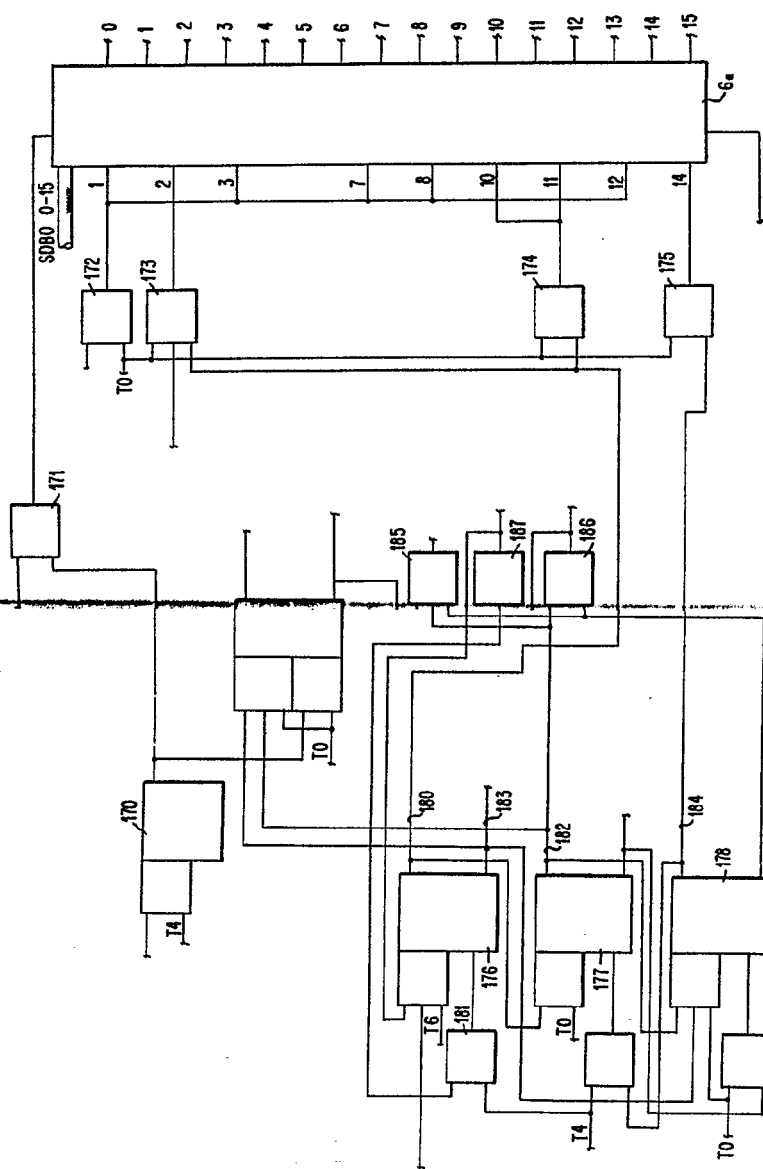


FIG. 11

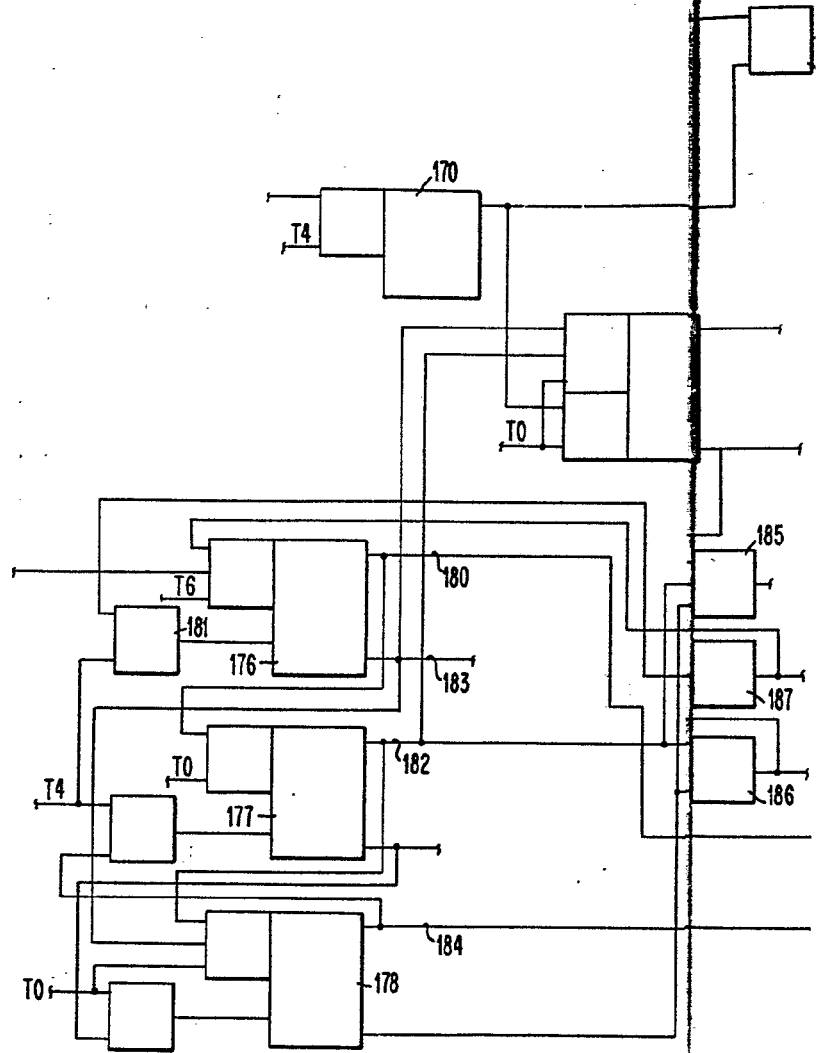


FIG.

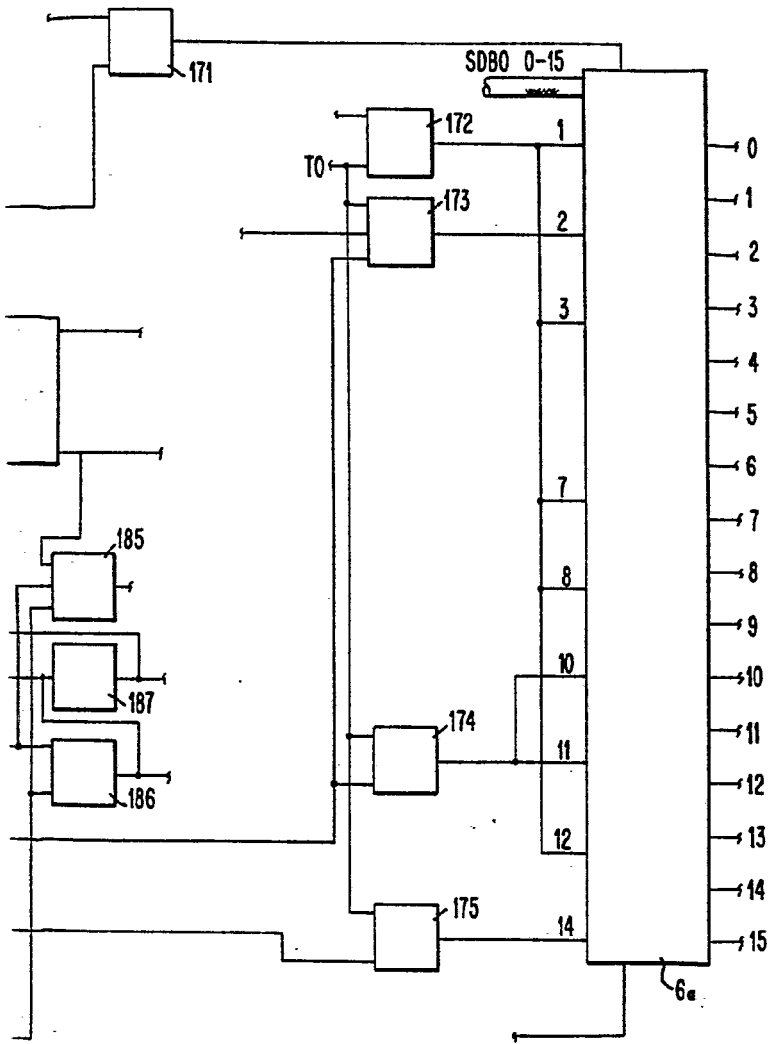


FIG. 11

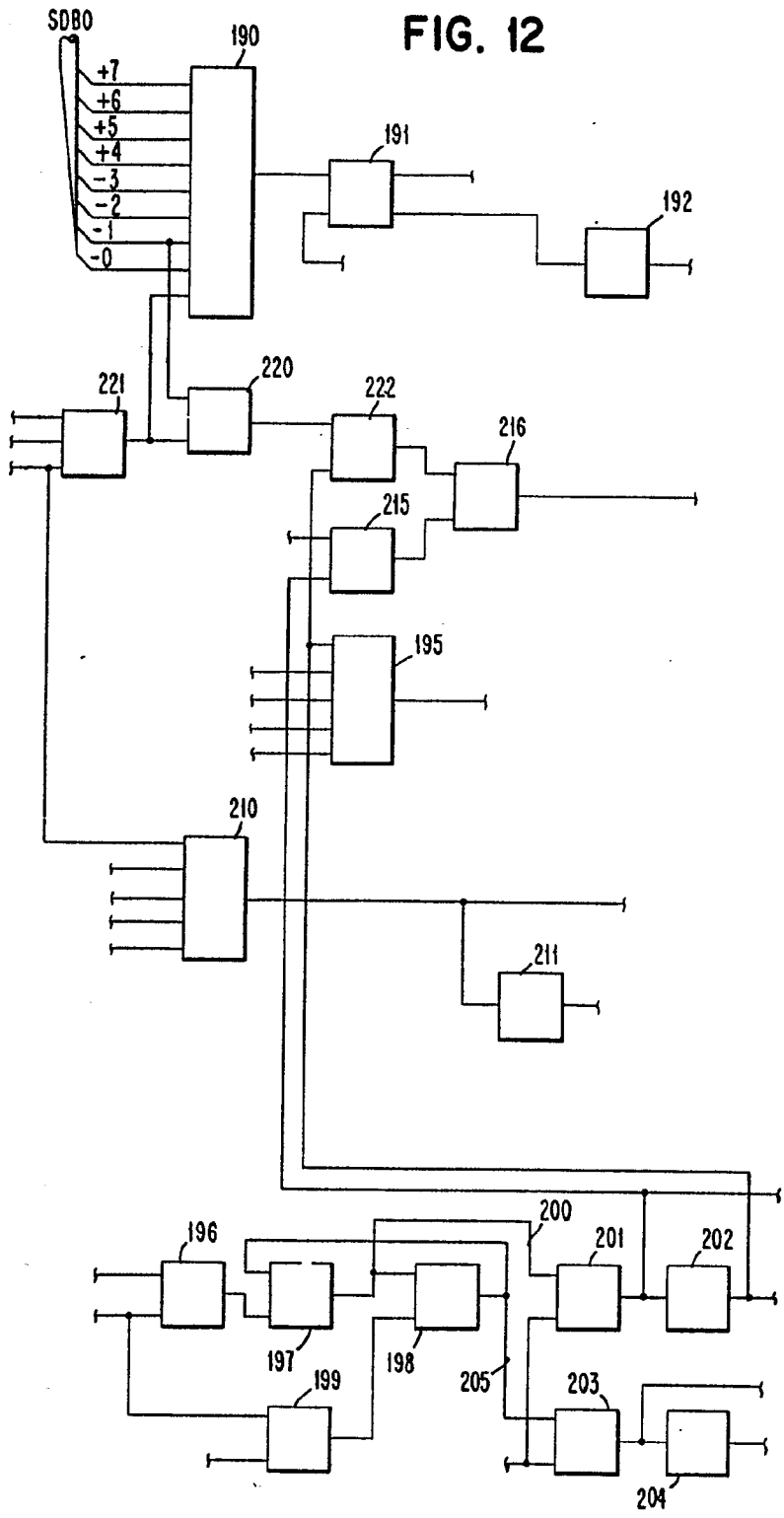
Atch

361,451

696



FIG. 12



AW