



MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE
DE INVENCION EN ESPAÑA POR "CIRCUITO DE RE-
TARDO DIGITAL VARIABLE" A NOMBRE DE STANDARD
ELECTRICA, S.A. CON DOMICILIO EN MADRID, CA-
LLE DE RAMIREZ DE PRADO, 5

Este invento se refiere a un circuito de retar-
do digital variable. Una aplicación de este tipo de circuito
es para proporcionar compensación por las velocidades varia-
bles de propagación en las redes con circuitos largos con ca-
nales de TDM en las que es necesario mantener la fase de los
5 canales. Esto puede hacerse retardando las señales para hacer
el retardo total igual a un número entero de cuadros.

De acuerdo con el invento se proporciona un cir-
cuito de retardo digital variable que comprende medios para
10 derivar de una secuencia de señales de entrada una, señal de
sincronización, unos primeros medios de relé de tomas al que
se lleva la señal de sincronización, una fuente de señal de
referencia, medios para detectar la coincidencia de la señal
de referencia con la señal de sincronización retardada en
15 cada punto de derivación de los primeros medios de retardo,

./..



2.

segundos medios de retardo con tomas a los que se llevan las
señales de entrada y medios que responden a la coincidencia
de las señales de referencia y de sincronización para extraer
de los segundos medios de retardo, en el punto de toma corres-
pondiente al punto de los primeros medios de retardo en que
20 está presente la coincidencia, las señales de entrada retar-
dadas.

En una realización preferida del invento, el cir-
cuito de retardo variable está compuesto por registradores di-
25 gitaes de cambio primero y segundo, puertas de coincidencia
para cada paso del primer registrador y la señal de referencia
y medios de puerta lógicos que responden a las puertas de coin-
cidencia para extraer de un paso del segundo registrador su
contenido.

30 Las antes mencionadas y otras características
del invento y la forma de conseguirlas, quedarán más claras
y el invento mismo se comprenderá mejor con relación a la si-
guiente descripción, dada de acuerdo con los dibujos que se
acompañan en los que:

35 La fig. 1 es una ilustración diagramática del
esquema de una red de un solo bucle que incorpora el invento,
y

La figura 2 es un diagrama de bloque de una
unidad de retardo digital variable que utiliza registradores
40 de cambio.

En la figura 1 se ha representado la red básica
y consiste en un número de abonados SS conectados entre sí
por una línea de transmisión unidirección LL. El bucle compren-
de una estación de temporización TS cuya función es proporcio-
45 nar un número de canales multiplexados en el tiempo en el
bucle. Cada abonado SS tiene acceso a cualquier canal que no



utiliza para hacer una conexión y cada abonado responde a su única señal de identificación que aparece en cualquier canal para hacer que se complete una conexión. Una vez que un canal ha sido capturado para una conexión particular es retenido para esa conexión hasta que se ha terminado la conexión y no está disponible para ningún otro abonado.

Una primera función de la estación de temporización es proporcionar no sólo las señales de los canales de TDM y de sincronización para el bucle, sino también compensar el tiempo de propagación en el bucle. Para hacer esto, incorpora el circuito de retardo digital variable representado en la fig. 2. Es un retardo variable porque el tiempo de propagación puede variar, por ejemplo, debido a variaciones de temperatura. En el caso de un bucle que comprende varios centenares o millares de pira de cable, estas variaciones del tiempo de propagación tienen gran importancia porque para usar el sistema con gran rendimiento se precisa utilizar grandes velocidades de modulación y, consecuentemente, es también precisa una sincronización exacta. El circuito de retardo está permanentemente en la entrada de línea de la estación de temporización.

Antes de describir el circuito de la figura 2 debe mencionarse que la estación de temporización comprende también un generador de esquema digital conectado a la línea de conmutadores que responde a la generación de señales de sincronización y señales de canal vacío. Durante el período de sincronización y para cualquier período de canal libre la línea está terminada por una resistencia. Así, las señales generadas por el generador de forma se disipan después de un circuito de bucle. Por otra parte, las señales generadas por los abonados no deben perderse y así, cuando un canal está ocupado, la estación de temporización se cortocircuita mediante



80 conmutadores durante el tiempo de este canal, haciendo así que estas señales lleguen a los abonados más allá de la estación de temporización.

85 Para determinar el retardo requerido se deriva un impulso correspondiente a un punto específico de la información de la línea entrante. Este impulso se retarda en el registrador de cambio hasta que coincide con un impulso senojante derivado de la señal de referencia de la estación de temporización. Esto da una medida del retardo requerido, y este retraso se aplica a la información de línea en un segundo registrador de cambio.

90 La información de línea está retardada inicialmente en una cantidad fija predeterminada en el retardador D. Entonces se deriva un impulso Pin usando un detector de canal de sincronización SD. El detector da un impulso inmediatamente después del único código del canal de sincronización. Este impulso se lleva entonces al registrador de cambio SRI alimentado por una forma de onda derivada de un reloj maestro a dos veces la frecuencia del reloj. Las salidas de los registradores de cambio se comparan con un impulso Pref derivado en forma similar de la señal de sincronización que aparece en la salida del generador de forma de la estación de temporización. Esta comparación se hace en las puertas MND G1-G5, y una de éstas da una salida que indica la coincidencia entre el impulso de referencia y el impulso Pin después de algún retardo. Las puertas AND G1-G6 se utilizan para colocar los biestables B1-B5 y cualquier biestable es ajustado por su puerta AND y mantendrá ese ajuste de retardo particular durante un cuadro completo. Los biestables a su vez controlan la toma de la información de línea de un segundo registrador de cambio SR2, a través de puertas AND G11-G15 y la puerta OR G16. Así, si la

95
100
105



110 puerta G3 indica coincidencia entre Pin de la sección 3 de SR1 y Pref entonces se ajusta B3 y abre G13. Entonces se extrae el contenido de la sección 3 de SR2 y se lleva al bucle al lado saliente de la estación de tiempo, a través de la puerta OR G16.

115 Si cambia el retardo, se necesita un segundo juego de puertas AND G21-G25 para reponer el biestable ajustado por el retardo previo. Por ejemplo, supongamos que Pref coincide con Pin en la sección 3 de SR1. Cada sección de SR1 está dispuesta para dar una salida adecuada y una salida invertida. Para las secciones 1, 2, 4, 5, etc. las salidas son, respectivamente, 0 y 1 puesto que Pin ya ha pasado a través de ellas o
120 todavía no ha llegado. La sección 3 que retiene Pin, da salidas 1 y 0, respectivamente. Los biestables solamente responden a la condición 1 de forma que B1, B2, B4 B5, etc. están en condición de reposición y no abren las puertas G11, G12, G14, G15, etc.
125 El biestable B3 está colocado y abre G13. Si aumenta el retardo de forma que esa coincidencia es detectada ahora por la puerta G4, entonces el biestable B4 es colocado por G4. Sin embargo, la sección 3 de SR1 da ahora salidas de 0 y 1, respectivamente, y así, la puerta G23 repone B3.

130 Es posible que Pin sea más estrecho o más ancho que su valor correcto y esto podría evitar que fuese Pin al registrador de cambio o hacer que vaya a dos secciones. Para evitar esto, Pin puede hacerse más ancho que un solo impulso normal, de forma que para algunos retardos vaya a dos secciones
135 del registrador de cambio. Los caminos de señal adicionales indicados por las líneas de puntos de la fig. 2, aseguran entonces que solamente es posible una salida del segundo registrador de cambio, abriendo la salida no deseada de SR1.

Excitando los registradores de cambio SR1 y SR2



140 con la señal de reloj saliente pueden extraerse las de fase del generador, de forma entre las señales ontrante y saliente.

Se sobreentiende que la descripción precedente de ejemplos específicos de este invento ha sido hecha a título de ejemplo únicamente y no tiene que considerarse una limitación de su alcance.
145

Esto invento corresponde a una solicitud de patente formulada en Inglaterra el 25 de octubre de 1967, señalada con el nº. 48.467/67 y se acoge por lo tanto a todos los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

150 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un circuito de retardo digital variable que comprende medios para derivar de una secuencia de señal de entrada una señal de sincronización, unos primeros medios de retardo con tomas a los que se lleva la señal de sincronización, un generador de señal de referencia, medios para detectar la coincidencia de la señal de referencia con la señal de sincronización retardada en cada punto de toma de los primeros medios de retardo, unos segundos medios de retardo con tomas a los que se llevan las señales de entrada, y medios que responden a la coincidencia de las señales de referencia y sincronización para extraer de los segundos medios de retardo, en el punto de derivación correspondiente a ese punto de los primeros medios de retardo en que hay coincidencia, las señales de entrada retardadas.
155
160
165

2.- Un circuito de retardo digital variable que comprende registradores de cambio digitales similares primero y segundo, medios para derivar de la señal de entrada una señal de sincronización que se aplica al primer registrador de cambio,



170 una fuente de señal de referencia, puertas de coincidencia
para cada etapa del primer registrador de cambio y la señal
de referencia, estando aplicada la señal de entrada al segun-
do registrador de cambio y circuitos lógicos de puerta que res-
ponden a la puerta de coincidencia para extraer de un paso del
175 segundo registrador de cambio su contenido.

3.- Un circuito de retardo digital variable como
el del punto 2 que comprende un retardo fijo inserto en la se-
ñal de entrada antes de los medios para extraer la señal de
sincronización y antes de la entrada del segundo registrador
130 de cambio.

4.- Un circuito de retardo digital variable como
el de los puntos 2 ó 3 en el que se inserta la señal de sincro-
nización en dos pasos sucesivos del primer registrador de cambio,
comprendiendo el circuito circuitos lógicos de inhibición
135 para prevenir que la salida de más de un paso del segundo re-
gistrador de cambio sea extraída en respuesta a las salidas
de dos puertas de coincidencia.

5.- Un circuito de retardo digital variable sus-
tancialmente como se ha descrito con referencia a los dibujos
130 que se acompañan.

6.- Un circuito de retardo digital variable.

Tal y como se describe en la memoria que antecede,
representado en los dibujos que se acompañan y a los fines
especificados.

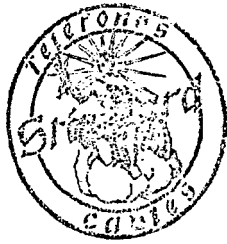


8.

195

Esta memoria consta de ocho hojas escritas por una sola cara.

Madrid, 22 OCT. 1968



E. Barriso
EUGENIO BARRISO
Secretario General



22 OCT. 1968

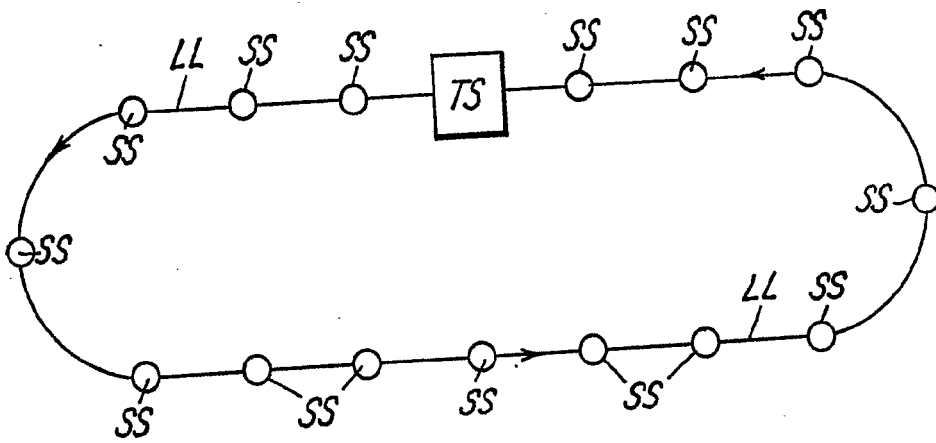


Fig. 1.

Eugenio Barroso
EUGENIO BARROSO
Secretario General

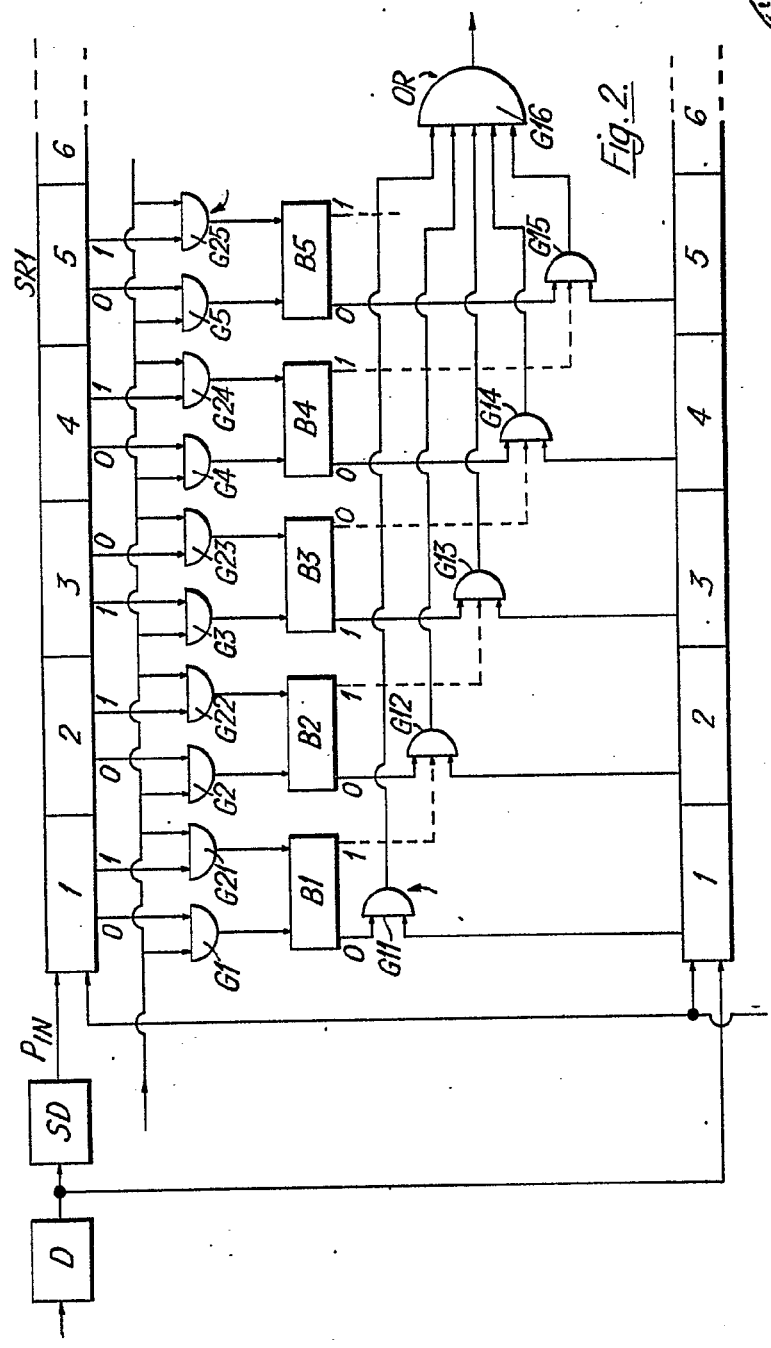
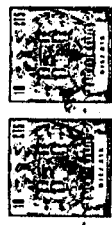
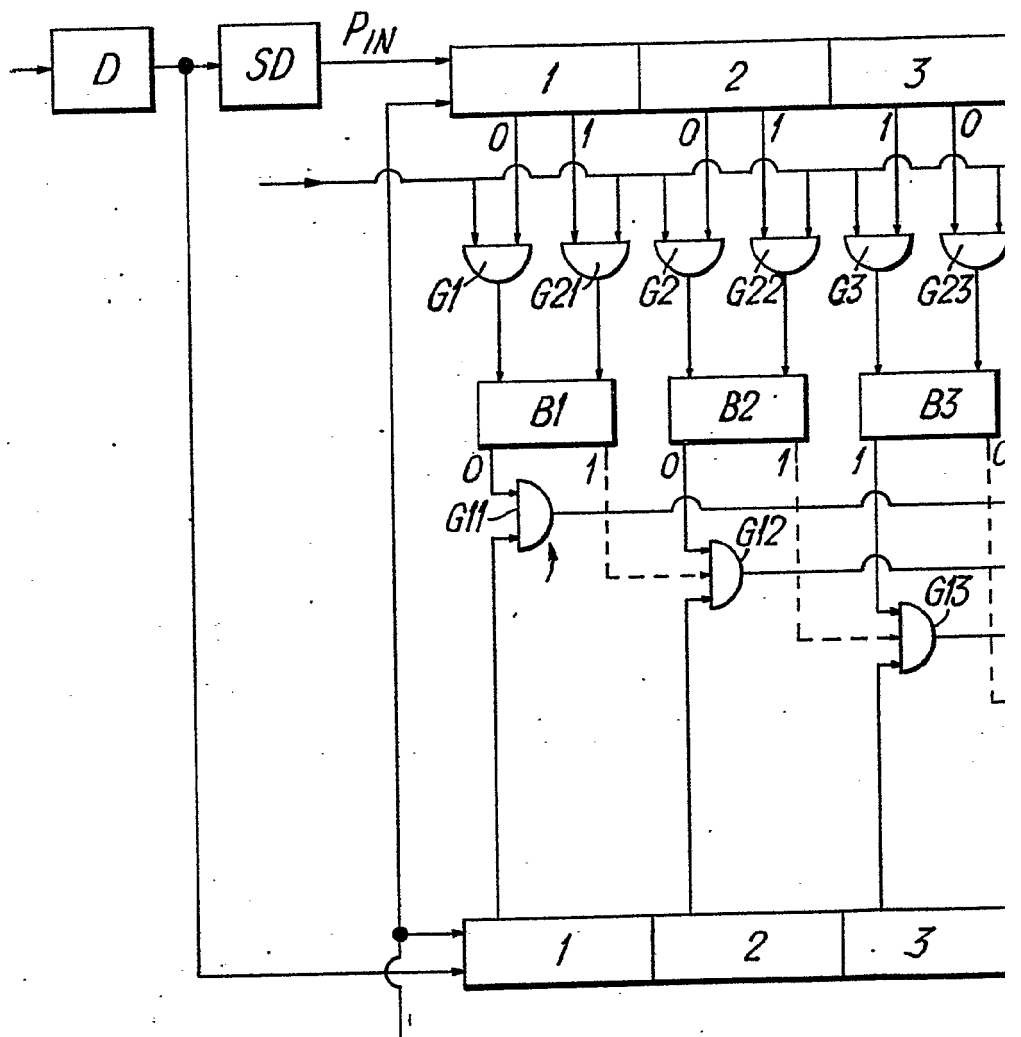


Fig. 2.

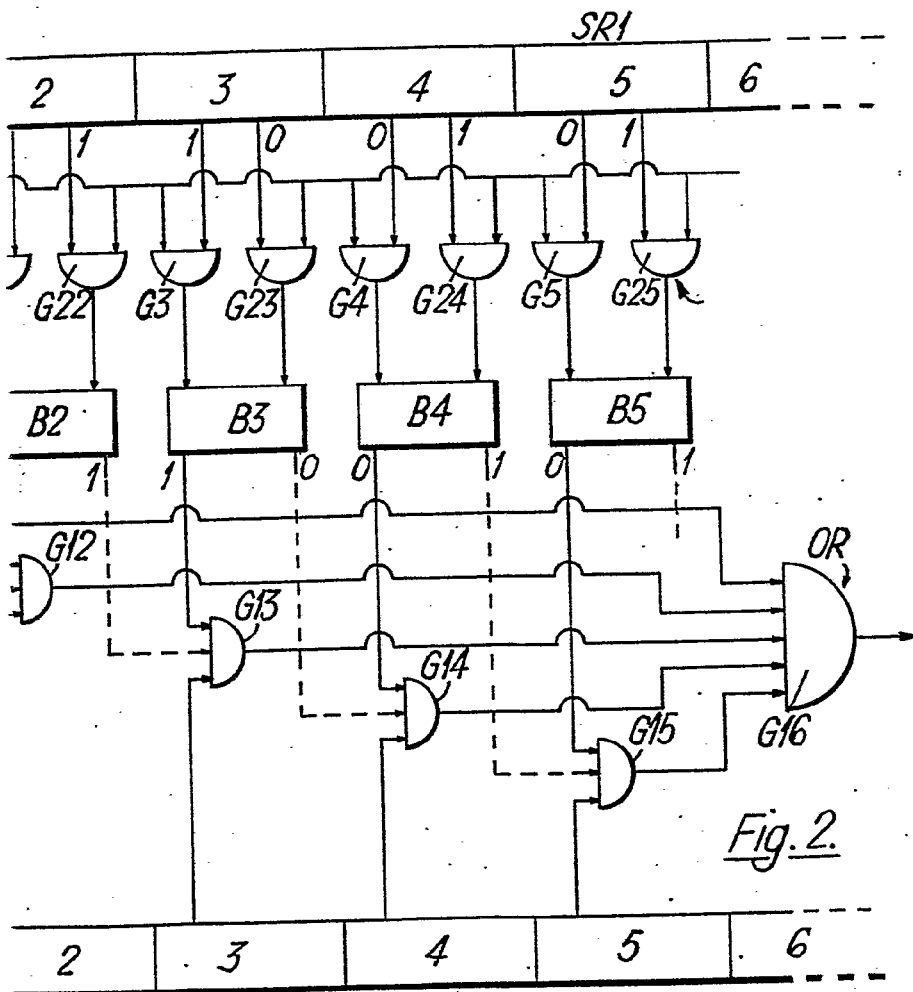
22 OCT. 1968



Eugenio Barroso
EUGENIO BARROSO
Secretario General



8/2



22 OCT. 1968



Eugenio Barroso
EUGENIO BARROSO
Secretario General