

358757

P.-39.483

Docket UK-9-67-022

Memoria descriptiva

24 OCT. 1967



para solicitar PATENTE DE INVENCION

por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UNA DISPOSICION DE MEMORIA ASOCIATIVA PARA EL ALMACENAMIENTO DE DATOS DIGITALES"

(Clase Internacional G06f)



Este invento se refiere a una memoria asociativa para el almacenamiento de datos digitales.

Una memoria asociativa se diferencia de una memoria usual en que en una memoria usual se tiene acceso a una palabra de datos especificando la situación de almacenamiento en la cual debe encontrarse la palabra, mientras que en una memoria asociativa se tiene acceso a una palabra de datos especificando parte al menos del contenido de la palabra. Por ejemplo, si las palabras de un almacén asociativo comprenden números de cuenta y saldos acreedores, la palabra que contiene un saldo que ha de ser puesto al día puede ser extraída especificando el número de cuenta de ese saldo. Alternativamente, suponiendo que los saldos llevan signo, especificando un signo negativo pueden extraerse todas las palabras de datos referentes a cuentas que son deudoras. Por comodidad, los datos que se usan para identificar una palabra a ser extraída, tales como el número de cuenta o el signo negativo, se designarán con el nombre de marcas.

En la forma usual de memoria asociativa, la -- marca se sitúa en las posiciones de bitios de un registro de entrada correspondientes a las posiciones de bitios de la marca en las palabras de datos que hay en el almacén, y se efectúa una comparación entre la marca y las -- palabras de datos. Se usa un registro de máscara para asegurar que la comparación tiene lugar solamente entre posiciones de bitio especificadas del registro de entrada y de los datos. Aquellas palabras de datos cuyas posiciones de bitios correspondientes coinciden con la marca, son -- marcadas, y son subsiguientemente leídas de salida a un --



registro de salida.

5 La práctica consiste en efectuar el marcado de palabras seleccionadas para leer de salida estableciendo en un estado estable predeterminado un dispositivo biestable asociado con la posición de almacenamiento que contiene una palabra seleccionada. El establecimiento de este dispositivo se usa a continuación para controlar la aplicación de una señal de leer o escribir a la situación en el almacenamiento. Hasta el presente solamente se ha provisto uno de tales disparadores o circuitos de báscula.

10 De acuerdo con el invento, una memoria asociativa incluye un registro de entrada de órdenes múltiples y una pluralidad de almacenes de palabras de datos de órdenes múltiples, medios de comparación para comparar el contenido de datos de uno o más órdenes del registro de entrada con el contenido de datos de los mismos órdenes de cada uno de los almacenes de palabras, estando adaptado cada almacén de palabras para generar una señal de coincidencia respectiva cuando los datos comparados en el almacén de palabras coinciden con los datos comparados en el registro de entrada, y teniendo cada almacén de palabras asociados con el mismo una pluralidad de dispositivos biestables, en que se han provisto medios de selección para establecer un dispositivo biestable seleccionado en un estado estable predeterminado en respuesta a la generación de una señal de coincidencia.

25 En una realización preferida del invento se han provisto dos de tales dispositivos de almacenamiento, denominados, respectivamente, disparadores primarios y disparadores secundarios.

18-10-68

24 OCT



Esta característica ha resultado ser de especial utilidad en el tratamiento de listas de palabras de datos tales como instrucciones. Por ejemplo, el acceso a las palabras de instrucciones que pertenecen al programa principal puede ser controlado mediante establecimiento de los disparadores primarios y el acceso a las palabras de instrucciones que pertenecen a subrutinas puede ser controlado mediante establecimiento de los disparadores secundarios.

El invento se explicará más detenidamente, a manera de ejemplo, con referencia a los dibujos que se acompañan, en los cuales:

La Fig. 1 es un diagrama esquemático de una memoria asociativa de acuerdo con el invento;

La Fig. 2 es un diagrama de circuito de una célula de almacenamiento de datos adecuada para incorporación en una memoria asociativa de acuerdo con el invento;

La Fig. 3 es un diagrama esquemático de un circuito lógico de bits 6 usado en la memoria de la Fig. 1;

La Fig. 4 es un diagrama esquemático de un circuito de máscara 5 usado en la memoria de la Fig. 1; y

La Fig. 5 es un diagrama esquemático de un circuito lógico de palabras 15 usado en la memoria de la Fig. 1.

Con referencia a la Fig. 1 de los dibujos, la memoria asociativa en ella ilustrada comprende un registro de entrada 2 que incluye una pluralidad de células 3 de almacenamiento binarias, un registro 4 de máscara que comprende el mismo número de circuitos de máscara 5 que



el que hay de células de almacenamiento 3 en el registro de salida 2, una pluralidad de circuitos 6 lógicos de -- bitios, uno para cada posición de máscara, una pluralidad de almacenes de palabras 7, que cada uno comprende tantas células 8 de almacenamiento de datos como circuitos lógicos de bitios hay, y un registro de salida 9 que incluye células 10 de almacenamiento binarias. La memoria puede ser considerada como que comprende una pluralidad de columnas, comprendiendo cada columna una célula 3 de almacenamiento binaria de entrada, un circuito de máscara - 5, un circuito lógico de bitios 6, tantas células 8 de -- almacenamiento de datos como almacenes de palabras 7 hay, y una célula 10 de almacenamiento binaria de salida. Los elementos de cada columna están conectados a través de - dos líneas de bitios 11 y 12, denominadas respectivamente línea de bitios 0 y línea de bitios 1. Cuando es marcada la línea 11 del 0, por las líneas de bitios está -- siendo transmitido un 0 binario, y cuando es marcada la - línea 12 de bitios del 1 está siendo transmitido un 1 binario. Como se explicará en lo que sigue las líneas de - bitios tienen una triple función de entrada/salida/inte- rrogación, y el marcado varía de acuerdo con la función. Para mayor claridad, en la Fig. 1 solamente se han repre- sentado las líneas de bitios de las columnas exteriores - de la memoria. Conectado a cada almacén de palabras a -- través de una línea 13 colectora de palabras y una línea 14 emisora de palabras hay un circuito lógico de palabras 15 que incluye un disparador primario 16 y un disparador secundario 17.

Como se ha ilustrado en la Fig. 1, el funciona-



miento de la memoria 1 es controlado mediante el contenido de un registro independiente de control de dígitos múltiples 18, la salida del cual es analizada por un descodificador 19 el cual genera señales de control por las líneas 20 a 26 y 73 que están conectadas entre el descodificador 19, el registro de máscara 4, los circuitos lógicos de bits 6, y los circuitos lógicos de palabras 15. Los datos son transmitidos a la memoria 1 por una barra colectora de entrada 27, la cual tiene un ramal 27a conectado al registro de control 18, y son transmitidos desde la memoria 1 a una barra colectora de salida 28, la cual tiene un ramal 28a conectado a la barra colectora de entrada 27.

En la disposición ilustrada en la Fig. 1, el registro de control 18 es diferente del registro de entrada 2, lo que implica que la memoria está controlada exteriormente. Es posible, sin embargo, que cada palabra pueda contener un campo de control que determine la operación a ser efectuada en los datos de la palabra, que incluye el campo de control, haciendo con ello la memoria independiente del control exterior.

En una memoria asociativa, una célula 8 de almacenamiento de datos debe poder indicar si el contenido de datos de la célula coincide o no coincide con un valor binario representado por una señal de interrogación, la cual, preferiblemente, no altera el contenido de datos. Hay células asociativas, que tienen tales propiedades, que son bien conocidas y que están compuestas por circuitos de transistores, criotrones, y núcleos magnéticos. Para proveer las células 8 de almacenamiento de datos puede --



usarse cualquier tipo conocido de célula asociativa pero se prefiere usar la célula ilustrada en la Fig. 2 de los dibujos.

5 La célula de datos de la Fig. 2 es un circuito de transistores multiestable que comprende dos circuitos biestables T1, T2 y T3, T4 respectivamente, Los transistores T1 y T4 son transistores de doble emisor. Cada estado estable del circuito está definido por hacerse conductor un transistor de cada circuito biestable. En la memoria -

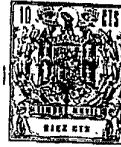
10 de la Fig. 1 se usan tres estados estables: cuando los transistores T1 y T3 son conductores, la célula está almacenando un 0 binario (está en el estado 0); cuando los transistores T2 y T4 son conductores, la célula está almacenando un 1 binario (está en el estado 1). Y cuando --

15 los transistores T2 y T3 son conductores, la célula está en un estado estable que se designará como el estado X. - A fin de interrogar a la célula sin cambiar su estado, se sitúan tensiones predeterminadas en las líneas de bitios 11 y 12 mediante el circuito lógico de bitios 6 (Fig. 1)

20 conectado a las líneas de bitios. Para interrogar por el estado 1, se sitúa una alta tensión con relación a alguna tensión de referencia, por ejemplo la de tierra, en las líneas de bitios 11 y se sitúa una baja tensión en la línea de bitios 12. Si el transistor T4 está conduciendo, -

25 es dirigida la corriente a través del emisor E41 a la línea de bitios 12, no llegando sustancialmente ninguna a la línea 14 emisora de palabras a través del emisor E42. Si el transistor T1 está conduciendo, es dirigida la corriente, debido a la alta tensión en la línea de bitios -

30 11, a través del emisor E12 a la línea 14 emisora de pala-



bras. De ello se sigue que si la célula de datos está -
en el estado 1, no aparece corriente en la línea 14, lo
que indica una coincidencia, mientras que si la célula -
de datos está en el estado 0, aparece corriente en la -
línea 14, indicando que no hay coincidencia. La interro-
gación por el estado 0 se efectúa situando una alta ten-
sión en la línea de bitios 12 y una baja tensión en la -
línea de bitios 11. De modo similar a como se hacia la -
interrogación para el estado 1, si la célula está en el
estado 0 no aparece corriente en la línea 14, lo que in-
dica una coincidencia, mientras que si la célula está en
el estado 1 aparece corriente en la línea 14, indicando
que no hay coincidencia. Una característica significati-
va de la célula de la Fig. 2 es la respuesta de la célu-
la a la interrogación para uno de los estados 1 ó 0, ---
cuando la célula está en el estado X. En el estado X los
transistores T2 y T3 son conductores, y cualesquiera que
sean las señales de interrogación no aparece corriente -
alguna en la línea 14. En el estado X, por consiguiente,
la respuesta a cualquier interrogación es una señal de -
coincidencia. Esta característica proporciona gran flexi-
bilidad de uso de una memoria asociativa, pues con célu-
las asociativas de dos estados conocidas es significati-
vo el estado de cada célula interrogada para determinar -
el resultado de la interrogación. Con células asociativas
capaces de adoptar el estado X, es posible, por ejemplo,
interrogar simultáneamente campos diferentes en diferen-
tes palabras, haciendo posibles procedimientos mucho más
complicados de exámeninar en tablas y similares.

Para leer el estado de la célula de datos, se



5 eleva la tensión en la línea 14 emisora de palabras. Si el transistor T1 ó T4 es conductor, la corriente es dirigida a través del emisor E11 ó E41, respectivamente, a la línea de bitios 11 ó 12 respectivamente, Si la célula está en el estado X, no aparece corriente en ninguna de las dos líneas de bitios. Para escribir en la célula de datos, se eleva la tensión en la línea 14 emisora de palabras y se disminuye la tensión en la línea colectora de palabras. En estas condiciones son suficientes tensiones en las líneas de bitios 11 y 12, de los mismos valores usados para la interrogación, para conmutar los estados de los circuitos biestables. Una alta tensión en la línea de bitios 11, por ejemplo, hace o mantiene no conductor al transistor T1, mientras que una baja tensión en la línea de bitios 11 hace o mantiene conductor al transistor T1.

Las operaciones básicas que se efectúan en la memoria 1 son las siguientes:

20 (a) Seleccionar Primario, Seleccionar Secundario. Los dígitos binarios que hay en aquellos órdenes del registro de entrada 2 que no están enmascarados por el registro de máscara 4 se comparan con los dígitos binarios que hay en los órdenes correspondientes de todos los almacenes 7 de palabras. Se produce una coincidencia si una célula 8 de almacenamiento de datos está almacenando el mismo dígito que la célula 3 de orden correspondiente o está en el estado X. La línea 14 emisora de palabras es común a todas las células de datos 8 de un almacén 7 de palabras, de modo que una falta de coincidencia con cualquier célula de una palabra se traduce en una indicación -



de falta de coincidencia para la palabra. Cada circuito -
5 de enmascaramiento, como se describirá en lo que sigue,
contiene un circuito biestable, denominado un disparador
de máscara, que tiene estados estables 1 y 0. En una ope-
5 ración de seleccionar la comparación tiene lugar solamen-
te en aquellos órdenes de los almacenes de palabras para
los cuales el disparador de máscara está en el estado 1.
Aquellos almacenes de palabras que producen una señal de
coincidencia, es decir, que no hay corriente en la línea
10 14 emisora de palabras asociada, hacen que sea activado -
el disparador primario 16 ó el disparador secundario 17,
según que la operación sea una operación de Seleccionar -
Primario, o una operación de Seleccionar Secundario, res-
pectivamente.

15 (b) Leer Primario, Leer Secundario. Los conte--
nidos de los almacenes de palabras de los cuales están es-
tablecidos los disparadores primario o secundario, según
sea la operación, son leídos de salida al registro de sa-
lida 9. Solamente son leídos de salida aquellos órdenes
20 de los almacenes para los cuales el disparador de máscara
está en el estado 0. Si está establecido más de un dispa-
rador primario o secundario, la operación es en efecto una
operación "0" en el contenido de esos almacenes de pala--
bras para los cuales el disparador está establecido en el
25 registro de salida. No se altera el estado del disparador
primario o secundario.

(c) Escribir Primario, Escribir Secundario. Los
contenidos del registro de entrada en aquellos órdenes --
para los cuales el disparador de máscara está en el esta--
30 do 0 son leídos de salida a los almacenes de palabra con -



el disparador primario o el disparador secundario, según sea la operación, activado. No se altera el estado del disparador primario o secundario.

5 (d) Seleccionar Primario Siguiete, Leer Primario. Seleccionar Secundario Siguiete, Leer Secundario. En la primera parte de esta operación cualquiera -- de los disparadores primarios o secundarios activados -- según se requiera, son reactivados y se activa el disparador primario o secundario de la palabra de almacén siguiente. El almacén siguiente se define como el almacén 10 adyacente en una dirección dada. En la Fig. 1, el disparador del almacén de palabras inferior siguiente es activado y la conexión entre los circuitos lógicos de palabras adyacentes 15 para ese fin se ha indicado esquemáticamente mediante las líneas de control 29: La segunda -- parte de la operación es la misma que la operación de -- Leer Primario o Secundario, descrita en lo que antecede. El uso más corriente de esta operación es para avanzar -- paso a paso a través de un conjunto de instrucciones con 20 secutivas.

(e) Conmutar Primario, Conmutar Secundario. -- Esta operación es idéntica a la operación de Seleccionar Primario (Secundario) Siguiete, Leer Primario (Secundario), excepto en que se ignora la activación del registro de máscara. El efecto de la operación es leer de salida la palabra siguiente a una palabra actualmente seleccionada. Un uso de esta instrucción es para iniciar -- una bifurcación de un conjunto de instrucciones.

30 (f) Conmutar Primario y activar Máscara, Conmutar Secundario y activar Máscara. Esta operación es la --



24

misma que la de Conmutación (e), pero en lugar de que el resultado sea leído de salida a la barra colectora de -- salida, es copiado en los disparadores del registro de -- máscara.

5 La Fig. 3 ilustra un circuito 6 lógico de bi--
tios. Los requisitos por el circuito son que si ha de --
efectuarse una operación de leer, las líneas de bitios --
11 y 12 a las células 8 de almacenamiento de datos debe--
rán estar al potencial de tierra, o a cualquier otra tene--
10 siór de referencia adecuada; si la operación es una ope--
ración de seleccionar, en que la célula ha de ser inte--
rrogada por el estado 1, o bien es una operación de es--
cribir para escribir 1 en la célula, la línea de bitios
11 deberá estar a una elevada tensión con relación al --
15 potencial de referencia, y la línea de bitios 12 deberá
estar a una baja tensión con relación al potencial de re--
ferencia; y si la operación es una operación de seleccio--
nar en la cual la célula ha de ser interrogada por el es--
tado 0, o bien es una operación de escribir para escribir
20 0 en la célula, la línea de bitios 11 deberá estar a una
baja tensión con relación al potencial de referencia, y
la línea de bitios 12 deberá estar a una elevada tensión
con relación al potencial de referencia. La operación a
ser efectuada se determina mediante señales de control en
25 las líneas 23 y 24 desde el descodificador 19, y el hecho
de que esté implicado un bitio 1 ó un bitio 0 viene de--
terminado por el estado de la célula correspondiente 3 --
del registro de entrada. En consecuencia, el excitador 6
de bitios comprende circuitos 30 y 31 excitadores de lí--
30 neas de bitios, las salidas de los cuales están conecta--



das a las líneas de bitios 11 y 12, respectivamente. Cada
excitador de bitios tiene dos entradas, designadas H y L
respectivamente. Si está activada una entrada H, la sali-
da del excitador de bitios está a una elevada tensión con
5 relación al potencial de referencia, si está activada una
entrada L la salida del excitador de bitios está a un ba-
jo potencial con relación al potencial de referencia, y -
si ninguna de las entradas está activada, la salida del
excitador de bitios está al potencial de referencia. La
10 activación de las entradas H, L se efectúa por medio de -
circuitos 32 a 36 de tipo Y. Una entrada a cada uno de -
los circuitos 32 a 35 de tipo Y es la salida del circui-
to 37 de tipo O, el cual tiene como entradas las líneas -
23 y 24 desde el descodificador 19. La línea 23 es exci-
15 tada cuando se requiere una operación de escribir (W) y
la línea 24 es excitada cuando se requiere una operación
de seleccionar (S). La línea 24 está además conectada co-
mo una entrada al circuito Y 36. Las salidas 11a y 12a -
de una célula 3 del registro de entrada proporcionan las
20 otras entradas a los circuitos Y 32 a 36. La línea 11a -
es excitada si la célula 3 está almacenando un 0 binario,
y la línea 12a es excitada si la célula está almacenando
un 1 binario. La línea 11a está conectada como entrada a
los circuitos Y 33 y 34, y, a través del inversor 38, al
25 circuito Y 36. La línea 12a está conectada como entrada -
a circuitos Y 32 y 35 y, a través del inversor 39, al --
circuito Y 36. Las salidas de los circuitos Y 32 y 34 es-
tán conectadas respectivamente a las entradas L respecti-
vas de los circuitos 30 y 31 excitadores de líneas de bi-
30 tios. Las salidas de los circuitos Y33 y 35 están conec--



240

tadas respectivamente a las entradas H respectivas, y la salida del circuito Y 36 está conectada a ambas entradas L.

5 En la Fig. 4 se ha representado un circuito 5
de máscara típico del registro de máscara 4. Cada circui-
to de máscara incluye un disparador de máscara 40 que de-
termina si las señales en las líneas de bitios 11b, 12b
procedentes del registro de entrada han de ser transmíti-
das por las líneas de bitios 11a, 12a al circuito lógico
10 de bitios 6. La salida 40a del disparador 40, que es ex-
citada cuando el disparador está en el estado estable 1,
está conectada como entrada a los circuitos Y 41, 42 y -
43, y la salida 40b del disparador 40 que, está excitada
cuando el disparador está en el estado estable 0, está -
15 conectada como entrada a los circuitos Y 44 y 45. La lí-
nea de bitios 11b del 0 procedente del registro de entra-
da 2 está conectada como entrada a los circuitos Y 43 y
45, y la línea de bitios 12b del 1 procedente del regis-
tro de entrada 2 está conectada como entrada a los circui-
20 tos Y 42 y 44. La línea 24 de Seleccionar procedente del
descodificador 19 está conectada como entrada a los cir-
cuitos Y 42 y 43, la línea 23 de Escribir está conectada
como entrada a los circuitos Y 44 y 45, y la línea 21 de
Leer está conectada como entrada al circuito Y 41. Las -
25 salidas de los circuitos Y 42 y 44 están conectadas como
entradas al circuito O 46, la salida del cual es la lí-
nea de bitios 12a, y las salidas de los circuitos Y 43 y
45 están conectadas como entradas al circuito O 47, la sa-
lida del cual es la línea de bitios 11a. Las líneas de --
30 bitios 11b, 12b están conectadas, respectivamente, como -



entradas a circuitos Y respectivos 48 y 49. La línea 20 de Establecer Máscara procedente del descodificador 19 está también conectada como entrada a cada uno de los circuitos Y 48 y 49.

5 En la Fig. 5 se ha representado un circuito lógico 15 de palabras típico. El circuito incluye el disparador primario 16, el disparador secundario 17, un disparador de transferencia 50, un excitador de línea 51 para la línea 13 colectora de palabras, y un excitador de línea 52 para la línea 14 emisora de palabras. El excitador de línea 51 está construido de modo que la tensión en la línea colectora de palabras 13 está normalmente en un primer valor más alto adecuado para las operaciones de leer y seleccionar en las células de datos 8 a las cuales está conectada la línea 13, pero cuando es excitada la entrada 53 la tensión en la línea 13 disminuye hasta un segundo valor más bajo adecuado para una operación de escribir en las células de datos. El excitador de línea 52 es similar en función a los excitadores 30, 31 de los circuitos lógicos de bits. Cuando está excitada la entrada H la línea 14 está a una tensión alta con relación a una tensión de referencia, cuando está excitada la entrada L la línea 14 está a una tensión baja con relación a una tensión de referencia, y cuando ninguna de las entradas está excitada la línea 14 está a la tensión de referencia. El excitador de línea 52 difiere de los excitadores 30, 31 (Fig. 3) en que el primero está dispuesto para percibir la presencia o la ausencia de corriente en la línea 14. Se recordará que si hay corriente en la línea 14 ello indica que no hay coincidencia entre el con-

10

15

20

25

30



tenido de las células de datos conectadas a la línea 14 y el contenido del registro de entrada, mientras que la ausencia de corriente indica una coincidencia. En consecuencia, el excitador de línea 52 está dispuesto para excitar una línea de salida 54 en ausencia de corriente en la línea 14 cuando ninguna de las entradas H y L está excitada. La línea 54 está conectada a través del circuito Y 55 y circuitos "Y" respectivos 56 y 57 a las entradas activadas del disparador primario 16 y del disparador secundario 17. El circuito Y 55 tiene una segunda entrada 58 que está excitada cuando no está citada la línea 22 Siguiente procedente del descodificador 19. El circuito Y 56 tiene una entrada conectada a la línea de salida Primaria 25 procedente del descodificador 19, y el circuito Y 57 tiene una entrada conectada a la línea de salida Secundaria 26 procedente del descodificador 19. Las salidas activadas 59,60, respectivamente, de los disparadores Primario y Secundario son excitadas como consecuencia de la excitación de las entradas a los disparadores y están conectadas a una línea 63 a través de circuitos Y respectivos 61, 62. El circuito Y 61 tiene además como entrada la línea de salida Primaria 25 procedente del descodificador 19, y el circuito Y 62 tiene también como entrada la línea de salida Secundaria 26 procedente del descodificador 19.

La línea 63 está conectada a la entrada establecida del disparador de transferencia 50, a la entrada H del excitador de línea 52, a la entrada L del excitador de línea 52 a través del inversor 64, y del circuito Y 65, y a la entrada 53 del excitador de línea 51 a través del circuito Y 66. El circuito Y 65 tiene además una línea de



5 entrada 67 que es excitada cuando la línea de salida de -
Seleccionar 24 procedente del descodificador 19 no está -
excitada. El efecto de la disposición que incluye el in-
versor 64 y el circuito Y 65 es el de excitar la entrada
L del excitador de línea 52 si la entrada H no está exci-
tada, excepto cuando se está efectuando una operación de
selección. El circuito Y 66 tiene además como entrada la
línea de salida 23 de Escribir procedente del descodifi-
cador 19.

10 La línea de salida 54 procedente del excitador -
de línea 53 está conectada como entrada al circuito O 68,
el cual tiene además como entrada la salida establecida -
69 del disparador de transferencia 50. La salida 29 es la
línea Siguiete Fuera que es excitada con el fin de selec-
15 cionar el disparador primario o secundario del circuito -
lógico de palabra inferior inmediatamente siguiente en --
las operaciones "Siguiete". La línea de "Siguiete Fue--
ra" del circuito lógico de palabra superior inmediatamen-
te siguiente está conectada como la línea de "Siguiete -
20 Dentro" 29a como entrada al circuito Y 70, el cual tiene
también como entrada la línea de salida Siguiete proce--
dente del descodificador 19.

25 A fin de simplificar la descripción de una me--
moria asociativa típica de acuerdo con el invento, se ha
omitido la descripción del sistema de reloj. Se compren--
derá que en la construcción de un reloj adecuado y en la
interpolación de puertas controladas por el reloj en la -
memoria descrita con referencia a las Figs. 1 y 5, se em-
plean solamente técnicas fácilmente disponibles para quien
30 sea experto en la técnica del diseño de sistemas. Un re--



Loj adecuado para la memoria descrita genera un intervalo de tiempo que tiene dos subintervalos iguales. En el primer subintervalo está previsto que tenga lugar una operación de Seleccionar que de por resultado la activación del disparador Primario o Secundario de un almacén de palabras seleccionado, o del almacén de palabras siguiente al almacén seleccionado, o que tenga lugar una transferencia del establecimiento de un disparador Primario o Secundario al disparador correspondiente del siguiente almacén de palabras. En el segundo subintervalo está previsto que tenga lugar una operación de Leer o Escribir. Todas las operaciones de la memoria son combinaciones de los procedimientos que tienen lugar en los dos subintervalos, aunque algunas operaciones pueden exigir más de un intervalo de tiempo para su ejecución.

A continuación se describirán con mayor detalle las operaciones de la Memoria.

Seleccionar

Durante una operación de Seleccionar, el reloj garantiza, controlando puertas adecuadas (no representadas), que las salidas activadas de los disparadores primario y secundario no son aplicadas a las entradas H de los excitadores de línea 52 (Fig. 5). Los circuitos Y 65 impiden que las salidas de los inversores 64 lleguen a las entradas L de los excitadores de línea debido a no estar excitada la línea 67. El resultado es que ninguna de las entradas H y L está excitada y que las líneas 14 emisoras de palabras están al potencial de referencia. En una operación de Seleccionar, aquellos órdenes del registro de entrada 2 que corresponden a circuitos de máscara



5 que tienen el disparador de máscara 40 (Fig. 4) en el estado estable 1, son comparados con los órdenes correspondientes de todos los almacenes de palabras. La línea de salida 24 es excitada cuando se requiere una operación de Seleccionar, y en consecuencia son activados los circuitos Y 42 y 43 en circuitos de máscara apropiados para dar paso a las señales por las líneas 11b y 12b desde el registro de entrada a los circuitos lógicos de bitios por medio de líneas 11a, 12a respectivamente. Con referencia al circuito lógico de bitios de la Fig. 3, si la línea 11a está marcada y los circuitos Y 33, 34 están excitados, se tiene como resultado que la línea de bitios 11 sea marcada con una baja tensión por el excitador de línea 30, y que la línea de bitios 12 sea marcada con una alta tensión por el excitador de línea 31. Si la línea 12a está marcada los circuitos Y 32 y 35 son excitados, dando por resultado una alta tensión en la línea 11 y una baja tensión en la línea 12. Si el circuito de enmascarar opera para evitar que cualquiera de las dos líneas 11a ó 12a sea marcada, es excitado el circuito Y 36 y ambas líneas 11 y 12 son marcadas con una baja tensión.

El efecto en las células 8 de almacenamiento de datos de las señales en las líneas 11, 12, con la línea 14 al potencial de referencia, se ha descrito ya con referencia a la Fig. 2. Si sale una señal de coincidencia con una línea emisora de palabras 14, es excitada la línea de salida 54 del excitador de línea conectado 52 (Fig. 5). Si la operación es Seleccionar Primario, es excitada la línea de salida 25 del descodificador 19, mientras que si la operación es Seleccionar Secundario, es excita-



da la línea de salida 26 del descodificador. Dependiendo de que sea excitada la línea 25 ó la línea 26, la señal en la línea 54 activa el disparador primario 16 o el disparador secundario 17 por medio de los circuitos Y 56 ó 57.

Operaciones "Siguiete"

Se trata de operaciones en las cuales es seleccionado el almacén de palabras inferior inmediatamente siguiente ("Inferior" como se ha ilustrado en la Fig. 1) activando, según se requiera, ya sea el disparador primario o ya sea el disparador secundario del circuito lógico de palabras asociado con el almacén a ser seleccionado. Una operación "Siguiete" puede implicar la activación del disparador del siguiente almacén de palabras inmediatamente después que un almacén de palabras envía -- una señal de coincidencia, o bien puede implicar la transferencia de la activación del disparador de un almacén de palabras al disparador del almacén siguiente. En el primer caso, las líneas de salida de Seleccionar y Siguiete procedentes del descodificador 19 son excitadas simultáneamente, juntamente con la línea Primaria 25 ó con la línea Secundaria 26, según se requiera. En consecuencia, el circuito Y 55 (Fig. 5) no es excitado, mientras que el circuito Y 70 es excitado. La señal en la línea 54 procedente del excitador de línea 52 es aplicada por medio del circuito O 68, de la línea 29 Siguiete Fuera, y de la línea 29a Siguiete Dentro del circuito lógico de palabras del almacén de palabras siguiente para activar el disparador primario o secundario del almacén de palabras siguiente. En el caso en que haya de ser



transferido la activación de un disparador primario o de un disparador secundario, no es excitada la salida de --
Seleccionar. Si un disparador primario o un disparador -
secundario está activado, la salida del disparador acti--
va un disparador de transferencia 50 el cual excita a una
línea 69 y por tanto a la línea 29 Siguiendo Fuera.

Operación de Leer

Para una operación de leer, la línea emisora -
14 deberá estar a una alta tensión y las líneas de bitios
11 y 12 a la tensión de referencia. La operación de leer
tiene lugar solamente en aquellos almacenes de palabras
que hayan sido seleccionados previamente activando el dis-
parador primario o el secundario. Según que en la opera--
ción vayan a intervenir los almacenes de palabras que ---
tienen activado el disparador primario o el disparador secundario,
son excitadas las puertas Y 61 ó 62 de todos los -
circuitos lógicos de palabras de acuerdo con la salida -
del descodificador 19. En aquellos almacenes de palabras
en que hay un disparador activado, la entrada H al exci--
tador de línea 52 está excitada y la línea 14 está sometida
a una alta tensión. En los demás almacenes de pala--
bras, puesto que ésta no es una operación de Seleccionar,
el circuito Y 65 está excitado y la línea 14 está puesta
a un potencial bajo, el efecto del cual es dirigir a la -
línea 14 cualquier corriente que circule por los transis-
tores T1 y T4 de las células 8 de almacenamiento asocia--
das (Fig. 2), impidiendo con ello que aparezcan señales -
erróneas en las líneas de bitios. Con referencia a la ---
Fig. 3, se verá que ninguno de los circuitos Y 32 a 36 --
están excitados durante una operación de leer, con el re-



sultado de que las líneas de bitios 11, 12 están al po-
tencial de referencia. La elevación del potencial en las
líneas 14 de aquellos almacenes de palabras que hayan --
sido seleccionados, desvía cualquier corriente que circu-
le en los transistores T1 y T4 de las células de las pa-
labras seleccionadas a las líneas de bitios. La operación
de Leer es por tanto una operación disyuntiva en órdenes
similares de palabras seleccionadas, apareciendo el re--
sultado en el registro de salida 9. Una operación de leer
tiene lugar solamente en aquellos órdenes de los almace-
nes de palabras para los cuales el disparador de máscara
40 está en el estado estable 0. Para permitir que ese con-
trol sea efectuado, cada línea de bitios 11, 12 está co-
nectada al registro de salida 9 a través de un circuito -
Y respectivo 71 (Fig. 1). Los circuitos Y 71 a los cuales
están conectados cada par de líneas de bitios tienen una
entrada común desde un inversor 72, el cual está excita-
do por la salida del circuito Y 41 en el circuito de en-
mascaramiento correspondientes 5 (Fig. 4). El circuito Y
41 es excitado cuando el disparador 40 está en el estado
estable 1 y cuando está teniendo lugar una operación de -
Leer. El efecto de la disposición que acaba de describir-
se es que los datos leídos a las líneas de bitios 11, 12
son pasados discriminadamente al registro de salida sola-
mente en aquellos órdenes para los cuales la máscara es -
0.

Operaciones de Escribir

Para una operación de Escribir, las tensiones -
a ser aplicadas a las líneas de bitios 11 y 12 son las -
mismas que las requeridas para una operación de Seleccio-



nar. Cuando no se requiere Escribir datos en una célula de palabras, las líneas de bitios se mantienen al potencial de referencia. No es necesario tomar medidas para este caso, como por ejemplo mediante el circuito Y 36 (Fig. 3) para la operación de Seleccionar, dado que, si no está excitada ninguna de las entradas a los excitadores de línea 30, 31, las salidas están al potencial de referencia. Para una operación de escribir, el potencial de la línea 13 colectora de palabras deberá ser bajado y deberá elevarse el potencial de la línea 14 emisora de palabras. En palabras seleccionadas la salida del disparador primario o secundario activado es aplicada a la entrada H del excitador de línea 52 y, a través del circuito Y 66 excitado por la línea 23 de salida de Escribir del descodificador 19, a la entrada 53 del excitador de línea 51. En palabras no seleccionadas, la entrada L al excitador de línea 52 está excitada como en una operación de leer, aislando con ello eficazmente esos almacenes de palabras de las líneas de bitios por garantizar que las señales en las líneas de bitios no producen efecto alguno en las células de datos que comprenden las palabras no seleccionadas.

Operaciones de Conmutar

Estas operaciones implican combinaciones de las operaciones de Seleccionar Siguiete y Leer, descritas en lo que antecede, pero con la condición de que se ignore la activación del registro de máscara. Para conseguir ésto, una línea 73 de Conmutar procedente del descodificador 19 (Fig. 1) está conectada a los circuitos Y 71 con objeto de superar el efecto del registro de máscara duran



24

te la lectura de salida, y está también conectada a los circuitos Y 74 y 75 en cada circuito de máscara 5 (Fig. 4), de modo que durante una operación de Conmutar las líneas de bitios 11b, 12b están conectadas respectivamente a las líneas de bitios 11a, 12a independientemente de cual sea la activación del disparador de máscara 40. Una operación de Conmutar puede también implicar la activación del registro de máscara, lo cual comprende leer una palabra seleccionada al disparador de máscara 40. Cuando la línea 20 de salida de Establecer Máscara procedente del descodificador 19 está excitada, los circuitos Y 48 y 49 son activados para conectar las líneas de bitios 11b, 12b a las entradas del disparador de máscara 40. Se han provisto medios de paso discriminado adecuados (no representados) bajo el control de la línea 20 de Establecer Máscara, para dirigir los datos por medio de la barra colectora 28a (Fig. 1) desde el registro de salida 9 al registro de entrada 2, donde marca las líneas de bitios 11b, 12b.

De la anterior descripción de las operaciones básicas de Seleccionar, Leer, Escribir, Siguiendo y Conmutar, puede verse que cabe imaginar una variedad de operaciones usando un sistema de reloj que tenga los dos subintervalos mencionados, aunque una operación puede requerir más de un intervalo de reloj para su ejecución.

La descripción de la anterior realización de una memoria asociativa de acuerdo con el invento se ha hecho en gran medida de un modo funcional, y se comprenderá que son posibles variaciones comprendidas dentro del alcance del invento, tal como queda definido en las rei-



21 OCT 1967

5 vindicaciones de la Nota adjunta. Por ejemplo, en la --
 práctica puede ser deseable combinar las funciones de los
 registros de entrada y de salida en un solo registro. --
 Además, para una aplicación particular de la memoria e-
 asociativa puede llegarse a comprobar que solamente se -
 requieran un número limitado de máscaras, quizás tan só-
 lo dos. En tal caso, puede omitirse el registro de máscaras
 y combinarse las máscaras con el registro de entrada
 como sistemas de puertas activadas por señales proceden-
 10 tes del descodificador.

15 La presente solicitud que corresponde a la pre-
 sentada en Gran Bretaña con fecha 5 de Octubre de 1.967,
 bajo el número 45.432/1967, se acoge a los beneficios -
 del Artículo 51 del vigente Estatuto sobre Propiedad In-
 dustrial.

20 - N O T A -

25 Los puntos de invención, propia y nueva, que -
 se presentan para que sean objeto de esta solicitud de -
 Patente de Invención en España por VEINTE años son los -
 siguientes:

- 30 1.- Una disposición de memoria asociativa para
 el almacenamiento de datos digitales que incluye un re--



gistro de entrada de órdenes múltiples y una pluralidad -
de almacenes de palabras de datos de órdenes múltiples, -
medios de comparación para comparar el contenido de datos
de uno o más órdenes del registro de entrada con el con-
tenido de datos de los mismos órdenes de cada uno de los
almacenes de palabras, estando adaptado cada almacén de
palabras para generar una señal de coincidencia respecti-
va cuando los datos comparados en el almacén de palabras
coinciden con los datos comparados en el registro de en-
trada, y teniendo cada almacén de palabras asociados con
el mismo una pluralidad de dispositivos biestables, en -
que se han provisto medios de selección para activar un
dispositivo biestable seleccionado en un estado estable -
predeterminado en respuesta a la generación de una señal
de coincidencia.

2.- Una disposición de memoria asociativa según
la reivindicación 1, en que los medios de selección están
adaptados para activar en el estado predeterminado un dis-
positivo seleccionado de la pluralidad de los que están -
asociados con un almacén de palabras que genera una señal
de coincidencia.

3.- Una disposición de memoria asociativa según
las reivindicaciones 1 ó 2, en que los medios de selección
están adaptados para activar en el estado predeterminado
un dispositivo seleccionado de la pluralidad de los que -
están asociados con un almacén de palabras que tiene una
relación de posición predeterminada con un almacén de pa-
labras que genera la señal de coincidencia.

4.- Una disposición de memoria asociativa según
la reivindicación 3, en que los medios de selección están



adaptados para activar en el estado predeterminado un dispositivo seleccionado de la pluralidad de los que están asociados con un almacén de palabras adyacente a un almacén de palabras que genera la señal de coincidencia.

5

5.- Una disposición de memoria asociativa según cualquiera de las reivindicaciones precedentes, que incluye medios de acceso para transferir datos desde cualquier almacén de palabras marcado por tener un dispositivo seleccionado de la pluralidad de los que están asociados en el estado estable predeterminado, a un registro de salida, o desde un registro de entrada a cualquier almacén de palabras marcado.

10

15

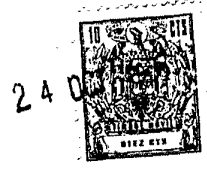
6.- Una disposición de memoria asociativa según la reivindicación 5, que incluye un registro de máscara de órdenes múltiples, cada orden de las cuales está adaptada para determinar si, al operar los medios de comparación ha de tener lugar una comparación entre los datos del mismo orden del registro de entrada y de los almacenes de palabras, y si, al operar los medios de acceso, debe tener lugar una transferencia de datos entre el mismo orden de cualquier almacén de palabras marcado y de los registros de entrada o de salida.

20

25

7.- Una disposición de memoria asociativa según la reivindicación 6, en que cada orden del registro de máscara incluye un disparador de máscara y está adaptado para al operar los medios de comparación, impedir la comparación entre el mismo orden del registro de entrada y de los almacenes de palabras si el disparador de máscara está en un estado estable, y está adaptado para, al operar los medios de acceso, impedir la transferencia de datos -

30



Esta Memoria consta de veintiocho hojas escritas a máquina por una sola de sus caras.

24 OCT 1968

Madrid,

P.A.

[Handwritten signature]
Alfonso de...
Dpto. de...

18-10-68/RTA.-



360,767

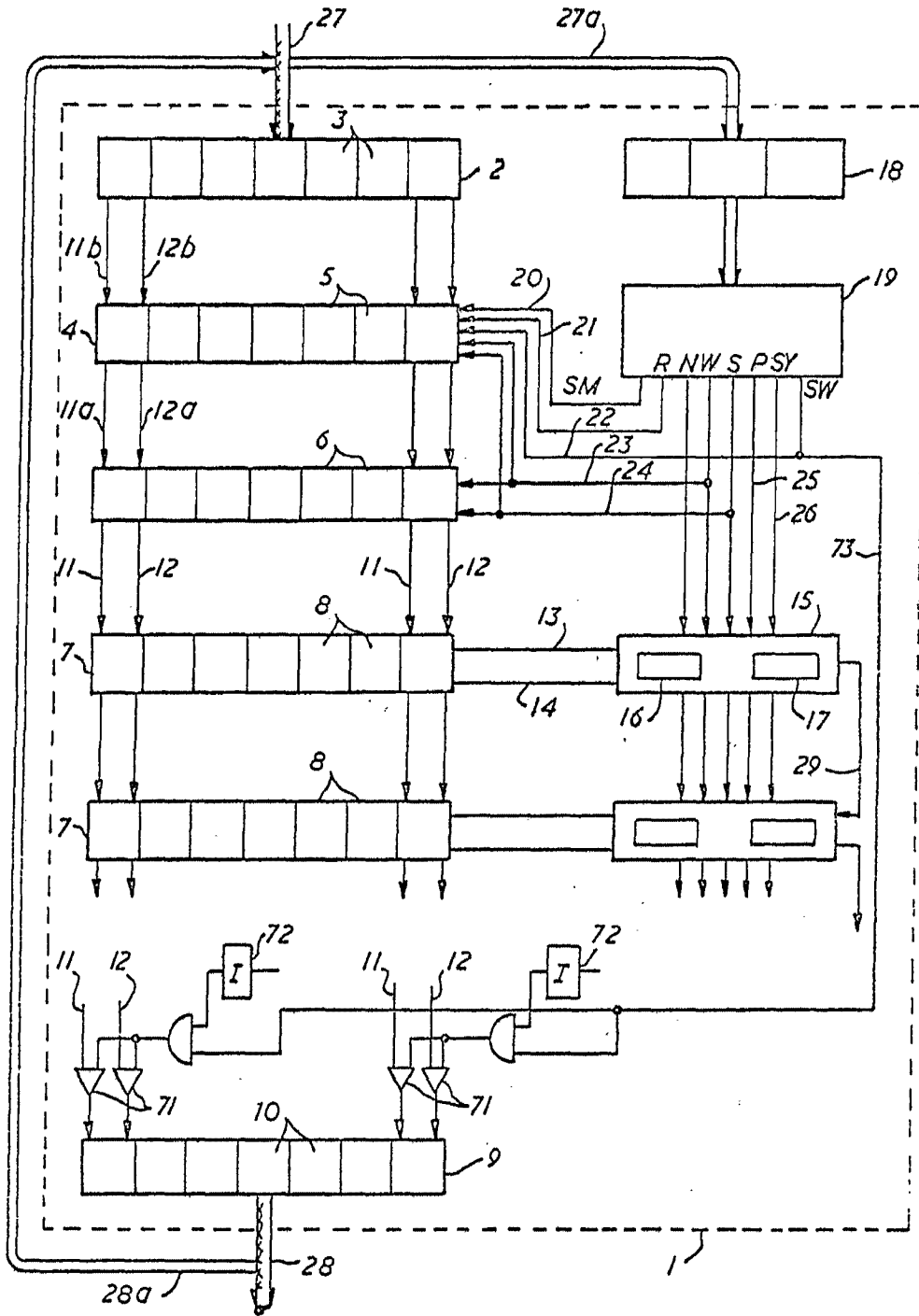


FIG. 1

Handwritten signature or initials.

Handwritten signature

FIG. 3

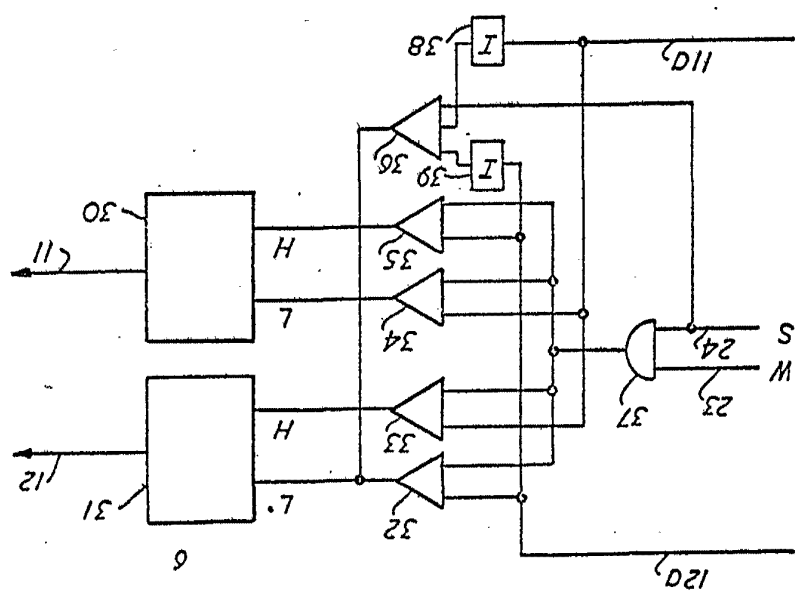
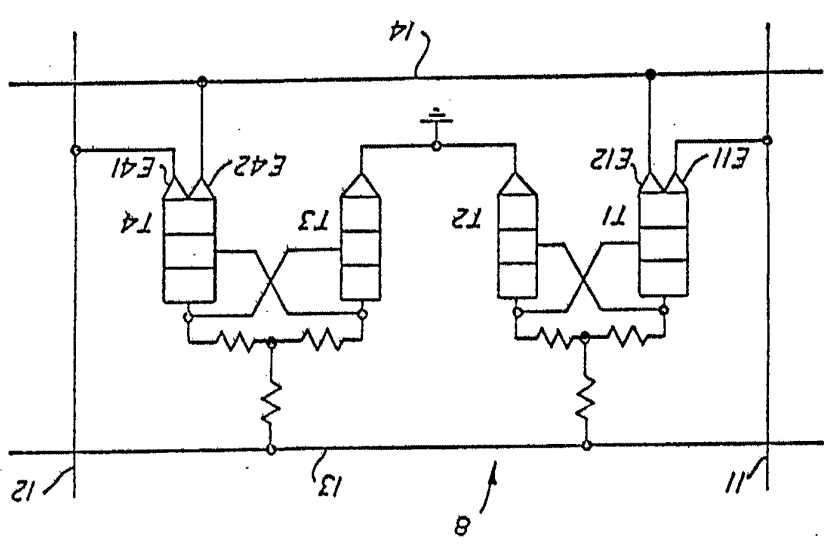


FIG. 2



388-167



