

358253

P.- 39.271

IBM Docket
LE 9-67-038

Memoria descriptiva



18 000 000

para solicitar PATENTE DE INVENCION

por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN SISTEMA CALCULADOR"
(Clase Internacional G06f)

14.10.68



Sumario de la exposición.

La presente invención se refiere a un sistema de máquina calculadora con los usuales dispositivos de entrada y salida, facilidades aritméticas, facilidades de reloj o marcación de tiempos, lógica de control asociada, y que

5 lleva incorporadas facilidades de memoria, por ejemplo, una memoria de núcleos, dispuesta de manera centralizada respecto a las demás facilidades del sistema y dotadas de una singular disposición de circuitos de control de instrucciones y acceso a la información para establecer una más

10 eficaz utilización de los equipos físicos. Fundamentalmente, la memoria de núcleos se halla dispuesta de manera usual en cuanto a la lectura, inscripción y transferencia de información se refiere; pero además de esto tiene unas

15 áreas particulares, con posibilidad de acceso, denominadas de direcciones de acceso especiales, para facilitar el tratamiento u ordenación tanto de instrucciones como de datos de información con una mínima cantidad de equipo físico exterior. El sistema funciona con sólo un único registro

20 de direcciones para tener acceso a la información tanto de instrucciones como de operandos. En un caso corriente, mediante el uso de las facilidades de acceso se toman los operandos y se colocan en la sección especial de direcciones de acceso de la memoria. A continuación, se obtiene

25 acceso a otro operando y se ejecuta la operación requerida, con uno de los operandos en la sección especial de direcciones a donde se llega por medios de acceso implícitos, en lugar de mediante las facilidades de acceso usuales. La disposición indicada exige un intervalo de tratamiento algo

30 más largo, pero permite la satisfactoria ejecución de

14.10.68



todo el tratamiento necesario, mediante el uso de una sola facilidad de acceso, esencialmente unitaria.

El sistema se considera de memoria centralizada, esto es, "centrado" en la memoria, ya que la memoria tiene intervención en prácticamente la totalidad de las operaciones efectuadas en el sistema. Así, por ejemplo, la memoria se usa para el almacenaje de datos e instrucciones, contiene registros de índice o fichero y direcciones de datos de entrada/salida, cómputos de longitudes de entrada/salida, formatos de edición, condiciones de teclas de mando u órdenes, y diversos vocablos especiales requeridos durante el tratamiento de la información.

El sistema funciona con arreglo a unos intervalos de marcación de tiempo prefijados, durante los cuales se ejecuta el acceso a las instrucciones y a los datos, las transferencias de entrada/salida, etc.; y en relación con el aspecto de centrado en la memoria del sistema, los circuitos de marcación de tiempos o de reloj están dispuestos para la permutación, para que sólo se pueda tener acceso a un único operando o a un par de operandos, según las circunstancias.

El sistema lleva incorporados diversos medios de cómputo (contadores) asociados a las mencionadas facilidades de acceso primarias para controlar la lectura y la inscripción de información tanto directa como secuencialmente, y en secuencia dentro de un bloque de información seleccionado. Esto último resulta particularmente ventajoso en las operaciones que exijan una obtención de acceso repetitiva de áreas de la memoria seleccionadas: como, por ejemplo, durante determinadas operaciones aritméticas,



la "recomplementación", las operaciones de multiplicar, y así sucesivamente.

Antecedentes de la invención.

5

(1) Campo

El campo de la invención abarca una amplia diversidad de aparatos de cálculo y de tratamiento u ordenación de datos, y en particular de aparatos dotados de alguna forma de medios de almacenaje o memoria para contener instrucciones y datos durante las operaciones de tratamiento. La invención se refiere en particular a la obtención de acceso a la memoria, los circuitos de marcación de tiempos y las disposiciones para manipular instrucciones y datos a fin de efectuar las operaciones requeridas. En relación con esto, la invención se refiere asimismo a las posibilidades de acceso y organización de la memoria de tales sistemas.

10

15

(2) Descripción de la técnica ya conocida.

20

25

30

En general, los sistemas de cálculo y tratamiento de datos de la técnica ya conocida dotados de facilidades de memoria llevan incorporados por lo menos dos medios de obtener acceso, para poder haberselas con operaciones en las que intervienen más de un operando. Estos sistemas vienen incluyendo posibilidades de acceso por separado, y por eso se caracterizan por la duplicación de tales posibilidades y por una cantidad proporcionalmente mayor de equipo físico, para efectuar las operaciones que normalmente han de hacerse. Los sistemas ya conocidos, en algunos casos, vienen incluyendo áreas de memoria de acceso espe-



cial, pero sólo en un sentido más bien restringido y para géneros de información especializados, tales como tablas aritméticas, tablas de descodificación o traducción, o similares.

5 En muchos de los casos, los sistemas de la técnica anterior a este invento llevan incorporados numerosos registros auxiliares, tales como registros de cerrojos, que sirven de registros de índice o de canal en las operaciones del sistema. Tales registros implican naturalmente
10 el empleo de un extenso equipo físico adicional, y son factor significativo en la configuración del sistema. En los sistemas tipo de la técnica ya conocida, el acceso a porciones menores de un bloque seleccionado de información en la memoria viene implicando por lo general una cantidad
15 indebida de manipulación de significativas direcciones de acceso de la memoria, tales como la dirección inicial del bloque. Efectuada una operación de este género, suele ser preciso transferir la dirección de iniciación a algún otro registro independiente. Entonces se pone en ciclo el
20 registro de direcciones de acceso de la memoria para poder tener acceso de manera secuencial a las porciones del bloque seleccionado. A continuación se vuelve a tener acceso a la dirección inicial o de arranque y se pone en el registro de direcciones de la memoria, si se necesita seguir
25 teniendo acceso al mismo bloque.

Resumen.

30 Conforme al presente invento, un sistema calculador está provisto de dispositivos de entrada y salida, circuitos de marcación de tiempos, lógica de control, una

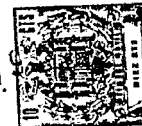


memoria de núcleos centralizada que tiene una pluralidad de lugares de acceso especiales predefinidos para guardar un vocablo de acceso de instrucción, un vocablo "A", un vocablo "B", un número de lugares de registros de índice y un número de lugares de registros de canal, en unión de las facilidades de acceso asociadas para obtener acceso a lugares de la memoria que normalmente no tienen asignación, así como a los lugares especiales. A los lugares de la memoria se puede tener acceso bajo el control de un contador de acceso a la memoria (STAC) y de un circuito descodificador, teniendo además el STAC un contador de dígitos y un contador de utilidad asociados. Para obtener acceso a cualquier bloque de información de la memoria, se introduce la dirección inicial o de arranque de un bloque en el contador de direcciones de acceso a la memoria (STAC), dirección que es interpretada por el circuito descodificador. Si se desea tener acceso secuencial a porciones del bloque seleccionado, se pone en ciclo el contador de dígitos y se superpone al circuito descodificador del STAC a este objeto. El contador de utilidad se utiliza en diversas circunstancias, tales como durante las operaciones de teclas de órdenes y las operaciones de "mudar", que implican la transferencia de datos de un lugar a otro de la memoria.

El sistema incluye asimismo medios de lógica para tener acceso automáticamente a los lugares de la memoria, con arreglo a unas rutinas implícitas predefinidas y sin utilizar el STAC (contador de acceso de la memoria). Así, puede obtenerse acceso a uno de los operandos por medio de la lógica implícita, y al otro mediante el contador de acceso de la memoria. Se logra así una economía en equipo físico exterior.



Los circuitos lógicos que intervienen para la obtención de acceso a la memoria, en particular al lugar del vocablo de acceso de instrucción (IAW), al lugar del vocablo "A" y al lugar del vocablo "B", se combinan con el contador de acceso a la memoria y el circuito descodificador de manera singular y única en su género, dando una amplia gama de posibilidades de tratamiento de datos e instrucciones con una mínima cantidad de equipo físico. Como ejemplo, en una operación que implique el acceso a dos operandos, se tiene acceso a la instrucción previamente definida en el programa en la secuencia normal de sucesos bajo el control del contenido del vocablo de acceso a la instrucción. La instrucción se lleva desde el área general de la memoria donde fué almacenada previamente bajo el control de la dirección contenida en el contador de acceso a la memoria, y se introduce en el vocablo A. Concurrentemente, se selecciona un registro de índice (base) indicado en la instrucción, para desarrollar la dirección de uno de los operandos, que se introduce entonces en el contador de acceso a la memoria. A continuación, se obtiene acceso al operando y se muda éste al vocablo B de la memoria. Al vocablo A, que contiene la instrucción, se obtiene acceso a fin de seleccionar el registro de índice apropiado para el desarrollo de la dirección de acceso del otro operando necesario. Se genera entonces esta dirección y se introduce en el contador de acceso a la memoria. Sigue luego la operación con los dos operandos, uno de ellos guardado ahora en el vocablo B, con acceso por medio de dirección predefinida implícita, mientras al otro se obtiene acceso desde algún otro lugar de la memoria, bajo el



control del contador de acceso a la memoria. De manera se
mejante prosigue una operación en la que intervenga única
mente un solo operando.

5 Objetos.

Es objeto importante de la presente invención un sistema calculador con una amplia gama de posibilidades de tratamiento de datos, conseguida con una mínima cantidad de equipo físico.

10 Otro objeto de la invención reside en un sistema calculador de memoria centralizada, y organizado de tal manera que prácticamente la totalidad de las actividades de tratamiento de datos e instrucciones implican la obten
ción de acceso a la memoria, reduciéndose así al mínimo la
15 necesidad de extensas cantidades de equipo físico exterior.

Es objeto particular de la presente invención un sistema calculador dotado de memoria central con acceso tan
to directo como secuencial a la información, o combinacio
nes de ambos, efectuado de manera eficaz.

20 Otro objeto más de la invención reside en un sistema calculador dotado de memoria central organizada con lugares de registro especiales predefinidos fácilmente ac
cesibles por medio de la lógica interna, así como de faci
lidades de acceso de tipo usual, disponibles en régimen
25 transitorio o semipermanente para almacenar diversas clases de información, entre las que se incluyen vocablos de instrucciones, vocablos de datos, lugares de registro de índice y lugares de información, asociados a dispositivos de entrada/salida.

30 Otro objeto de la invención reside en un sistema



calculador dotado de una configuración de equipo físico llevada a su grado óptimo, en el que las operaciones que normalmente exigen una duplicación de equipo físico se ejecutan, por el contrario, mediante técnicas que implican la utilización repetitiva, o compartida en el tiempo, de ciertos circuitos y elementos lógicos fundamentales.

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de la forma preferida de realización del invento que se ilustra en los dibujos adjuntos, en los cuales:

- La figura 1 es un esquema de un sistema de máquina calculadora dotada de diversos dispositivos de entrada y salida, circuitos de reloj, lógica de control, facilidades aritméticas, un número de registros especializados, una memoria de núcleos central con sección de direcciones de acceso especiales, medios asociados a la memoria para la lectura y la inscripción de información de o en ella, y otros medios entre los que se incluyen un contador de acceso a la memoria, un circuito descodificador, un contador numérico o de dígitos y un contador de utilidad, para efectuar la totalidad de las diversas operaciones de acceso requeridas en el sistema;

- La figura 2 es un esquema de marcación de tiempos de reloj, que ilustra la disposición en secuencia de impulsos desarrollada para obtener acceso a la memoria y efectuar decisiones lógicas mientras se opera con dos operandos P y Q;

- La figura 3 es un esquema de marcación de tiempos de reloj semejante al de la fig. 2, con la excepción



de que implica únicamente un solo operando P;

- La figura 4 ilustra un formato de información propuesto para el sistema de la figura 1;

5 - La figura 5 ilustra un número de facilidades de acceso a la memoria, entre las que se incluyen el contador de acceso a la memoria, el contador de dígitos y el contador de utilidad, en unión de los circuitos descodificadores asociados;

10 - La figura 6a ilustra la circulación de instrucciones y datos cuando interviene una instrucción de SS;

- La figura 6b es similar a la figura 6a, con la excepción de que en ella intervienen los formatos de instrucciones de SI, RX e IO;

15 - Las figuras 7a y 7b ilustran los elementos lógicos previstos en el sistema de la figura 1 para controlar los circuitos de acceso al contador de acceso a la memoria, al contador de dígitos y al contador de utilidad de la figura 5;

20 - La figura 8 representa un circuito de control de inversión de fase utilizado con la memoria del sistema de la figura 1;

25 - Las figuras 9a y 9b, dispuestas del modo que se indica en la figura 10, ilustran los circuitos de interrupción o conmutación y excitación relacionados con el desarrollo de corrientes de excitación en sentido X en la memoria de la figura 1;

30 - Las figuras 11a y 11b, dispuestas del modo que se indica en la figura 12, son semejantes a los esquemas de las figuras 9a y 9b y están relacionadas con el desarrollo de las corrientes de excitación en sentido Y en la me



moria de la figura 1;

- Las figuras 13 a 18 inclusive ilustran las siguientes secuencias operacionales:

- 5 la figura 13, el tiempo de acceso al formato de la instrucción de SS;
- la figura 14, el tiempo de acceso a los formatos de instrucciones de RX, IO, SI;
- 10 la figura 15, el tiempo de acceso a la condición de "enganchar" y reponer;
- la figura 16, el tiempo de acceso a "enganchar" y guardar;
- 15 la figura 17, las de restar, comparar, sumar, transferir;
- la figura 18, la de "apretar" y

- Las figuras 19 a 24 inclusive ilustran los disparadores de control X1-X6 y la lógica asociada.

20 Terminología.

En el presente caso se utiliza la siguiente terminología, que es presentada como referencia en el análisis que sigue:

I. GENERALIDADES

25 Registro A: Registro de cerrojo de 4 bitios utilizado con el registro S para operaciones aritméticas y para transferencia de datos de entrada/salida (I/O).

Vocablo A: Utilizado como vocablo auxiliar en la ejecución de ciertas instrucciones.

30 Acumulador: Acumula la suma (o diferencia) binaria (o deci



mal) del contenido del registro A y del registro S. La salida del acumulador da simplemente el resultado lógico de las entradas mientras están presentes. No retiene el resultado.

5 AN: Bloque de control para devolver o reinscribir datos del registro A a la memoria.

Alfa (X) N: Bloque de control para inscribir datos de tiempo de P pasándolos del acumulador a la memoria.

10 A: Circuito lógico de coincidencia. Da salida cuando se satisfacen todas las entradas.

Inversor de coincidencia (AI): Circuito básico que da salida 0 cuando todas las entradas están a nivel 1, para la función de coincidencia con inversión. Si una cualquiera de las entradas está a nivel 0, la salida es un 1 lógico, y el circuito desempeña la función disyuntiva negativa con inversión. Cuando se utilicen una sola entrada y una sola salida, la salida será siempre la inversa de la entrada, y el circuito actúa como inversor.

20 Inversor de coincidencia y disyuntiva (AOI): Circuito de coincidencia y disyuntiva con inversión que tiene una pluralidad de entradas de rama disyuntiva, teniendo cada rama un número de entradas de coincidencia.

25 Instrucción de operación aritmética: Instrucción que dirige el sistema a ejecutar una operación de sumar, restar, comparar o transferir con un vocablo P y un vocablo Q cuyas direcciones de acceso están contenidas en la instrucción.

30 ATTN X: Cerrojos de atención del dispositivo de entrada/sa

190



lida. La X representa el número del dispositivo.

Vocablo B: Utilizado como vocablo auxiliar en la ejecución de ciertas instrucciones.

5 Instrucción de "enganchar" (o de cambio): Instrucción que permite el cambio de secuencia de las etapas del programa según se encuentren los cerrojos de "alto-bajo-igual" o de desbordamiento, o bien incondicionalmente.

10 Byte: Unidad de datos de 8 bitios. La combinación codificada dentro de un byte puede representar datos numéricos, alfabéticos, instrucciones o datos con fines especiales. El código interno de caracteres de 8 bitios es EBCDIC.

15 Arrastre (Dígito de pase): Guarda el dígito de pase aritmético procedente de la posición de bitio de orden superior del acumulador.

20 Registros de canal: Doce registros de un solo vocablo, numerados de 4 a F, que se usan en unión de 12 canales que van a dispositivos de I/O (entrada/salida). Cada registro hace uso de 2 bytes para guardar la dirección a la que su dispositivo de I/O asociado ha de tener acceso. Esta dirección viene adelantada por el adaptador de superposición de I/O, que actúa como accesorio de canal para el ordenador central o CPU (unidad central de tratamiento) al transferirse los datos por el canal. En uno de los bytes del registro de canal se guarda un cómputo de longitud, que se reduce en valor al ser transferidos los datos a través del canal. El byte restante puede usarse para fines especiales, tales como el almacenaje transitorio de

25

30



una verificación o comprobación cíclica en las operaciones de lectura/registro de archivo.

5 Reloj: Un contador de 4 disparadores excitado por un oscilador para dar la marcación o regulación de tiempos fundamental de la máquina. Se incorpora principalmente para el ciclo de almacenaje. Véanse las figuras 2 y 3.

10 Condiciones de teclas de órdenes: Almacena 16 condiciones que pueden ser activadas o repuestas manualmente, o bien pueden ser repuestas por el programa. El "biticuno" de cada dígito almacena la condición.

15 Lógica de control: Regula la circulación de datos con arreglo a la operación deseada, especificada por el registro de operaciones (registro OP) y mantiene la siguiente secuencia lógica de acceso y ejecución de las instrucciones:

20 Acceso a la instrucción: Durante este tiempo, se toma la instrucción leyéndola de la memoria de núcleos y se preparan los operandos para la fase de ejecución. La marcación de tiempos que intervienen en la obtención de acceso es función del formato de la instrucción.

25 Ejecución de la instrucción: Durante este tiempo, se ejecuta la instrucción con los datos preparados en el tiempo de acceso. Al final de este tiempo, se produce el siguiente acceso a instrucción, sobre la instrucción que sigue en la secuencia.

30 Memoria de núcleos: En la memoria de núcleos se utilizan núcleos magnéticos para el almacenaje de datos, instrucciones, registros de índice, direcciones de da-



5 tos I/O, cálculos de longitudes de I/O, formatos de edición, el acceso a las instrucciones, las condiciones de teclas de órdenes y los vocablos especiales para el tratamiento. A la memoria se tiene acceso a base de 4 bitsios en paralelo, con un periodo de ciclo de almacenaje de 12 microsegundos. El ciclo de reloj, representado en la figura 2, está organizado a base de dos "lecturas" seguidas de dos "inscripciones". La organización permite operaciones de dos direcciones de acceso, especialmente las que requieren el empleo de un acumulador. En un número de operaciones, sólo se ponen en ciclo los tiempos o periodos primero de "leer" y segundo de "inscribir".

10 Contador de dígitos: Contador de disparadores de 5 bitsios para la selección de dígitos en el acceso a instrucciones y la ejecución de operaciones. El contador puede contar en uno u otro sentido. Los disparadores se designan a veces con el símbolo "T".

15 Directa: Implica que la instrucción tiene señales de acceso directo para los vocablos P. y Q.

20 DIV: Término lógico generado para indicar que en el registro N está el código de operación de dividir, durante la fase de ejecución de una instrucción.

 Doble vocablo: 8 bytes.

25 EDAC: Término lógico generado para indicar que en el registro N está el código de operación para editar o "soltar" durante la fase de ejecución de una instrucción.

30 Control de edición: El control de la operación de editar se divide en fixar dirección y fixar datos. Durante



la fase de fijar dirección, puede editarse el contenido del vocablo de acceso de la instrucción. Durante la de fijar datos, puede modificarse el contenido del byte al que se dirige el vocablo de acceso de la instrucción.

5

Cerrojos de Alto-bajo-igual y desbordamiento: Juego de circuitos de cerrojo (I0, I1, I2, I3) que se utilizan principalmente para indicar el resultado de la comparación de dos vocablos, principalmente por medio de resta o sustracción. Se verifica el estado de los cerrojos para determinar si es necesaria una operación de "enganche". Pueden activarse en otras circunstancias, tales como en operaciones de I/O, ensayo de bitios individuales, desbordamiento u otras operaciones aritméticas.

10

15

I: Circuito inversor lógico; la salida es inversa de la entrada.

IA: Tiempo de acceso. Parte de la secuencia de la máquina en la cual se obtiene acceso a la instrucción y se prepara para la fase de ejecución.

20

IE: Tiempo de ejecución. Parte de la secuencia de la máquina en la cual se ejecuta la instrucción de acuerdo con el código de la operación.

I0, I1, I2, I3: Cerrojos que guardan las condiciones de alto, bajo, igual y desbordamiento, respectivamente.

25

Adaptador de superposición de I/O, e interrupción: Se dispone de un adaptador de superposición de I/O. Puede ejecutar una operación de transferir I/O con la introducción o asiento con 10 teclas, las teclas de ordenes, la máquina de escribir primaria o, a discre

30



ción, la introducción con teclado alfa. Todos estos controles son directos, lo que quiere decir que el ordenador central (CPU) no está efectuando tratamiento mientras tiene lugar la transferencia. La superposición de I/O es necesaria para controlar todos los demás dispositivos de I/O. Asimismo, puede superponerse la máquina de escribir primaria.

Un dispositivo de I/O se clasifica como "incremental" o como de "irrupción". El dispositivo "incremental" debe poderse "trabar" con cualquier carácter. La retracción que viene del dispositivo indica cuando puede transmitir o recibir datos. Si no se dispone de servicio con el ordenador central (CPU) durante el período, el dispositivo debe "bloquearse" y esperar hasta que se dé servicio. Un dispositivo de "irrupción" no es capaz de "trabarse" con ningún carácter. Por consiguiente, una vez iniciada una transferencia, se produce la circulación de datos a la velocidad del dispositivo, y todas las demás operaciones con ordenador central y con dispositivo de I/O incremental esperan. Se reanudan todas las operaciones donde se suspendieron después de terminada la operación de irrupción.

El ordenador central (CPU) permite que se produzca una interrupción para dar servicio a un dispositivo incremental al final de una instrucción cualquiera, mientras se está ejecutando una instrucción manual, o bien mientras hay una instrucción de transferir o de control de I/O esperando en su dispositivo para completar una operación anterior.



- Registros de índice: Ocho registros binarios numerados de 8 a 15. Guardan datos a utilizar para la generación de direcciones de acceso efectivas cuando se especifica en la posición de acceso de una instrucción. Hasta en 15 bitios binarios se codifica el valor de los datos. El signo se guarda como 16º bitio, con 0 para el signo más y 1 para el menos. Los números negativos se guardan en la forma de complemento a 2. Los registros pueden modificarse con las instrucciones RX binarias.
- 5
- 10
- Indirecta (P y/o Q): Indica que un lugar de la memoria al que se ha tenido acceso por medio de una instrucción contiene la dirección efectiva y real de un operando, sea el vocablo P o el vocablo Q.
- 15
- Control de inhibición: Regula la inscripción de unos y ceros en la memoria de núcleos. La inscripción puede guardar el estado sea del registro A, del registro S o de la salida del acumulador.
- 20
- Vocablo de acceso de instrucción (IAW): Guarda la dirección de acceso de la instrucción que esté siendo utilizada por el ordenador central o CPU, y se actualiza antes de tener acceso a cada instrucción. Toda instrucción de cambio o "enganche" que siga adelante (tenga "éxito") modifica este vocablo para efectuar el enganche.
- 25
- Invertir: Implica una inversión lógica de 1 a 0 ó de 0 a 1.
- Salto: Sinónimo de "enganche" o cambio.
- LOP: Término lógico generado para indicar que en el registro N está el código de operación para una operación lógica durante la fase de ejecución de una instrucción.
- 30



- 5 Cerrojo: Circuito biestable de almacenaje que normalmente tiene un estado (0) y puede ponerse o activarse a otro estado (1) al aplicársele a su entrada una señal. Tal como aquí se usa, este término implica una operación de activación del circuito y la sucesiva realimentación o retroacción desde la salida del circuito para "trabarlo" o retenerlo en el estado al que acaba de ser activado.
- 10 Secuencia de enlace: Secuencia utilizada durante una operación de cambio o enganche, para guardar el lugar de la instrucción que se ha interrumpido y a la que el programa debe volver cuando se complete la subrutina a la que se ha cambiado.
- 15 Manual (MAN): introducción manual.
- MCB: Byte de mudar o comparar.
- MR: Reposición magistral. Breve intervalo de tiempo que tiene lugar tras cada IA y tras cada IE. Utilizado para reponer diversos dispositivos biestables que se usaron durante la operación precedente.
- 20 Registro N (No, N1, N2, etc.): Denominación sinónima a la de registro de código de operaciones.
- Ausencia (NOT): Inversión lógica indicada por (\bar{X}) , $T\bar{2}$, $T\bar{4}$, etc.
- 25 Registro OP: Registro de cerrojos de 8 bitios que guarda un código de operación (código OP) mientras se está ejecutando una operación.
- (0): Término lógico que implica una salida procedente de un bloque lógico cuando se satisface una cualquiera de varias entradas (disyuntiva).
- 30 Tiempo P: Intervalo de tiempo definido por TP.



Vocablo P: Vocablo al que se tiene acceso mediante el campo de direcciones P de la instrucción. Sinónimo de operando 1.

5 Apretar: Término lógico generado para indicar que en el registro N está el código de operación para "apretar" durante la fase de ejecución de una instrucción.

Tiempo Q: Intervalo de tiempo definido por la ausencia o inversión de TP (\overline{TP}).

10 Vocablo Q: Vocablo al que se tiene acceso mediante el campo de direcciones Q de la instrucción. Sinónimo de operando 2.

Vocablo cuádruple, o cuadrete (QUAD): 16 bytes.

15 Leer/inscribir: Leer un núcleo implica descubrir si tiene un 1 ó un 0. Inscribir en él implica guardar un 1 en el núcleo.

Leer/Leer/inscribir/inscribir (RRWW): Secuencia larga de señales de leer/inscribir para dos operaciones de acceso.

20 Leer/inscribir (RW): Secuencia abreviada para controlar la memoria de acceso para operaciones simples de acceso; y para otras lógicas.

S: El registro S contiene el código para el signo menos.

SBCD: El registro S contiene un código decimal válido (BCD), esto es, un valor binario menor que diez.

25 SCAT: Término lógico generado para indicar que en el registro N está el código de operación para restar (substraer), comparar, sumar (añadir) o transferir, durante la fase de ejecución de una instrucción.

30 Registro S: Registro de cerrojos de 4 bits que se usa para el almacenaje transitorio de salidas proceden-



tes de los amplificadores S (de percepción).

Amplificador de percepción: Se usan cuatro amplificadores de percepción para leer la memoria de núcleos. Es éste el único camino de salida de los datos de la memoria.

5

Vocablo simple o individual: 4 bytes.

Direcciones de acceso especiales: Los 144 primeros bytes de la memoria de núcleos se usan para direcciones de acceso especiales. Se tiene acceso a ellas sin el empleo de la descodificación por STAC, de modo que pueden utilizarse conjuntamente unos con otros en ciertas operaciones. A ninguno de estos vocablos se tiene acceso específicamente mediante el programa; se deducen simplemente por medio de las instrucciones.

10

15

STAC: Es éste un registro de disparadores que puede dirigirse a cualquier semi-byte de la memoria, y que puede contar hacia arriba (en sentido directo) en secuencia. Los 5 bitios de orden inferior no siempre se usan para obtener acceso. Tanto el contador U como el contador de dígitos pueden suplir la obtención de acceso dada por estos bitios. La obtención de acceso mediante la descodificación de STAC está representada en la fig. 5. Los disparadores se designan a veces con el símbolo "Y".

20

25

TR e inversión de TR (\overline{TR}): TR define el tiempo de leer, y \overline{TR} define el tiempo de inscribir.

Disparador: Circuito biestable de almacenaje que normalmente tiene un estado (0) y puede activarse o ponerse a otro estado (1) al serle aplicadas adecuadamen

30

14.10.68



te unas señales de entrada. El circuito puede ponerse en el estado de (1) condicionando primero la entrada de barrera disyuntiva de corriente continua y aplicando un desplazamiento de tensión de sentido negativo en la correspondiente entrada de corriente alterna. También se dispone de un par de entradas semejantes para reponer el dispositivo en el estado de (0).

Contador de utilidad (U): Contador de 4 disparadores o basculas que puede contar al revés, en forma binaria, desde 15 a 0. Se usa a veces para tener acceso a datos almacenados en la memoria de núcleos como se indica en la fig. 5. Estos disparadores o vascúlas se designan a veces con el símbolo "U".

Vocablos sin asignación: Existen 7 vocablos simples sin asignación, para uso en características especiales, que pueden sumarse.

Control de inscribir: Regula la inscripción de información en la memoria de núcleos, según lo determinen los bloques AN, Alfa N ó SN.

Registro Y: Sinónimo de STAC

* (Asterisco): Símbolo indicativo de que un término está esencialmente relacionado con el nivel lógico que acompaña al símbolo.

EXPLICACION DE LOS TERMINOS LOGICOS

II. Terminología del RELOJ

TPR Primer tiempo de lectura en el ciclo de leer/leer/ escribir/escribir.



- TQR Segundo tiempo de lectura en el ciclo
- QW Primer tiempo de inscribir en el ciclo.
- TPW Segundo tiempo de inscribir en el ciclo.
- 5 PSET Indica que el ciclo de reloj fundamental va a ser simplemente leer/inscribir. Obligando al disparador P-Q a pasar al estado "P", se elimina el tiempo TQ. El tiempo de dígitos es de 12 microsegundos, en lugar de 24 microsegundos.
- 10 TX Tiempo que tiene lugar durante los 4 microsegundos del medio de cada tiempo de leer. Se usa a menudo para marcar el tiempo de activación o de reposición de los cerrojos.
- 15 TY Ultima mitad del ciclo de leer o de inscribir. Es de 4 microsegundos de longitud o duración en tiempo de leer, y de 2 microsegundos en tiempo de inscribir.
- LS Tiempo que se superpone a la transición de TPW a TPR (esto es, el final de un tiempo de dígitos).
- 20 TB Impulso de muestra que cae con TY.
- TDL Impulso de muestra que cae al caer TY con LS en activo (así, tiene lugar al principio de cada tiempo TPR).
- LSTPR Término generado que define los 2 primeros microsegundos del tiempo TPR.
- 25 TPRTYLS Término generado que define la última mitad del tiempo TPR.
- TPWLS Término generado que define la primera mitad del tiempo TPW.
- 30 TXTY Función generada que define un tiempo de 2 microsegundos en el tiempo de lectura.



TN Tiempo definido por un circuito monoestable de disparo único, disparado con términos de reloj y excitado por el oscilador. Se usa para seleccionar corriente de memoria.

5 TΔ Señal de reloj sinónima de TDL.

III. Terminología de la MEMORIA

10 R/W M Término de disparo o franqueo de paso que selecciona los adecuados circuitos de GMS para obtener acceso al lugar especificado por los disparadores "Y". Así, significa memoria de leer/inscribir.

R/W R Tiene acceso al registro de índice especificado por los cerrojos B. Significa registro de leer/inscribir.

R/W IAW Vocablo de acceso de instrucción de leer/inscribir. Este término selecciona tan sólo este lugar especial.

15 R/W A Vocablo A de leer/inscribir. Es éste un lugar especial de igual longitud que un vocablo doble (8 bytes).

R/W B Vocablo B de leer/inscribir. Este vocablo especial es un cuadrore (vocablo de 16 bytes).

20 R/W CR Registro de canal de leer/inscribir. El registro de canal a seleccionar depende de cuál dispositivo de I/O se seleccione.

25 R/W IND Vocablo indicador de leer/inscribir. Los indicadores de núcleos se guardan como bits uno de los dígitos de este vocablo doble especial. Un indicador particular se selecciona poniendo el contador U al citado número indicador y activando o poniendo a nivel alto DWU (dígitos) con el contador U).

30 SN Inscribir desde el registro S. Cuando este término está en activo, los datos del registro S se inscri



ben, en el tiempo TW, en el lugar de la memoria que se haya tenido acceso, cualquiera que sea.

- AN Inscribir desde el registro A.
- BEN Inscribir desde la salida del acumulador.
- 5 DWY Dígitos con los disparadores Y. Cuando este término está en activo, el contador de dígitos no selecciona los dígitos. Son seleccionados por Y10, Y11 e Y12.
- DWU Dígitos con los disparadores U. Este término hace que los dígitos se seleccionen con arreglo al estado del contador de utilidad.
- 10 DBL Este término está en activo cuando el operando que se está seleccionando es un vocablo doble. Hace que se muestre el bitio 8 del contador de dígitos para un acceso adecuado.
- 15 QUAD Este término hace que se muestren T8 y T16 (los bitios 8 y 16) para poder tener acceso adecuadamente a un vocablo cuádruple.

IV. Terminología del CONTADOR DE DIGITOS

- 20 T1 bitio 1 del contador
- T2 bitio 2 del contador
- T4 bitio 4 del contador
- T8 bitio 8 del contador
- T16 bitio 16 del contador

25 El contador de dígitos cuenta normalmente de cero a siete, o al revés. T8 se activará sólo si el término DBL está en activo. Igualmente, T16 se activará solamente cuando esté en activo QUAD.

30 El contador de dígitos puede contar en sentido directo (ascendente) o inverso (descendente), según cuál



de los términos de barrera (D UP ó D DOWN) esté en ac
o a nivel alto.

Si está activado T8 ó T16, cada uno se desactiva
rá por sí solo en el instante apropiado, aun cuando no es
5 tén en activo DBL ni QUAD.

Solo las puertas "de conexión" dependen de DBL
y QUAD.

D UP término de barrera que selecciona la lógica de cóm-
puto ascendente o en sentido directo.

10 D DOWN término de barrera para contar al revés (en senti-
do descendente).

La entrada a los disparadores del contador de
dígitos es TDL. Así, pues, el contador puede cambiar de es
tado solamente al principio del tiempo TPR. Cambiará de
15 estado sólo si se le activa o dispara para ello.

El contador de dígitos se repone a cada reposi-
ción magistral (señal MR).

DO, D1 Tiempos de dígitos generados definidos por la to-
talidad de los cinco disparadores T.

20 D2, D3,)
D4, D5,) Tiempos de dígitos generados definidos solamente
D6, D7,) por T1, T2 y T4.

TC Función generada que define el último dígito de
25 un operando, según esté DBL, QUAD o la lógica de
semivocablos.

V. Terminología del CONTADOR Y

30 El contador Y es el contador de acceso de la me-
moria (STAC).



Cuenta medio byte cada vez.

- Y42, Y41 Bitios 2 y 1 del cuarto dígito de la dirección de acceso.
- 5 Y38, Y34) Bitios 8, 4, 2, 1 del tercer dígito de la dirección de acceso.
Y32, Y31)
- Y28, Y24) Bitios 8, 4, 2, 1 del segundo dígito de la dirección de acceso.
Y22, Y21)
- Y18, Y14) Bitios 8, 4, 2, 1 del primer dígito de la dirección.
Y12, Y11)
- 10 Y10 Disparador para especificar medio byte mientras se efectúa el acceso con DWY. Cuando está activado Y10 se tiene acceso a la mitad de dígitos del byte. La mitad de zona se selecciona cuando Y10 está desactivado.
- 15 YUP Término de barrera para cambiar de estado los disparadores Y al final de TPW.
- RST Y El término que repone a cero todos los disparadores Y (reposición de corriente continua).
- 20 BE TO Y Término de barrera para activar los disparadores Y con arreglo a la salida del acumulador. Es éste el único camino para activar dichos disparadores Y. Es de notar que, si el registro A está despejado, los BE están igual que el registro S.
- 25 Como el contador Y está realizado en forma de contador de ondulación parcial, la mitad de los disparadores Y están activados a la corriente continua, y los demás se activan por medio de la lógica de barreras de activación con corriente alterna.
- 30



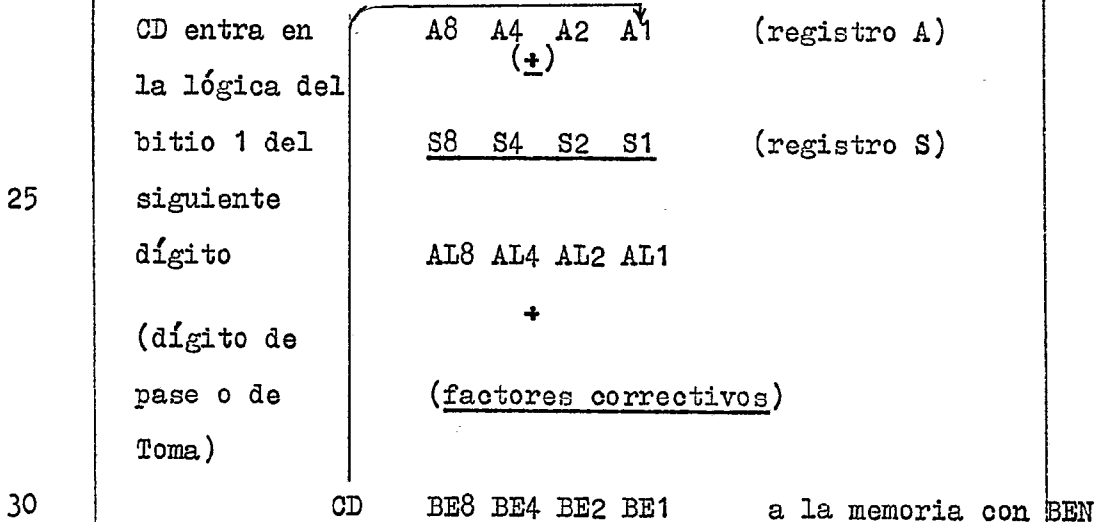
VI. Terminología del CONTADOR U:

El contador U es el contador de utilidad, y cuenta sólo en sentido inverso o descendiente.

- U1 Bitio uno del contador U
- 5 U2 Bitio dos del contador U
- U4 Bitio cuatro del contador U
- U8 Bitio ocho del contador U
- U DOWN Término de barrera para contar al revés con el contador U. De activarse, cambia de estado al principio del tiempo TPR.
- 10 BE TO U Término de barrera para transferir la salida del acumulador a los disparadores U. La lógica va a las barreras de activación de corriente alterna; no es activación de corriente continua.
- 15 RST U El término que repone a todos ceros los disparadores U (reposición de corriente continua).
- $$\left. \begin{array}{l} U = 0 \\ U \neq 0 \\ U = 1 \end{array} \right\} \text{Funciones generadas que muestrean en todo momento el estado de los disparadores U.}$$

VII. Terminología del ACUMULADOR

La configuración del acumulador es





SIX Cuando este término está en activo, se suman los factores correctivos para dar sólo resultados BCD en los disparadores BE.

5

NEG Este término hace que el acumulador reste. Los dígitos de pase o "lleva" (tanto para los bitios como para el dígito) se convierten en tomas.

$\frac{AL = 0}{AL = 0}$ Términos generados que muestrean los disparadores AL. Se usan a menudo en la comparación de datos en los registros A y S.

10

INHCDON Este término impide que el disparador de arrastre de dígitos de pase se active al final del dígito aun cuando la suma lo haría normalmente de estar en activo. Este término de inhibición se suele usar para el dígito de signo en la aritmética decimal, porque los signos (1111 ó 1101) no son BCD.

15

DESCRIPCION DETALLADA

Descripción del sistema.

20

A continuación se hace referencia a la figura 1, que ilustra una propuesta de configuración de sistema a base de un aparato ordenador y calculador que lleva incorporado un número de rasgos característicos especiales conforme al presente invento. El sistema incluye una memoria de núcleos 1 dotada de un área especial de acceso la y que posee los usuales circuitos amplificadores de percepción 2 para leer información y los circuitos de control de inscribir 3 para restablecer la información en la memoria 1. Todas las operaciones del sistema están gobernadas por un bloque lógico 4 y con

25

30



arreglo a unas secuencias de marcación de tiempos por impulsos establecidas por un reloj 5. El sistema funciona con arreglo a un programa almacenado que se introduce en él de manera usual y se guarda en la memoria 1 para tener acceso al mismo de modo secuencial en general. A medida que se obtiene acceso a las instrucciones, éstas son interpretadas, los códigos de operación en ellas contenidos se introducen en un registro de códigos de operación 6, y otras porciones de las instrucciones sirven para desarrollar direcciones de acceso a los datos necesarios para la operación. En algunos casos, una instrucción contendrá datos para uso inmediato. El código de operación introducido en el registro 6 controla la lógica 4 por medio de la línea 7, y llegado el caso controla el acceso a los datos de la memoria 1, el acceso a otras instrucciones según convenga, las operaciones aritméticas y operaciones variadas de otras clases. Los datos van y vienen de la memoria a través de un registro S (10) y de un registro A (designado con el número 11). Los operandos del registro S 10 y del registro A 11 son tratados, por lo menos en una operación aritmética, por medio de un acumulador 12 que puede hacer se funcionar sea en el modo binario, sea en el decimal. El acumulador 12 lleva asociado un disparador 13 de dígitos de pase, y un circuito 14 indicador de condición o estado, para poner de manifiesto las condiciones de alto, bajo, igual y desbordamiento de los datos que pasan por el acumulador 12.

El sistema incluye un número de dispositivos fundamentales de entrada/salida (de I/O) indicados, en el recuadro 17, como unidad de 10 teclas, teclado alfanumérico,



teclas de órdenes y una máquina de escribir primaria. Se prevé la transferencia de datos hasta y desde estos dispositivos, en unión de las posibilidades de edición, por medio del bloque o recuadro 18. Se puede hacer uso de otros dispositivos de entrada/salida adicionales, tales como una máquina de escribir 20, un lector de fichas 21, un perforador de fichas 22, etc., conectados por medio de la lógica de control 23, 24 y 25 asociada, y de un adaptador de superposición 30 de entrada/salida (I/O), para su incorporación al sistema según lo exijan las circunstancias.

El sistema incluye un contador simple de acceso a la memoria (STAC) 32 y un circuito descodificador 33 asociado que tiene una sección especial 33a para la selección de direcciones de acceso. El sistema comprende además un contador de dígitos 35 y un contador de utilidad 36 que se usan en conexión con la lógica de control 4 y con el circuito descodificador 33, y en particular con la sección 33a de selección de acceso especial para controlar el acceso de información a la memoria 1. Prácticamente todos los tipos de operaciones en el sistema de la figura 1 implican la obtención de acceso a los lugares de la memoria 1, incluidos, en diversas circunstancias, los lugares de direcciones de acceso especiales que más adelante se describirán con detalle. Como se pone de manifiesto en el esquema del sistema, la memoria 1 es una parte dominante del sistema, manteniéndose al mínimo el equipo físico exterior a la memoria 1. El acceso de información contenida en la memoria 1 corresponde principalmente al contador 32 de direcciones de acceso, único contador previsto para acceso a la memoria; y, con los métodos especiales de acceso des

critos, el sistema funciona de manera inusitadamente eficaz con un mínimo de equipo físico y, sin embargo, con una considerable capacidad de tratamiento de datos.

Es interesante hacer notar que el adaptador 30 de superposición de entrada/salida (I/O) permite funcionar al mismo tiempo a los dispositivos de entrada/salida a él conectados, tales como los dispositivos 20-22, en simultaneidad con las operaciones de tratamiento de datos del sistema. Esto es, el adaptador de superposición 30 permite que la memoria de núcleos 1 se comparta en el tiempo con las facilidades de tratamiento centralizado de datos, incluidos elementos tales como el acumulador 12 por una parte, y los diversos dispositivos de entrada/salida por la otra.

Si así conviene, el sistema puede proveerse de facilidades para manipular dispositivos que funcionen sea sobre una base incremental, sea sobre una base de interrupción.

Reloj

Los circuitos de reloj 5 (fig. 1) suministran secuencias de impulsos en dos modos de trabajo, como se ilustra en las figs. 2 y 3. La fig. 2 puede considerarse como representativa de la secuencia normal de marcación de tiempos del reloj, con el desarrollo de los impulsos necesarios para leer e inscribir cada uno de dos operandos designados por los símbolos P y Q, respectivamente. La secuencia implica las etapas de leer P, leer Q, inscribir Q e inscribir P, por ese orden. Fundamentalmente, como es corriente, los impulsos de reloj se derivan de un oscilador que funciona con arreglo a una frecuencia prefijada, tal como la de 500 kilohertzios (kHz). El oscilador básico excita los



5 circuitos disparadores incluidos en el bloque de circuitos de reloj 5 (fig. 1), para derivar secuencias de impulsos designadas TP, TR, TX, TY, TN y LS. La lectura y la inscripción de información en la memoria puede establecerse sobre cualquier base cíclica conveniente, y en el caso supuesto se ilustra como de un periodo de 24 microsegundos (us). El desarrollo de corriente de semiselección para las direcciones X e Y en la memoria 1 se representa en la parte inferior de la figura 2.

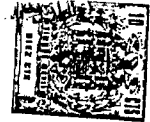
10 Cuando el funcionamiento del sistema exige el acceso a un solo operando, se permuta la secuencia de reloj por la secuencia de impulsos representada en la fig. 3, que implica sólo una secuencia de leer P e inscribir P. Son ejemplos de tales operaciones el cambio o desplazamiento de columna, la carga de un registro exterior partiendo de un lugar de la memoria, etc. El desarrollo de corrientes de semiselección para la memoria 1 es semejante al indicado en la fig. 2.

15 20 Los diagramas de tiempos de las figs. 2 y 3 se dan a título meramente ilustrativo, ya que en el sistema de la fig. 1 puede emplearse una secuencia cualquiera de tiempos conveniente.

Memoria con sección de direcciones de acceso especiales.

25 Con arreglo a las disposiciones de la presente invención, la memoria 1 (fig. 1) está organizada con un gran número de lugares de vocablo a los que puede tenerse acceso de manera usual, y además comprende una valiosa porción de direcciones de acceso especiales, que resulta útil en una gran diversidad de circunstancias de trabajo.

30 La información contenida en la memoria 1 está



5 dispuesta en dígitos, bytes, semivocablos, vocablos, do-
 bles vocablos y cuadretes o vocablos cuádruples, como se
 ilustra en la fig. 4. La información está dispuesta en la
 memoria de manera particular, según represente datos deci-
 10 males, datos binarios, vocablos de instrucción ó vocablos
 especiales. En general, los datos decimales pueden compren-
 der una pluralidad de lugares accesibles, de tamaño hasta
 de un cuadrete. Los datos binarios están representados por
 porciones de semivocablos de la memoria. Las instrucciones
 15 comprenden cuatro bytes de información, que componen en to-
 tal un vocablo. Los vocablos especiales pueden implicar
 varios tamaños, como se indica en la tabla siguiente, que
 expone una asignación propuesta para un número de vocablos
 especiales, utilizables durante el funcionamiento del sis-
 tema.

TABLA A

	<u>Dirección de acceso</u>	<u>Equiv^{te.} decimal</u>	<u>Log. de vocablo</u>	<u>Objeto</u>
20	000	0	Simple	Vocablo de acceso de instrucción
	004	4	"	Sin asignación
	008	8	Doble	Condiciones de teclas de ór- denes
	010	16	Cuádr.	Vocablo "B" (uso interior)
25	020	32	Simple	Registro de índice //8
	024	36	"	" " //9
	028	40	"	" " //10 (A)
	02C	44	"	" " //11 (B)
	030	48	"	" " //12 (C)
30	034	52	"	" " //13 (D)



	<u>Dirección de acceso</u>	<u>Equiv^{te}. decimal</u>	<u>Log. de vocablo</u>	<u>Objeto</u>
	038	56	Simple	Registro de índice 14 (E)
	03C	60	"	" " 15 (F)
	040	64	Doble	Vocablo "A" (uso interior)
5	048	72	Simple	Sin asignación
	04C	76	"	" "
	050	80	"	Registro de canal 4
	054	84	"	" " 5
	058	88	"	" " 6
10	05C	92	"	" " 7
	060	96	"	" " 8
	064	100	"	" " 9
	048	104	"	" " 10 (A)
	06C	108	"	" " 11 (B)
15	070	112	"	" " 12 (C)
	074	116	"	" " 13 (D)
	078	120	"	" " 14 (E)
	07C	124	"	" " 15 (F)
	080	128	"	Sin asignación
20	084	132	"	" "
	088	136	"	" "
	08C	140	"	" "

25 La indicación de direcciones de acceso de la columna extrema de la izquierda de la tabla A tiene el formato hexadecimal. La segunda columna de la tabla da el equivalente decimal de la dirección hexadecimal.

30 Con arreglo a las presentes disposiciones, a los vocablos especiales de la memoria 1 indicados en la tabla



A se tiene acceso mediante el funcionamiento de la lógica asociada a los circuitos de excitación de X e Y de la memoria, ilustrados en las figs. 9a-9b y 11a-11b. Cuando se requiere el acceso en secuencia a partes de los vocablos especiales, se emplea a tal fin el contador de dígitos 35 (fig. 1).

En un sistema tipo, la memoria 1 tendrá una capacidad adecuada para las funciones de ordenación y tratamiento de datos que más normalmente se encuentran en la práctica. Como ejemplo, puede ser adecuada una capacidad de 8.000 bytes. El tamaño de la memoria 1 no es cosa de importancia principal, pero la tabla A pone de manifiesto que en el sistema aquí descrito se ponen aparte 144 bytes para vocablos o registros especiales, que se encuentran a disposición para un número de objetos. La tabla indica cierto número de registros para lugares de índice, un número de registros algo mayor para lugares de canal, un número de lugares sin asignar, un lugar de doble vocablo para guardar condiciones de teclas de órdenes, y varios registros especiales de particular interés en relación con las figs. 6a y 6b, esto es, el vocablo de acceso de instrucción (IAW), el vocablo A y el vocablo B.

Acceso a los lugares generales de la memoria.

Los circuitos ilustrados en la fig. 5 están previstos para obtener acceso a lugares de vocablo generales en la memoria 1, esto es, lugares de vocablo distintos de los especiales de direcciones de acceso antes estudiados. Los circuitos incluyen un contador de acceso a la memoria (STAC) que comprende 14 posiciones de disparador designadas Y10-Y41. Las posiciones Y11-Y41 dan capacidad suficien



te para acceder hasta a 8.192 bytes de la memoria 1. Como ejemplo, cada byte comprende 8 bitios de información. La posición Y10 permite obtener acceso a medio byte de información de la memoria 1. Los valores guardados en el contador de acceso de la memoria se detectan e interpretan por medio de circuitos descodificadores 33 correspondientes a los indicados en la fig. 1. La sección 33a estudiada en relación con la fig. 1 no se ilustra en la fig. 5, pero está representada en varias porciones en las figs. 9a-9b y 11a-11b. Los circuitos descodificadores de la fig. 5 desarrollan cuatro dígitos que conjuntamente establecen una dirección de acceso de byte hexadecimal. En los circuitos de la fig. 5 hay también incorporado un contador de dígitos que comprende unas posiciones designadas T1-T2-T4-T8-T16 y un contador de utilidad (U) que comprende las posiciones U1-U2-U4-U8. Estos últimos contadores cooperan con el contador de acceso de la memoria para tener acceso a los dígitos de información partiendo de una dirección de acceso de bloque inicial establecida por el contador de acceso de la memoria, en la memoria 1. El contador de dígitos 35 y el contador de utilidad 36 trabajan con los circuitos descodificadores de primer dígito, estableciendo un cambio secuencial en la dirección de acceso de byte hexadecimal. Las cuatro posiciones T2-T4-T8-T16 del contador de dígitos 35 permiten un cambio secuencial en la dirección de acceso hexadecimal de hasta 16 bytes, mientras las tres posiciones U2-U4-U8 del contador de utilidad 36 permiten el cambio secuencial de hasta ocho direcciones de acceso de byte, en la dirección hexadecimal. La posición T1 del contador de dígitos 35 y la posición U1 del contador



de utilidad 36 cooperan con el circuito de descodifica-
ción de semibytes, para la selección de medios bytes, ca-
da uno de los cuales comprende cuatro bitios.

5 Los circuitos de acceso a la memoria según la
figura 5, que incluyen el contador de acceso de la memo-
ria (STAC), el contador de dígitos y el contador de uti-
lidad (U) se activan selectivamente en diversas circunstan-
cias con arreglo a la lógica ilustrada en las figs. 7a y
7b. El circuito de la fig. 7a suministra señales DWY y
10 NOT DWY, de modo que la señal DWY, en particular, selec-
ciona todas las posiciones del contador de acceso de la me-
moria para controlar a los lugares de la memoria 1. De ma-
nera semejante, el circuito de la fig. 7b proporciona se-
ñales DWU y NOT DWU, de modo que la señal DWU selecciona
15 el contador de utilidad en las circunstancias que se ana-
lizarán.

La lógica está dispuesta de tal manera que las
señales complementarias o de inversión NOT DWY y NOT DWU
(DWY y DWU) se combinan seleccionando el contador de dígi-
20 tos. Esto es, la selección del contador de dígitos tiene
lugar cuando no se selecciona el contador de acceso de la
memoria ni el contador de utilidad.

El circuito de la fig. 8 ilustra la lógica que
interviene en el acceso a los semibytes de información ba-
25 jo el control del contador de acceso a la memoria, el con-
tador de dígitos y el contador de utilidad. En el presen-
te caso, se supone que la memoria 1 es una memoria tridi-
mensional que opera con corriente de semiselección en las
direcciones X e Y, en unión de corrientes de inhibición que
30 son selectivamente aplicadas, de manera ya conocida, para



asegurarse el restablecimiento de una configuración de bits deseada en la memoria. La memoria, como ejemplo, puede utilizar la técnica ya conocida de inversión de fase, que trae consigo la retroacción en bucle de unas líneas de excitación de la memoria, y puede llevar además incorporada una línea común de inhibición de percepción que se hace pasar por la formación o disposición de memoria de tal manera que puede servir tanto para percibir información durante las operaciones de lectura como para desempeñar una función inhibidora durante las operaciones de inscribir. Como ya es sabido en la técnica del ramo, una configuración de conexionado de memoria que comprenda la característica de inversión de fase exige normalmente que las corrientes de excitación se establezcan en sentidos alternativamente opuestos en la línea de excitación. El terminal 40 (fig. 8) proporciona la necesaria interconexión de excitación lógica para los intervalos de leer pares y de inscribir impares, mientras el terminal 41 suministra una interconexión lógica comparable para los intervalos de leer impares y de inscribir pares.

Las figs. 9a y 9b representan una configuración tipo de conexionado de memoria para excitación en la dirección X. Las ocho líneas de excitación de la fig. 9a se interconectan selectivamente con las ocho líneas de la fig. 9b, para establecer 64 combinaciones de excitación. Las figuras muestran la lógica implicada en el acceso a la memoria 1 bajo el control del contador de acceso a la memoria, el contador de dígitos y el contador de utilidad de la fig. 5, así como de ciertos medios de lógica previstos para obtener acceso a los vocablos especiales contenidos en la



memoria cuando haga falta.

Los circuitos de las figs. 11a y 11b muestran ocho líneas de la fig. 11a interconectadas con cuatro líneas de la fig. 11b, dando 32 combinaciones para la selección de la memoria 1 en la dirección Y bajo el control de los circuitos de la fig. 5 y de la lógica necesaria para el acceso a los vocablos especiales. Como antes se ha dicho, la capacidad de la memoria 1 es variable según las necesidades del usuario y los circuitos de las figs. 9a-9b y 11a-11b cooperan para la selección de 2.048 bytes de información.

Formato de instrucción.

El sistema calculador de la fig. 1 hace uso de un número de formatos básicos de instrucción, designados SS, SI, RX, I/O, y dispuestos del modo que se indica a continuación:

FORMATOS DE INSTRUCCION

SS denota una operación de memoria a memoria.

0	7 8	11-12	19-20	23-24	31
OP	B1	D1	B2	D2	

SI denota una operación de almacenaje inmediato.

0	7 8	15 16	19-20	31
OP	I2	B1	D1	

30
15.10.68



RX denota una operación de registro a memoria, o de memoria a registro.

	0	7 8	11-12	15-16	19-20	31
5	OP	R1	0000	B2	D2	

I/O denota una operación de entrada/salida.

	0	3 4	7 8	15-16	19-20	31
10	OP	DA	FS	B1	D1	

En lo que sigue se da una breve descripción de los cuatro formatos de instrucción arriba indicados.

Formato de instrucción SS

En el formato de instrucción SS, el primer operando viene especificado por B1, D1, y el segundo operando por B2, D2. A B1, D1 o a B2, D2 puede obtenerse acceso sea directamente, sea mediante las reglas de la obtención de acceso efectiva. Los resultados de las operaciones sustituyen al primer operando. Para ambos operandos puede especificarse la misma dirección de acceso. Las abreviaturas utilizadas se exponen en la relación de terminología dada más arriba. Para desarrollar direcciones de acceso efectivas, el sistema funciona con arreglo a los principios expuestos en el manual de la calculadora IBM 360, modelo 20. Las porciones B1 y B2 de la instrucción se refieren a un registro de base o un registro de índice, y las porciones D1 y D2 significan un factor de desplazamiento; es decir,



que para el desarrollo de una dirección de acceso efectiva para los operandos en cuestión se tienen en consideración un lugar B y un valor de desplazamiento.

5 A fin de generar una dirección de acceso efectiva, el contenido del registro de base especificado por el campo B de una instrucción se suma al contenido del campo D de la instrucción, formando la dirección de acceso efectiva. Este tipo de modificación de acceso se suele denominar de orientación o movimiento. La orientación puede ser
 10 en sentido positivo o en negativo, y viene determinada por el signo de la dirección de acceso de base. Cualquiera de los registros 8 a 15 inclusive puede estar especificado en el campo B de una instrucción como lugar de la dirección de base, para la generación de direcciones de acceso
 15 efectivas. El programa puede tener "ceros" en el registro general que contiene la dirección de base, o en el campo de desplazamiento de la instrucción, cuando se especifique la generación de una dirección de acceso efectiva. Como un cero indica la ausencia de la componente correspondiente de la dirección de acceso, la dirección efectiva generada es igual a la dirección de acceso directo con la
 20 componente que no es cero. El acceso de tipo efectivo es útil para rutinas de programa que requieran modificación de acceso.

25 Formato de instrucción SI

El formato de instrucción SI contiene un operando en el campo I2, inmediatamente disponible para uso en la operación especificada. La dirección de acceso de primer operando se deriva de los campos B1-D1. Los comentarios
 30 hechos en relación con el formato de instrucción SS son



aplicables en general al formato de instrucción SI, en cuanto concierne al desarrollo de direcciones de acceso efectivas.

Formato de instrucción RX

5 Las instrucciones de aritmética binaria de semi
vocablos hacen uso del formato de instrucción RX. En este
formato, R1 especifica la dirección de acceso del regis-
tro de índice que contiene el primer operando, La direc-
ción del segundo operando se deriva del contenido de los
10 campos B2 y D2, y puede ser directa o efectiva. Los re-
sultados de las operaciones reemplazan al primer operando.

Formato de instrucción de I/O

15 En el formato de instrucción de I/O, la direc-
ción de acceso del dispositivo (DA) especifica el disposi-
tivo de I/O a los fines de ensayo, a los de control, o bien
a qué salida se van a transmitir datos o de qué entrada
se van a recibir datos. La especificación de función (FS)
tiene una función variable según que el dispositivo de
I/O se esté ensayando, controlando o se halle implicado
20 en una operación de transferencia de datos. Si el disposi-
tivo se está probando o ensayando, la especificación de
función indica la particular condición o indicación a en-
sayar. Si el dispositivo va a ser controlado, la especifi-
cación de función indica el elemento componente particular
25 del dispositivo al que se ha tenido acceso. Si la opera-
ción implica una transferencia de datos, la especificación
de función indica la función de entrada o de salida a eje-
cutar en el dispositivo de I/O al que se ha tenido acceso,
así como la longitud de campo o de grabación de los datos
30 de entrada o de salida en la memoria principal. Lo mismo



que sucede con la especificación de función, los campos B1, D1 tienen un fin u objeto variable, según el tipo de operación. Durante una operación I/O de prueba, el acceso a la instrucción actualizada es sustituido por el acceso de cambio derivado de los campos B1 y D1. En una operación de control, la especificación detallada de la función de control a ejecutar se deriva del contenido de los campos B1 y D1, con arreglo a las reglas para la generación de direcciones de acceso directas o efectivas. En una operación de transferencia de datos, el lugar de la memoria principal correspondiente al primer byte del campo de datos de entrada o de salida se deriva del contenido de los campos B1 y D1, conforme a las reglas para la generación.

Juego de instrucciones básicas.

Dentro de los cuatro tipos generales de formatos de instrucción arriba estudiados, hay un número de instrucciones básicas, que se exponen en la tabla B.

Tabla B
JUEGO DE INSTRUCCIONES BASICAS
(Figura 3)

		<u>CODIGOS DE OPERACION</u>			
		<u>Modificador</u>	<u>Mnemónico</u>	<u>Código</u>	<u>Formato</u>
25	Suma decimal	Simple	AS	01	SS
		Doble	AD	02	SS
		Mixto	AM	06	SS
30	Resta decimal	Simple	SS	11	SS
		Doble	SD	12	SS
		Mixto	SM	16	SS



CODIGOS DE OPERACION

	<u>Modificador</u>	<u>Mnemónico</u>	<u>Código</u>	<u>Formato</u>	
5	Cero y Suma	Simple	ZAS	21	SS
		Doble	ZAD	22	SS
		Mixto	ZAM	26	SS
	Multiplicación decimal	Doble	MD	42	SS
		Cuádruple	MQ	46	SS
10	Comparar en decimal	Simple	CS	31	SS
		Doble	CD	32	SS
		Mixto	CM	36	SS
15	Desplazar a la derecha	Simple	SHS	51	SI
		Doble	SHD	52	SI
		Cuádruple	SHQ	56	SI
	Editar	Longitud	ED	B-	SS
	Cambiar a condición		BC	81	RX
	Control I/O		CIO	6-	IO
20	Transferencia I/O	Longitud	XIO	7-	IO
	Ensayar I/O y cambiar		TIOB	8-	IO

25 Instrucciones discrecionales

El sistema tiene un número de instrucciones discrecionales de las que se puede disponer, como se indica en la siguiente tabla C.

30

15.10.68



TABLA C

INSTRUCCIONES DISCRECIONALES

CODIGOS DE OPERACION

	<u>Modificador</u>	<u>Mnemónico</u>	<u>Código</u>	<u>Formato</u>	<u>Grupo</u>	
5	Dividir en decimal	Simple	DS	49	SS	Dividir
		Doble	DD	4A	SS	
10	Apretar	Longitud	PACK	9-	SS	Condi- ción de adapta- dor de I/O
	Soltar	Longitud	UNPK	A-	SS	
15	Mudar de in- mediato		MVI	E4	SI	Opera- ciones lógica- cas
	Mudar	Longitud	MVC	D-	SS	
	Comparar lógica de inmediato		CLI	E2	SI	
20	Comparar lógica	Longitud	CLC	C-	SS	
	Coinciden- cia ("AND")		ABD	E1	SI	
	Disyuntiva ("OR")		OR	E0	SI	
	Ensayar con protección		TM	E3	SI	
25	Cambiar y guardar		BS	82	RX	("Orien- tación")
	Cargar semi- vocable		LH	28	RX	
	Sumar semi- vocable		AH	08	RX	
	Restar semi- vocable		SH	18	RX	
	Comparar se- mi-vocable		CH	38	RX	
	Guardar semi- vocable		STH	E8	RX	

15.10.68

OPERACIONES TIPO



Operación que implica instrucción SS

A continuación se resume una operación que implica un formato de instrucción SS:

5 Resumen, tiempo de acceso (IA) - Formato SS

 (Fig. 13).

10 El formato SS es el único que requiere la generación de dos direcciones de acceso efectivas durante el tiempo de acceso. Asimismo, es el único formato que requiere la carga o introducción de una longitud (dígito 6) en el contador U. El contador de dígitos mantiene el cómputo de los intervalos de dígito.

- 15 1) Se lee el IAW en TPR y se transfiere al registro A. La actualización se consigue activando S4 y reinscribiendo en el IAW con BEN. Se carga el contador STAC con (BE a Y).
- 20 2) Llega X2 tras D3. En el estado $X2\overline{X4}$, se traslada la instrucción al vocablo A. Se activan los cerrojos N con el código de operaciones. El registro B se pone con arreglo al campo B2.
- 25 3) Llega X4 tras D3. Nótese que se inhibe la activación de T4 al activarse X4. En el estado $X4\overline{X6}$, se genera la dirección de acceso efectiva. X2 indica la dirección del operando 2.
- 30 4) Si está B8 en activo, se lee el registro en el tiempo TQ, y se suma al contenido del vocablo A, cargándose en el STAC el resultado.



Si B8 está desactivado, el estado X4X6 está en P SET, de modo que en el STAC se carga sólo el contenido del vocablo A.

5

4) Tras D3, entra X6. A este punto, el estado del contador de dígitos depende de que el operando de la extrema derecha sea simple, doble o cuádruple. Nótese que para PK, MBC y CLC, el vocablo B se carga empezando por el dígito 31. Si la longitud es suficientemente pequeña, se prevé la activación de X3 (final de la transferencia) después de los dígitos 8 o 16. En el estado X6X3 se traslada el operando 2 al vocablo B. Se tiene acceso a la memoria utilizando DWY y (Y UP) No se utilizan los términos DBL ni QUAD; se fuerza la activación de T8 y T16, si es necesario.

10

15

5) X3 llega normalmente detrás de D0, o tras una longitud suficiente para PK, MVC y CLC. En el estado X3, los dígitos 5-4-3 del vocablo A se transfieren a los dígitos 2-1-0 del vocablo A, mediante el uso de DWU. Al activarse X3 se fuerza la activación de U2, y el contador de dígitos es asimismo forzado a D5. En D5 se activan los disparadores B con arreglo al campo B1.

20

25

6) Tras desactivarse D3, X3 y X6, nótese que se desactivó X2, entrando en activo X3. En el estado X4X6, se vuelve a generar la dirección de acceso efectiva, pero X2 dice que

30



se está obteniendo la dirección del operando 1. La lógica concerniente a B8 y (BE a Y) es la misma de antes.

5 7) Después de D3, se inhibe la acción de cómputo T2, teniéndose acceso a D6. Se lee el vocablo A. Se añade una unidad forzando la activación de CD. El resultado se introduce en el registro U, para así tener la longitud en un contador útil.

10 8) Tras $X4X5$ D6, se inicia el tiempo de ejecución llamando a IE. Esto desactiva JA y da un tiempo de reposición. En este tiempo de MR, no se repondrán los registros Y, P, U ni N. Los datos que retienen estos dispositivos son necesarios para ejecutar la operación.

15 SS - Resumen de condiciones al final de IA:

- 1) La dirección del operando 1 está en STAC.
- 2) El código de operación, en el registro N.
- 20 3) El cómputo de longitud (dígito 6 o los 4 bits de la derecha del código de operación) + 1 en el contador U.
- 4) El campo B1, en los cerrojos B.
- 5) El operando 2, cargado en el vocablo B.

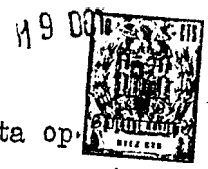
25 Descripción detallada del funcionamiento tratándose de un formato de instrucción SS.

30 Se hace referencia a la fig. 13, que es un diagrama de tiempos ilustrativo de las secuencias que intervienen en el caso de un formato de instrucción SS. La fig. 6a es un diagrama de circulación relacionado con la gráfi



ca de secuencias de la fig. 13. Asimismo se hace referen-
cia al esquema general del sistema de la fig. 1. La direc-
ción de acceso especial de la memoria 1, designada como
vocablo de acceso de instrucción (IAW) contiene la direc-
5 ción de acceso de la instrucción anterior ejecutada. Como
se ilustra en las figs. 6a y 13, se obtiene acceso al lu-
gar del IAW de la memoria 1, se suma un valor "4" y se in-
troduce en el STAC la dirección de acceso de la nueva ins-
trucción. El funcionamiento del sistema está bajo el con-
10 trol de los medios lógicos diversos contenidos en el blo-
que 4 (fig. 1), así como bajo el del reloj 5. En este mo-
mento, la lógica es tal que al lugar IAW se tiene acceso
bajo el control de las diversas combinaciones de excitador
e interruptor e interconexiones de línea de excitación es-
15 tablecidas en las figuras 9a-9b y 11a-11b. La selección en
la dirección X se ejecuta mediante activación del circui-
to de coincidencia 45 de R/W IAW (fig. 9a) y el circuito
de coincidencia 46 de R/W IAW (fig. 9b). El acceso a los
dígitos individuales contenidos en el lugar IAW está con-
20 trolado por la activación del circuito de coincidencia 47
de R/W IAW (fig. 11a), y en particular por los circuitos
de coincidencia individuales de dígitos 50-53 (fig. 11b).
que están controlados por los términos T2 y T4 generados
por las respectivas posiciones de disparador del contador
25 de dígitos.

Como se indica en el resumen precedente, la ló-
gica 4 lleva incorporados varios disparadores, designados
X2-X3-X4-X6 que, como se indica en la fig. 13, generan
los diversos intervalos de marcación de tiempos que se ne-
30 cesitan durante esta operación. La lógica 4 tiene también



unos disparadores X1 y X5 que no intervienen en esta operación. El detalle de los circuitos lógicos y de franqueo de paso para los disparadores X1 a X6 inclusive se ilustra en las figuras 19 a 24 inclusive. Las inversas NOT X2, NOT X3, NOT X4 y NOT X6 establecen los intervalos de tiempo de dígitos 0-1-2-3 durante los cuales se tiene acceso al contenido de IAW. El IAW tiene cuatro dígitos que se pasan en sucesión desde la memoria 1 al registro S 10, y se transfieren luego al registro A 11 (fig. 1). Desde aquí, se trasladan por medio del acumulador 12 al contador de acceso a la memoria 32, para el control de los circuitos de codificadores 33. Al mismo tiempo que se tiene acceso al IAW, se introduce un valor de "4" en el registro S 10. El valor en curso en el IAW, introducido en el registro A 11 por medio del registro S 10 es actualizado por la adición del valor "4" puesto en el registro S por adición del acumulador 12, y restablecido en la memoria 1 a través del control de inscribir 3. Así, el IAW, como el STAC, queda ahora guardando la dirección de acceso de la instrucción en curso.

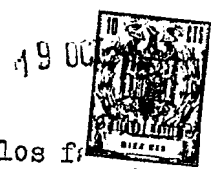
Como se ilustra en las figs. 6a y 13, al contenido del vocablo de la memoria designado por el IAW en el STAC se tiene acceso durante el siguiente intervalo de tiempo, introduciéndosele en el vocablo A de la memoria 1. Este intervalo está definido por X2, y NOT X4. El disparador X2 (fig. 20) se activa por medio del circuito de coincidencia 80 al final del tiempo del dígito 3 (D3). Los otros disparadores de X que intervienen se activan según necesidades como se indica en la fig. 13 bajo el control de su respectiva lógica de franqueo de paso, de las figs.



21 (X3), fig. 22 (X4) y fig. 24 (X6). Los excitadores e interruptores asociados a la memoria 1 se activan según lo necesario en las figs. 9a-9b y 11a-11b, a fin de obtener acceso a la instrucción apropiada. La lógica de control 4 genera las señales necesarias para activar el circuito de selección 33a de direcciones de acceso especiales (fig. 1). Más concretamente, se activan en este momento los circuitos de coincidencia 60, 61 y 62 de las figs. 9a, 9b y 11a, respectivamente. Los circuitos de coincidencia 50, 51, 52, 53 (fig. 11b) controlan el acceso a los dígitos del vocablo A, de igual manera que el acceso a los dígitos del IAW antes descrito.

A continuación de esto, se genera una dirección de acceso efectiva teniendo en cuenta el contenido del registro de base indicado en B2 de la instrucción, y el desplazamiento indicado en D2 de la instrucción. La dirección de acceso efectiva se introduce en el STAC como se indica en las figs. 6a y 13. El contenido del STAC indica entonces el lugar del segundo operando requerido durante esta operación. Por consiguiente, el contenido del STAC controla el acceso o toma de este operando de la memoria 1, y el operando se coloca en el vocablo B. Los circuitos de coincidencia 65, 66, 67 y 68 de las figs. 9a, 9b y 11a se usan para controlar el acceso al vocablo B. Los circuitos de coincidencia 50 a 53 (fig. 11b) controlan el acceso a los dígitos individuales del vocablo B, como antes. Las líneas de excitación para el acceso al lugar del vocablo de instrucción están controladas por unos circuitos de coincidencia 70-73 indicados en la fig. 11b.

A continuación de la introducción del segundo o-



perando en el vocablo B de la memoria 1, se usan los factores B1 y D1 de la presente instrucción para desarrollar una dirección de acceso efectiva para el primer operando. Esta se introduce en el STAC. Si interviene la instrucción discrecional de "mudar", se introduce el cómputo de longitud en el contador de utilidad 36 (figs. 1 y 5).

A continuación de terminarse el tiempo de acceso, se ejecuta real y efectivamente la operación pedida en la particular instrucción SS utilizando los dos operandos, uno de los cuales está en el vocablo B mientras al otro se tiene acceso bajo el control del contenido del STAC.

Operación en la que interviene el formato de instrucción RX, el I/O, o el SI

Los principios de acceso a la memoria que acaban de analizarse en relación con el formato de instrucción SS son aplicables a una operación que traiga consigo el acceso y ejecución de un formato de instrucción RX, I/O ó SI, según se expone en los resúmenes siguientes.

Resumen, tiempo de acceso - formato RX (fig. 14)
(Excepto instrucciones BC, BS y STH)

Esta lógica tiene aplicación tan solo a las operaciones de semivocablo. La única diferencia entre estas instrucciones y los formatos SI e I/O y la instrucción de semivocablo de almacenar está en que el operando de más a la derecha (campos B1 y D1) se introduce en el vocablo B.

Para esta sección y la siguiente se da solamente una marcación de tiempos (véase la fig. 14):

- 1) La lógica es igual que para el formato SS, hasta que entra X3. Nótese que el registro B



se carga durante X2X4 en D3, en lugar de 1

Esto es así porque los campos B y D son de cuatro dígitos de longitud, en lugar de 3 dígitos como en el formato SS. Para cargar el operando de campos B y D en el vocablo B sólo se usan los dígitos 0 a 3 inclusive, ya que únicamente se tienen en cuenta los operandos de semivocablo.

2) Nótese que, al generarse la dirección de acceso efectiva en el estado X4X6, el resultado se vuelve a guardar en el vocablo A, además de cargarse en el STAC.

3) X3 entra al mismo tiempo que en el formato SS, Pero el tiempo de X3 está en P SET. En D5, el campo R1 se introduce en el registro B. En D4 se carga el registro U (con cero en este formato).

4) Tras X3D4 se pide el tiempo IE, y termina IA.

RX - Resumen de condiciones al final de IA:

- 1) Dirección del operando 2, en STAC y en vocablo A.
- 2) Código de operación, en registro N.
- 3) Registro U puesto a cero (cero en dígito 4).
- 4) R1, cargado en Registro B.
- 5) Operando 2, cargado en vocablo B.
- 6) El vocablo A contiene la instrucción, salvo que los dígitos 0 a 3 contienen la dirección de acceso efectiva del operando 2.

Resumen, tiempo de acceso - instrucción I/O y SI (fig. 14).



El diagrama de tiempos y la lógica para estos formatos son los mismos que para el formato RX, salvo que no se necesita cargar ningún operando en el registro B. Por tanto, entra X3 al entrar X6.

5 Nótese que el registro B y los disparadores U están cargados con el I2, en información F.S. En el tiempo JE es muy útil tener estos 8 bitios (así como los 8 bitios del código de operación) guardados en cerrojos.

10 Una instrucción de I/O que no sigue esta lógica es la condición de reposición (o control de I/O para la unidad de teclas de órdenes). Funciona como un cambio o "enganche", y se estudiará en el capítulo siguiente.

SI, I/O - Resumen de condiciones al final de IA.

- 15 1) La dirección del operando 1, en STAC y en vocablo A.
- 2) El código de operación, en el registro N.
- 3) El dígito 4 (los 4 bitios de más a la derecha del F.S. o del campo I2) se introduce en el contador U.
- 20 4) El dígito 5 (los 4 bitios de más a la izquierda del F.S. o del campo I2) se introduce en el registro B.
- 25 5) El vocablo A contiene la instrucción, salvo que los dígitos 0 a 3 inclusive contienen la dirección efectiva del operando 1.

Descripción detallada - RX, I/O y SI

30 Los formatos de instrucción RX, I/O y SI difieren del formato de instrucción SS antes estudiado en que sólo necesita generarse una única dirección de acceso efectiva para uno de los operandos, en lugar de dos direc-



ciones efectivas para dos operandos como en el formato de instrucción SS. Las secuencias para formatos de instrucción distintos del SS se ilustran en las figs. 6b y 14.

5 La activación de los disparadores de control X2-
 X3-X4-X6 en la lógica de control 4, figura 1, ocurre de
 manera comparable a la indicada en la fig. 13, con la ex-
 cepción de que se necesita un ciclo más breve, debido al
 hecho de que sólo se está generando una única dirección
 efectiva. La instrucción indicada por el IAW se saca de la
 10 memoria 1 y se coloca en el vocablo A. A seguido de esto,
 se usan los factores B y D de la instrucción a la que se
 ha tenido acceso, para generar una dirección de acceso efec-
 tiva para obtener el operando en almacenaje, designado o-
 perando 2. Para el formato RX, se introduce el operando
 15 en el vocablo B activándose para ello los circuitos de ex-
 citación apropiados de las figs. 9a-9b y 11a-11b, como an-
 tes.

A continuación de introducirse el operando en el vocablo B, la lógica controla la secuencia de manera que
 20 la instrucción particular a la que se ha tenido acceso, y
 que ahora está en el vocablo A, se ejecute con arreglo al
 código de operación contenido en la instrucción.

Operación que implica un cambio o una reposición.

25 En lo que sigue se da un resumen de una operación
 que implica un cambio o "enganche" o una condición de repo-
 sición.

Resumen, tiempo de acceso - condición de reposi-
 ción (fig. 15).

30 Esta lógica tiene aplicación al cambio a condi-
 ción, cambio a indicador (TIOB a la unidad de teclas de



órdenes) y condición de reposición (CIO a la unidad de te
clas de órdenes).

- 5 1) La lógica es igual que para los formatos SI e I/O hasta que entra X3. Durante X3, el registro B y el contador U se cargan exactamente como para los formatos RX, SI e I/O. La lógica adicional consiste en que es preciso muestrear las condiciones de cambio o "enganche", o reponer los indicadores.
- 10 2) Para BC, la máscara (M1) (contenida en S3, S4, S2, S1) se compara con los cerrojos de código de condición (I0, I1, I2, I3). De satisfacerse la condición, entra X5 tras D5 del tiempo X3.
- 15 3) Para cambiar a indicador, el indicador especificado (cargado en el contador U en D4) se lee en D3 del tiempo X3. Se activa DWU para tener acceso al dígito especificado del vocablo de indicador; el indicador es simplemente el bitio 1 de ese dígito. Si el
20 indicador estuviera en activo, entra X5 después de D3. Se reinscribe el indicador.
- 25 4) Para la condición de reposición, se lee el indicador en D3 y no se reinscribe; así, queda puesto a cero. Noentra X5.
- 30 5) Tras X3, no se desactiva IA. Si X5 ha pasado (condición no satisfecha), el tiempo de acceso de la instrucción siguiente prosigue entonces normalmente. Como no hay tiempo de reposición, ha de forzarse la entrada de

ciertos términos de reposición durante ^{STA} (reponer Y, reponer N).



- 5
- 6) De estar en activo X5, el vocablo A se transfiere entonces al IAW, en lugar de leerse el IAW y actualizarlo. Como el vocablo A contiene la dirección efectiva del lugar al cual hay que cambiar, se carga entonces el IAW adecuadamente con la dirección de la etapa a la que se va a tener acceso a continuación.
- 10
- El STAC se introduce asimismo al hacerse esta transferencia.
- 7) Entra X2 como de costumbre, y prosigue normalmente el tiempo de acceso siguiente.
- 8) Por tanto, para que el enganche resulte logrado, no hay más que introducir los nuevos
- 15
- datos en el IAW.

Cambio o "enganche" - Resumen.

La función requerida se ejecuta por entero en el tiempo IA.

- 20
- A la instrucción siguiente (se haga o no un cambio) se tiene acceso normalmente.

Descripción detallada - Cambio.

- 25
- En relación con el resumen que antecede, la operación de cambio o "enganche" ofrece particular interés, Se hace referencia a la fig. 15, que ilustra la secuencia durante el tiempo de acceso para un cambio (e incidentalmente una condición de reposición). La lógica de control 4 hace funcionar los disparadores X2-X3-X4-X6 lo necesario para establecer la secuencia necesaria. Además se hace
- 30
- funcionar un disparador X5 para probar si hay condición

19 00



de alto, bajo, igual o desbordamiento en el circuito 14 (fig. 1). Si se satisface la condición ensayada, entra entonces X5 y el contenido del vocablo A, al que se ha tenido acceso previamente en la secuencia, se traslada a IAW, después de lo cual se establece la dirección de acceso a la siguiente instrucción, que se ejecuta acto seguido. Se da paso a X5, cuando hace falta, por medio de los circuitos de coincidencia 81-84 (fig. 23).

Operación que implica un cambio y almacenaje.

10 En lo que sigue se resume el tiempo de acceso para una operación de cambio y almacenaje.

Resumen, tiempo de acceso - cambio y almacenaje (fig. 16).

15 La lógica para el cambio y almacenaje es idéntica a la de un cambio incondicional, con la excepción de que al final de la operación se intercala el tiempo definido por X1.

- 20 1) X1 entra detrás de D3 en el tiempo X3. Durante el tiempo X1 el presente IAW se incrementa en 4 y se carga o introduce en el registro especificado por los elementos B (campo R1).
- 25 2) Esta adición es como el ciclo de acumulador normal, salvo en que los datos tomados de R en el tiempo TPR no se transfieren al registro A. Se activa A4 para la adición de 4 a los datos tomados del IAW en TQR. El resultado se inscribe en R, en el tiempo TPW.
- 30 3) Terminado X1, la dirección de acceso del cambio se transfiere al IAW, y el tiempo de

acceso prosigue normalmente.



Cambio y almacenaje - Resumen.

- 1) El cambio es incondicional.
- 2) La dirección de acceso de la siguiente inscripción, después de la instrucción BS, se guarda en el registro especificado por R.

Cambio y almacenaje - Descripción detallada.

Los principios anteriormente analizados son aplicables asimismo a una operación de cambio y almacenaje. Como se ilustra en la fig. 16, en la lógica de control 4 se prevé un disparador adicional X1 para establecer un intervalo de tiempo adicional durante el cual se añade un cómputo de 4 al contenido presente del IAW, y se guarda el IAW en el registro indicado por la porción R1 de la instrucción. El disparador X1 se pone en acción cuando es preciso por medio del circuito de coincidencia 85 (fig. 19). Esto permite enlazar la operación de cambio con el punto del programa a partir del cual tuvo lugar el cambio, para que el sistema pueda volver a ese punto y reanudar la secuencia de programación.

Acceso secuencial a los datos del lugar de la memoria designado por el STAC, utilizando el contador de dígitos.

La fig. 17 ilustra el establecimiento de secuencias del sistema durante las operaciones de restar, comparar, sumar y transferir. El dispositivo lógico controla los disparadores X1-X2-X3-X4-X5 estableciendo la secuencia en cuestión. En el sistema de la fig. 1, los factores decimales se suponen almacenados en su forma real y verdadera (de base), acompañados cada uno de un signo más o menos según le sea propio, para indicar que tienen valor positivo



o negativo. Trabajando con factores de esta naturaleza, el resultado inicial de una operación, por ejemplo, de restar, puede estar en realidad en forma de complemento, y necesitar una recomplementación para desarrollar el valor real o de base. Al ocurrir esto, puede tener que llegarse al lugar del resultado en la memoria por medio de un ciclo adicional, para efectuar la recomplementación. Como se ilustra en la fig. 17, la primera parte de IE implica la obtención de acceso a los dígitos individuales DO-D1, etc.

5 El operando está fundamentalmente designado por el contenido del STAC, y se llega al mismo mediante la apropiada activación de los circuitos excitadores de las figs. 9a-9b y 11a-11b. El contador de dígitos se usa en este ejemplo para seleccionar los dígitos individuales del operando designados por el STAC. Se hace referencia a la fig. 5, que ilustra las relaciones del STAC, que comprende las posiciones de disparador Y10-Y41, y el contador de dígitos con los disparadores T1-T16. En las figs. 9a, 9b y 11a, el control de las líneas de excitación mediante el contenido del STAC viene ejercido por un número de circuitos de coincidencia fácilmente identificables por medio de las entradas designadas R/W. El acceso a los dígitos individuales dentro de un lugar de la memoria seleccionado está controlado por los circuitos de coincidencia 50-53 de la fig.

10 11b. En una operación que implique la recomplementación de un resultado, el STAC retiene en la memoria la dirección de acceso inicial o de arranque del resultado.

Con referencia a las figs. 7a y 7b, se ilustra en ellas la lógica para el desarrollo de los niveles de control DWY, NOT DWY, DWU y NOT DWU, para activar el STAC,

15 20 25 30



el contador de dígitos o el contador de utilidad (U), según necesidades.

5 El STAC se activa con la dirección de acceso del byte inicial del lugar y la memoria en cuestión. Durante toda la operación indicada en la fig. 17, el STAC retiene esta dirección de byte inicial. Los circuitos de las figs. 7a y 7b se activan, dando niveles NOT DWY y NOT DWU para activar el contador de dígitos 35, a fin de que la sucesión de dígitos sea controlada por medio de los circuitos de coincidencia 50-53 de la fig. 11b y no de los 70-73. Así, con el STAC reteniendo la dirección de acceso del byte inicial, es posible volver a esta dirección y ganar de nuevo acceso a la totalidad de los dígitos del lugar de la memoria así designado, a fin de ejecutar la re complementación necesaria.

10

Acceso secuencial a los lugares de la memoria, utilizando el contador de utilidad (U).

15

El contador de utilidad (U) se usa de igual manera que el contador de dígitos en ciertas operaciones. Sirva de ejemplo de esto la operación de "apretar", resumida como sigue:

20

Resumen, operación de apretar (fig. 18).

25

- 1) El campo-fuente ("suelto") se introduce durante el tiempo de acceso en el vocablo B, empezando por el extremo alto (dígito 31).
- 2) El campo-objeto ("apretado") debe ser un vocablo doble, al que se tiene acceso con R/W M.
- 3) La longitud real (L codificada + 1) está en el contador U.
- 30 4) Primero, se lee el vocablo M en el estado \bar{X} .

16.10.68

No hay término de inscribir, de manera que se despeja el vocablo M. Nótese que DBL está en activo o a nivel alto, de manera que el contador de dígitos cuenta en inverso desde D0 al dígito 15.

5

5) El dígito definido por $X1\bar{X}2$ se usa para hacer que el contador de dígitos cuente en inverso hasta el dígito 31, diferenciando entre este dígito y el primer D0.

10

6) En el estado X2, se lee el vocablo B a cada TR. Pero el vocablo M se inscribe en sólo los 4 bitios numéricos ($\bar{T}1$). Así, se eliminan los bitios de zona (1111) y se retienen los bitios numéricos.

15

7) Los datos se ponen en el dígito apropiado del vocablo M (según la solicitud), mediante el uso de DWU.

20

8) Cuando ($U = 0$), lo que corresponde al D0 del vocablo "apretado", se fuerza el signo apropiado. Si el signo del vocablo B es negativo, entra X3. Si X3 está en activo, el código es 1101; si es positivo, el código es 1111. La operación de apretar se termina después de tratado el dígito de signo.

25

Observaciones sobre la operación de apretar.

Se hace referencia a la fig. 18, que ilustra la secuencia que interviene durante una operación de apretar ("pack"), y muestra de manera adecuada el funcionamiento del contador de utilidad para obtener acceso a los dígitos individuales de un lugar de la memoria, a cuya posición

30



inicial se tiene acceso por medio del STAC. Las salidas
del contador de utilidad controlan unos circuitos de coincidencia 75, 76, 77 y 78 (fig. 11b), que predominan sobre los circuitos de coincidencia 70-73 del STAC. Así, el contador de utilidad, empleado en conexión con el STAC, permite la obtención secuencial de acceso a los dígitos, reteniendo al propio tiempo la dirección del byte inicial como en la operación de recomplementar antes descrita en relación con el contador de dígitos.

10 Epílogo

De la descripción que antecede se desprende que las disposiciones de la presente invención ofrecen una considerable flexibilidad y capacidad en sistemas ordenadores, calculadores o de tratamiento de datos, con una mínima cantidad de equipo físico.

Si bien la invención se ha ilustrado y descrito de modo particular con referencia a una forma de ejecución preferida, se sobrentiende para las personas versadas en la memoria que pueden hacerse en ella diversos cambios de forma y de detalle sin por ello apartarse del espíritu ni salirse del ámbito de la invención.

Esta solicitud que corresponde a la presentada en los Estados Unidos de América, el 18 de Septiembre de 1967, bajo el número Ser. Nº 668.599, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.



5 Los puntos de invención propia y nueva que se
presentan para que sean objeto de esta solicitud de paten
te de Invención en España, por VEINTE años, son los si-
guientes:

10 1.- Un sistema calculador, que comprende: una
memoria para guardar información, memoria que tiene un á-
rea de almacenaje general con medios de acceso asociados
y un área de almacenaje especial con medios de acceso aso-
ciados; un registro de acceso a la memoria que puede acti-
varse selectivamente para suministrar señales que activen
15 a dichos medios de acceso generales; unos circuitos lógi-
cos de memoria selectivamente activados para suministrar
señales que activen dichos medios de acceso especiales; y
medios de control para selectivamente poner en acción di-
cho registro y disparar dichos circuitos lógicos durante
el funcionamiento de dicho sistema.

20 2.- El sistema de la reivindicación 1, en el cual:
dicha memoria comprende una memoria de núcleos con una plu-
ralidad de lugares de vocablo accesibles en cada una de di-
chas áreas general y especial, y los medios de acceso aso-
ciados a cada área comprenden unas líneas de excitación pa-
ra llevar corrientes de excitación para leer e inscribir
25 información en dicha memoria; y dicho registro de acceso
a la memoria y dichos circuitos lógicos de memoria suminis-
tran señales para establecer en dichas líneas de excitación
unas corrientes de excitación, para tener acceso selectiva-
mente a dichos lugares de vocablo.

30 3.- El sistema de la reivindicación 2, en el cual:



dicha memoria es una memoria de núcleos tridimensional, y los medios de acceso comprenden unos juegos de líneas de excitación para llevar corriente de X, de Y y de inhibición, en unión de unos juegos de interruptor y excitador; y dicho registro de acceso a la memoria y dichos circuitos lógicos de memoria controlan dichos juegos de interruptor y excitador, para obtener acceso selectivamente a dichos lugares de vocablo.

5
10
15
20
4.- El sistema de la reivindicación 1, en el cual: dicha memoria guarda operandos de datos en lugares generales accesibles; y dichos medios de control establecen una pauta de trabajo para operaciones en las que intervenga un solo operando de datos, para (1) obtener acceso a dicho único operando de datos sacándolo de su lugar general mediante la apropiada activación de dicho registro de acceso a la memoria y transferencia de dicho operando a un lugar seleccionado de dicha área especial mediante la apropiada activación de dichos circuitos lógicos de la memoria; y (2) tratar a continuación dicho operando, sacándolo de dicho lugar especial seleccionado.

25
30
5.- El sistema de la reivindicación 4, en el cual: dicha memoria guarda tanto operandos de datos como instrucciones de programa, comprendiendo cada instrucción por lo menos una dirección de acceso de un operando requerido; y dichos medios de control activan dicho registro de acceso a la memoria y ponen en acción dichos circuitos lógicos de la memoria para obtener acceso a una instrucción individual, transferirla a un lugar de instrucción seleccionado en dicha área especial de almacenaje, y percibir la dirección de acceso contenida en la misma para ac



19
tivar dicho registro de acceso a la memoria en la etapa (1) y obtener acceso al operando requerido.

5 6.- El sistema de la reivindicación 5, en el cual: dicha dirección de acceso de instrucción es indirecta; y dichos medios de control incluyen una dirección de acceso efectiva con la cual se activa dicho registro de acceso a la memoria en la etapa (1).

10 7.- El sistema de la reivindicación 1, en el cual: dicha memoria guarda operandos de datos en lugares generales accesibles; y dichos medios de control establecen una pauta de trabajo para operaciones en las que intervengan dos operandos de datos, para (1) obtener acceso a uno de dichos operandos de datos sacándolo de dicha área de almacenaje general mediante la apropiada activación de dicho registro de acceso a la memoria y transferencia de dicho primer operando a un lugar seleccionado de dicha área de almacenaje especial mediante la apropiada activación de dichos circuitos lógicos de la memoria; y (2) tratar a continuación dicho primer operando mediante nueva activación de dichos circuitos lógicos de la memoria, sacándolo de dicho lugar de almacenaje especial, y tratar al mismo tiempo el otro o segundo de dichos operandos mediante nueva activación de dicho registro de acceso a la memoria, sacando dicho segundo operando de un lugar general de almacenaje seleccionado.

25 8.- El sistema de la reivindicación 7, en el cual: dicha memoria almacena tanto operandos de datos como instrucciones de programa, incluyendo cada instrucción direcciones de acceso para por lo menos dos operandos requeridos; y dichos medios de control activan dicho registro



de acceso a la memoria y ponen en acción dichos circuitos lógicos de la memoria para obtener acceso a una instrucción individual; transferirla a un lugar de instrucción seleccionado en dicha área especial de almacenaje, percibir una primer dirección de acceso contenida en ella para activar dicho registro de acceso a la memoria en la etapa (1), y percibir una segunda dirección de acceso contenida en ella para activar dicho registro de acceso a la memoria en la etapa (2).

9.- El sistema de la reivindicación 8, en el cual dichas direcciones de acceso a la instrucción son in directas, y dichos medios de control incluyen unos circui tos de conversión para desarrollar direcciones de acceso efectivas con las cuales se active dicho registro de acce so a la memoria en las etapas (1) y (2).

10.- El sistema de la reivindicación 1, en el que dicho registro de acceso a la memoria comprende medios contadores que tienen una primera parte activable en el sentido de suministrar señales para poner en acción dichos medios generales de acceso y seleccionar unidades indivi duales de información, y por lo menos una segunda parte para poner en acción dichos medios de acceso generales y seleccionar sub-unidades de información dentro de una uni dad de información seleccionada.

11.- El sistema de la reivindicación 10, que com prende además: medios contadores auxiliares para activar dichos medios generales de acceso en el sentido de seleccio nar sub-unidades de información; y medios de control adi cionales para hacer funcionar selectivamente la segunda parte contadora de dicho registro de acceso a la memoria



y dichos medios contadores auxiliares durante el funcionamiento de dicho sistema.

5 12.- Un sistema calculador, que comprende: una memoria para guardar información, memoria que tiene un área de almacenaje general con medios de acceso asociados y un área de almacenaje especial con medios de acceso asociados; medios contadores de acceso a la memoria dotados de una primera parte activable en el sentido de suministrar señales para poner en acción dichos medios generales de acceso y seleccionar unidades individuales de información, y por lo menos una segunda parte para poner en acción dichos medios de acceso generales y seleccionar sub-unidades de información dentro de una unidad de información seleccionada; medios contadores auxiliares para activar dichos medios de acceso generales y seleccionar así sub-unidades de información; y medios de control para hacer funcionar selectivamente la segunda parte contadora de dicho registro de acceso a la memoria y dichos medios contadores auxiliares durante el funcionamiento de dicho sistema.

10

15

20

25 13.- El sistema de la reivindicación 12, que comprende además: medios contadores adicionales que pueden hacerse funcionar al igual que dichos medios contadores auxiliares; y en el que dichos medios de control hacen funcionar selectivamente la segunda parte contadora de dicho registro de acceso a la memoria, dichos medios contadores auxiliares y dichos medios contadores adicionales durante el funcionamiento de dicho sistema.

30 14.- El sistema de la reivindicación 12, en el cual: dicho registro de acceso a la memoria se designa como



"STAC" (contador de acceso a la memoria), y dichos medios
contadores auxiliares se designan como "contador de dígitos";
y dicho STAC puede hacerse funcionar normalmente en el sen-
tido de obtener acceso a lugares de almacenaje generales
5 y dicho contador de dígitos se puede hacer funcionar nor-
malmente en el sentido de contar intervalos de dígitos du-
rante las actividades de tratamiento; comprendiendo además
dicho sistema unos circuitos de programa para hacer funcio-
nar el STAC en ciertas operaciones reteniendo la dirección
10 de acceso inicial de un bloque de dígitos seleccionados,
y hacer funcionar dicho contador de dígitos en el sentido
de suministrar señales para seleccionar dígitos individua-
les a base de repetición dentro de un bloque seleccionado.

15 15.- El sistema de la reivindicación 14, en el
cual dichas ciertas operaciones incluyen una operación de
restar que da por resultado un valor complementario, y di-
cho contador de dígitos se hace funcionar repetitivamente
como se ha dicho para recomplementar dicho valor.

20 16.- El sistema de la reivindicación 14, que com-
prende además un contador adicional que puede hacerse fun-
cionar al igual que dichos medios contadores auxiliares;
y en el que dichos medios de control hacen funcionar selec-
tivamente dichos medios contadores adicionales a base de
repetición y en unión del STAC para obtener acceso secu-
25 cialmente a las sub-unidades de dentro de un bloque selec-
cionado por el STAC.

30 17.- El sistema de la reivindicación 16, en el
cual una determinada operación en la que dichos medios con-
tadores adicionales pueden hacerse funcionar con el STAC
es la denominada de "apretar", durante la cual se tiene



acceso a las sub-unidades y sólo se transmiten partes esenciales de las mismas a un lugar de la memoria, para uso sucesivo.

18.- El sistema de la reivindicación 1, en el cual:

5 dicha memoria guarda operandos de datos e instrucciones en lugares de acceso generales, incluyendo cada instrucción unas porciones de dirección de acceso, para guardar unas direcciones de operando primera y segunda, y una porción de operación; y dichos medios de control establecen una

10 primera pauta de trabajo (A) para operaciones en las que interviene un solo operando de datos, para (A-1) obtener acceso a dicho único operando de datos sacándolo de su lugar general mediante la apropiada activación de dicho registro de acceso a la memoria con una de dichas direcciones de operando y transferir dicho operando a un lugar se-

15 leccionado en dicha área especial, mediante el adecuado franqueo de paso por dichos circuitos lógicos de la memoria, y (A-2) tratar luego dicho operando sacándolo de dicho lugar especial seleccionado; y una segunda pauta de

20 trabajo (B) para operaciones en las que intervienen dos operandos de datos, para (B-1) obtener acceso a uno de dichos operandos de datos sacándolo de dicha área de almacenaje general mediante la apropiada activación de dicho registro de acceso a la memoria con una de dichas direcciones de operando y transferir dicho primer operando a un lu-

25 gar seleccionado en dicha área de almacenaje especial, mediante el adecuado franqueo de paso por dichos circuitos lógicos de la memoria; y (B-2) tratar luego dicho primer operando mediante nueva activación de dichos circuitos ló-

30 gicos de la memoria, sacándolo de dicho lugar de almacena



je especial, y tratar al mismo tiempo dicho otro o segundo operando mediante nueva activación de dicho registro de acceso a la memoria con una segunda de dichas direcciones de operando para sacar dicho segundo operando del lugar de almacenaje general seleccionado.

19.- El sistema de la reivindicación 18, en el que dichos medios de control incluyen unos disparadores de control designados $X1-n$ que se activan selectivamente para suministrar niveles de salida $X1-Xn$ y $\overline{X1-Xn}$, unos medios de establecimiento de secuencia para activar y reponer dichos disparadores en una secuencia prefijada, y unos medios de reconocimiento capaces de responder a dichos niveles $X1-Xn$ y $\overline{X1-Xn}$ estableciendo las pautas de trabajo requeridas.

20.- El sistema de la reivindicación 18, en el cual: dicha memoria tiene unos lugares de almacenaje generales para guardar datos e instrucciones, y unos lugares de almacenaje especiales, que reciben la denominación de vocablo de acceso a la instrucción (IAW) para guardar sucesivamente las direcciones de acceso de las instrucciones, vocablo A y vocablo B; y dichos medios de control activan dicho registro de acceso a la memoria con arreglo al IAW para obtener acceso a una instrucción individual y transferirla a dicho vocablo A para determinar las direcciones de operando durante las etapas A-1, B-1 y B-2, y la operación requerida por dicha instrucción.

21.- El sistema de la reivindicación 20, en el cual: dichas instrucciones son las denominadas de memoria a memoria o almacenaje a almacenaje (SS), almacenaje inmediato (SI), registro a memoria y memoria a registro (RX)



y entrada/salida (I/O); y dichos medios de control funcionan de acuerdo con las etapas A-1 y A-2 para las instrucciones de SI, RX e I/O, y con arreglo a las etapas B-1 y B-2 para las instrucciones de SS.

5 22.- El sistema de la reivindicación 21, en el cual: las instrucciones de la clase RX, I/O y SI incluyen una instrucción de cambio o "enganche" y una instrucción de cambio y almacenaje y dichos medios de control son además capaces de funcionar en una operación de cambio probando o ensayando una condición prefijada del sistema y, de obtenerse prueba positiva, transferir al IAW el contenido del vocablo A para uso como dirección de acceso de cambio, y en una operación de cambio y almacenaje haciendo funcionar el IAW y guardando el IAW en una porción prefijada de la instrucción de cambio y almacenaje para establecer
10 luego un enlace y volver al punto del programa a partir del cual se inició la operación de cambio.

23.- Un sistema calculador.

20 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de setenta y tres hojas escritas a máquina por una sola de sus caras.

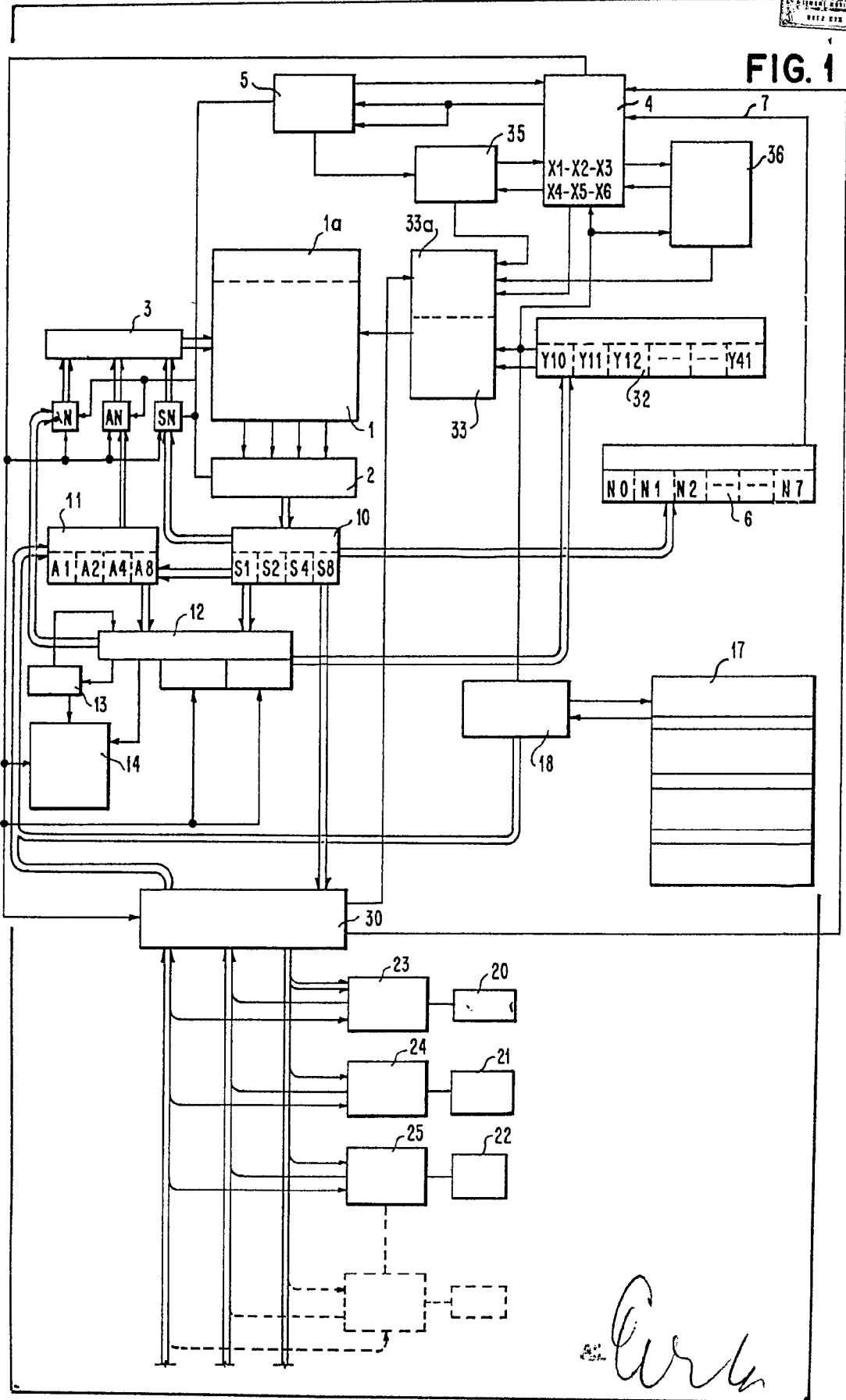
Madrid, 19 OCT.

Alberto de Elizaga
Arta



3/7/74

FIG. 1



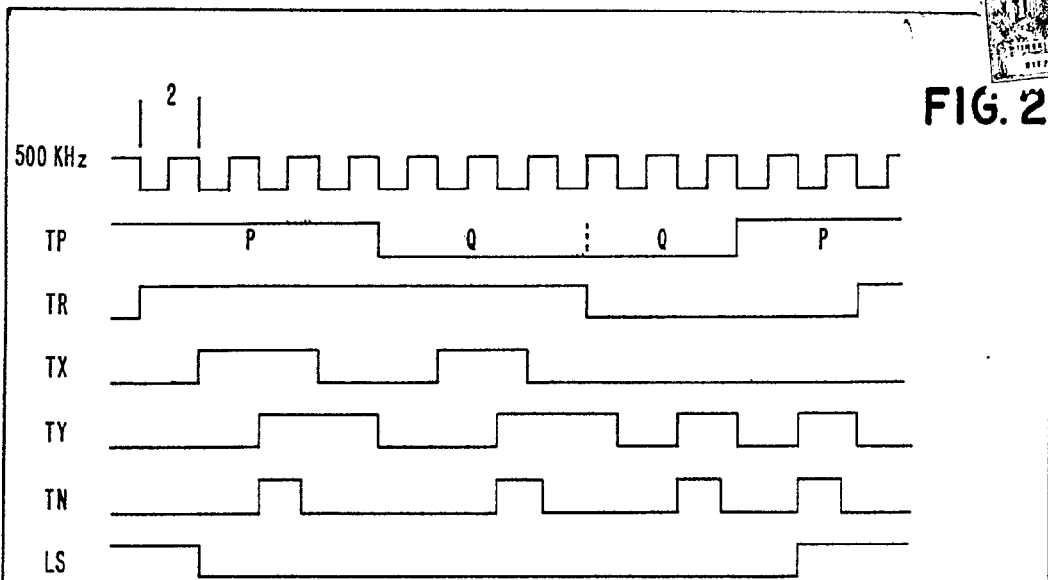


FIG. 2

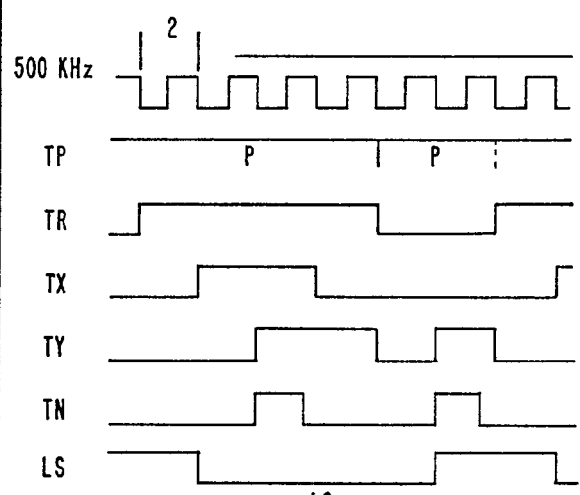
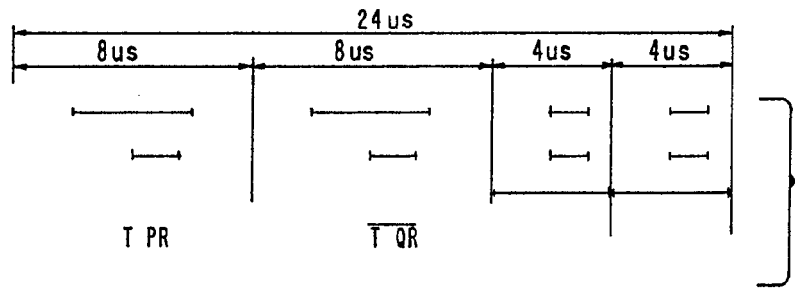
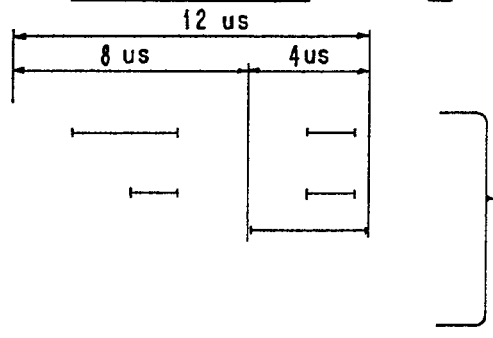


FIG. 3



Handwritten signature or initials.



FIG. 6a

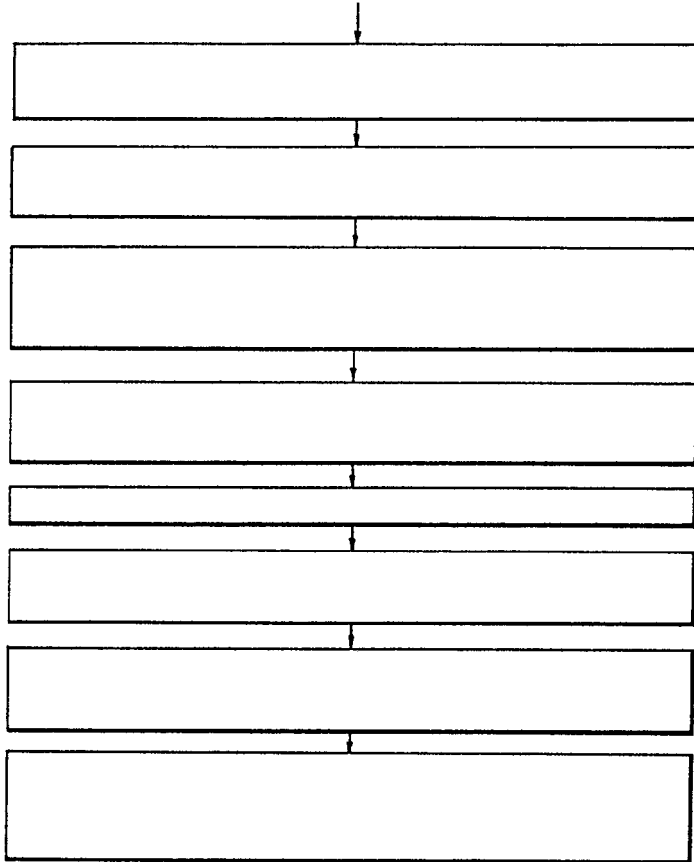
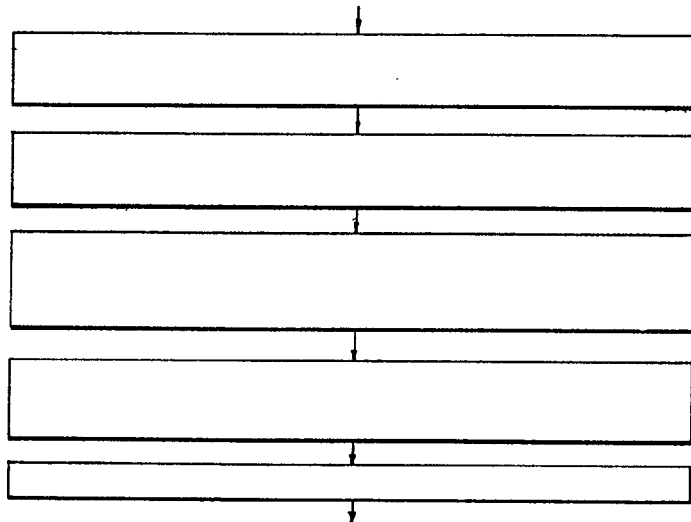


FIG. 6b



Handwritten signature or initials.



FIG. 7a

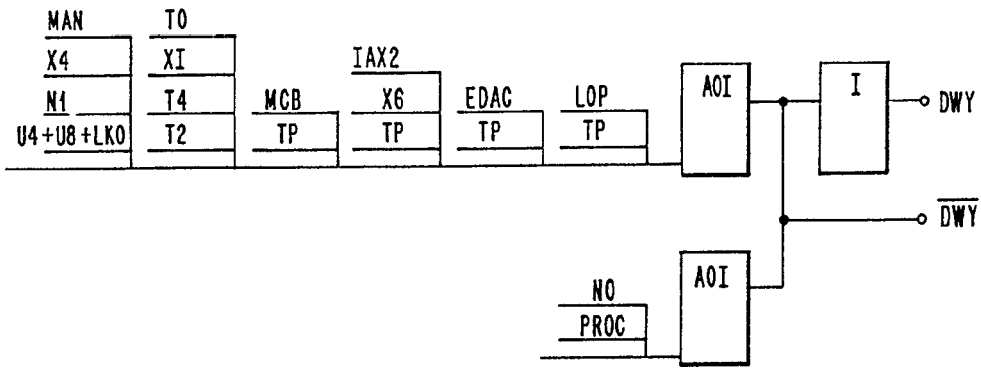


FIG. 7b

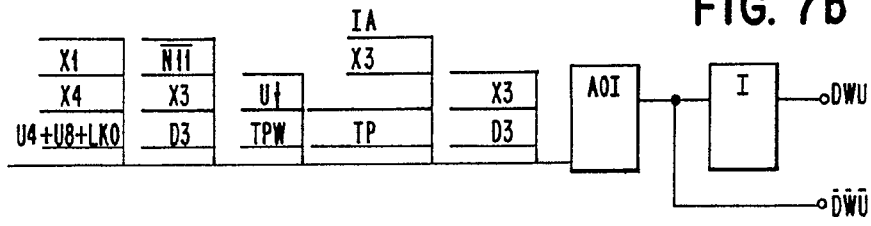
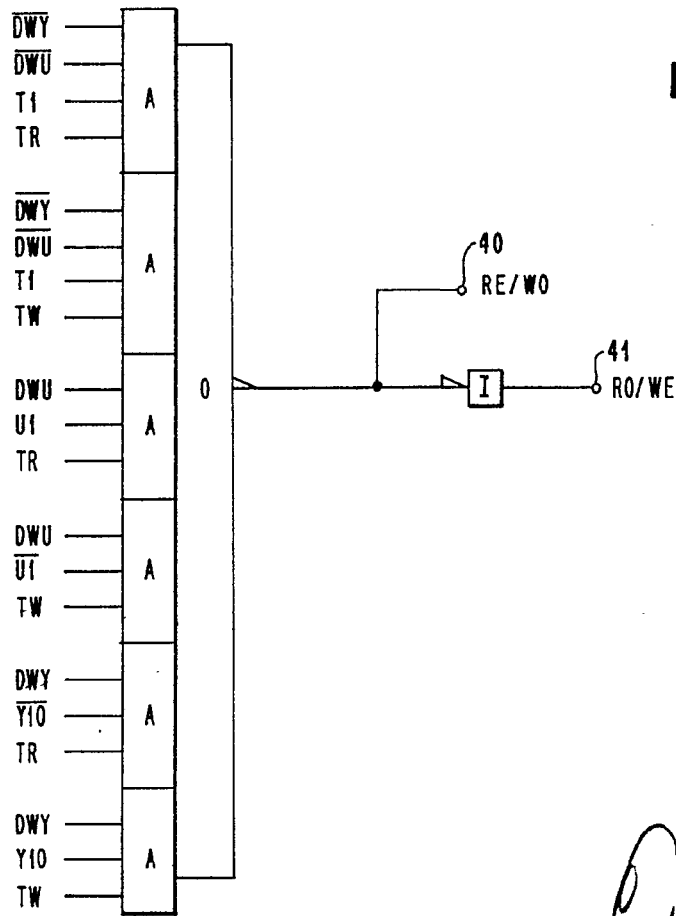


FIG. 8



Handwritten signature or initials.

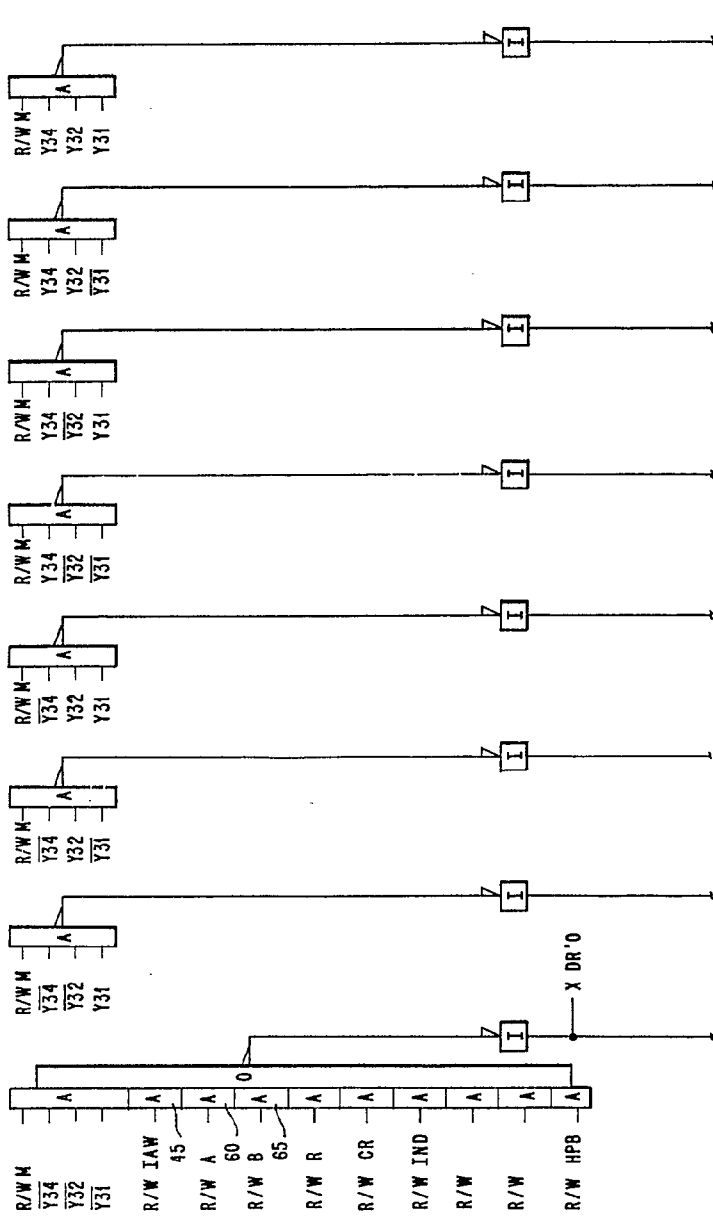
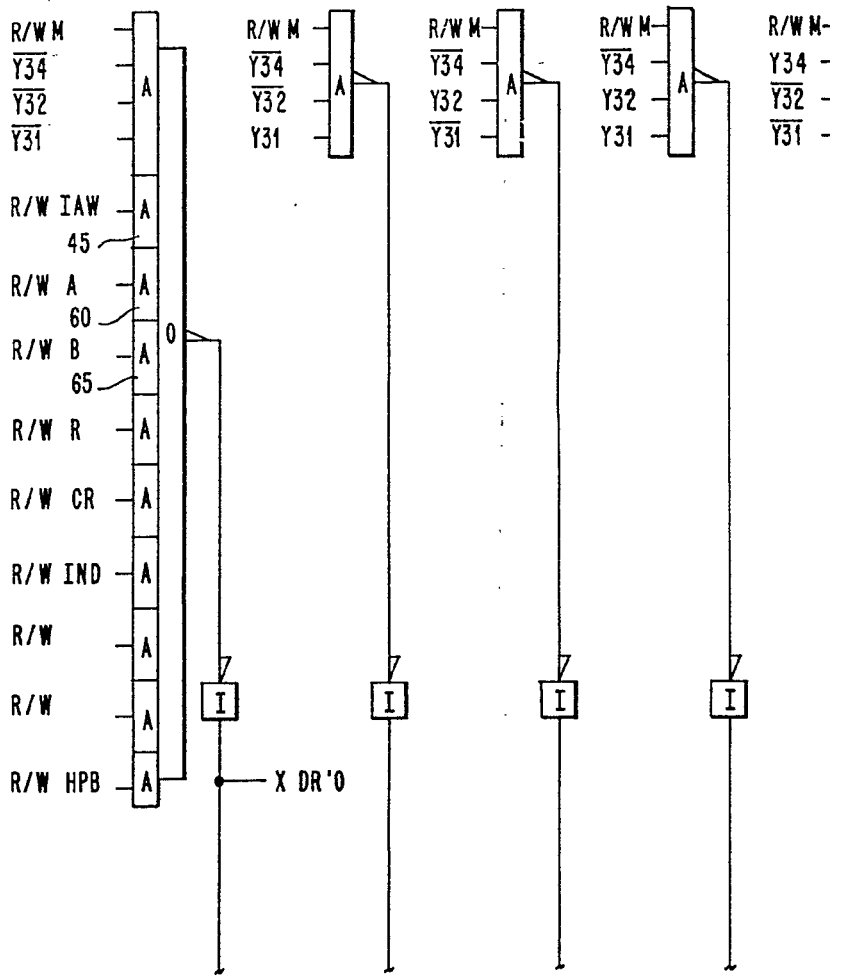


FIG. 9a

Erk



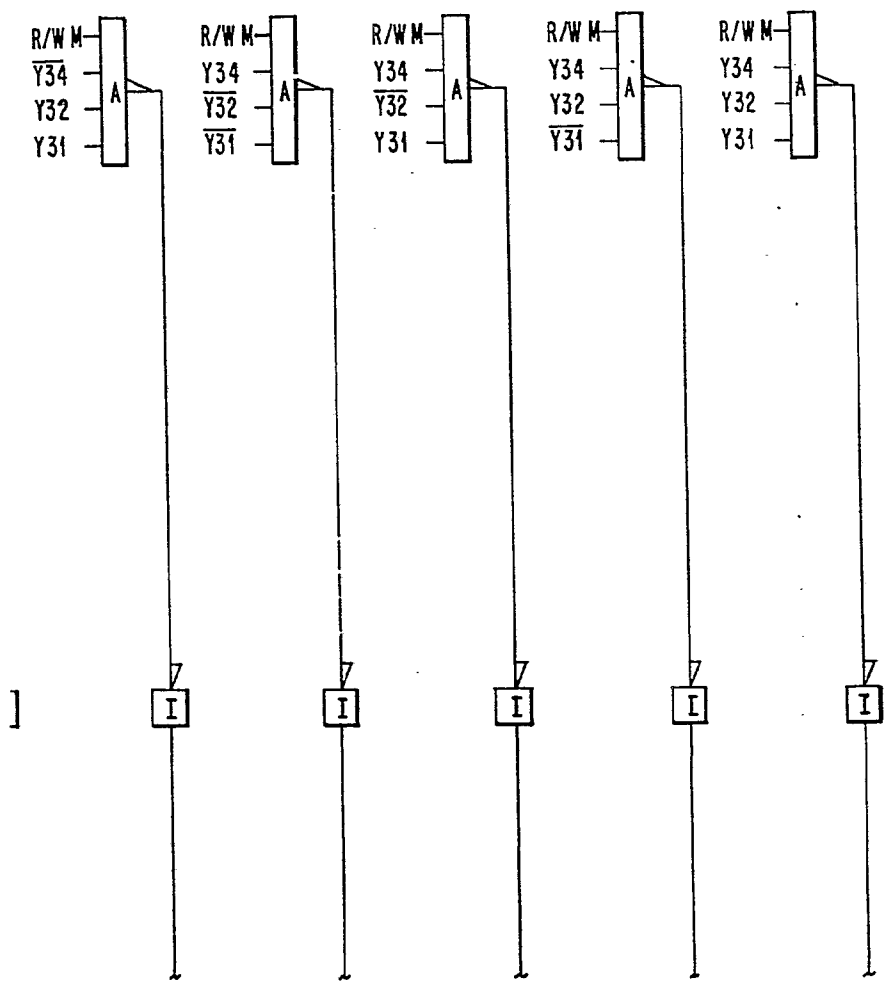


FIG. 9a

Curk



173/37

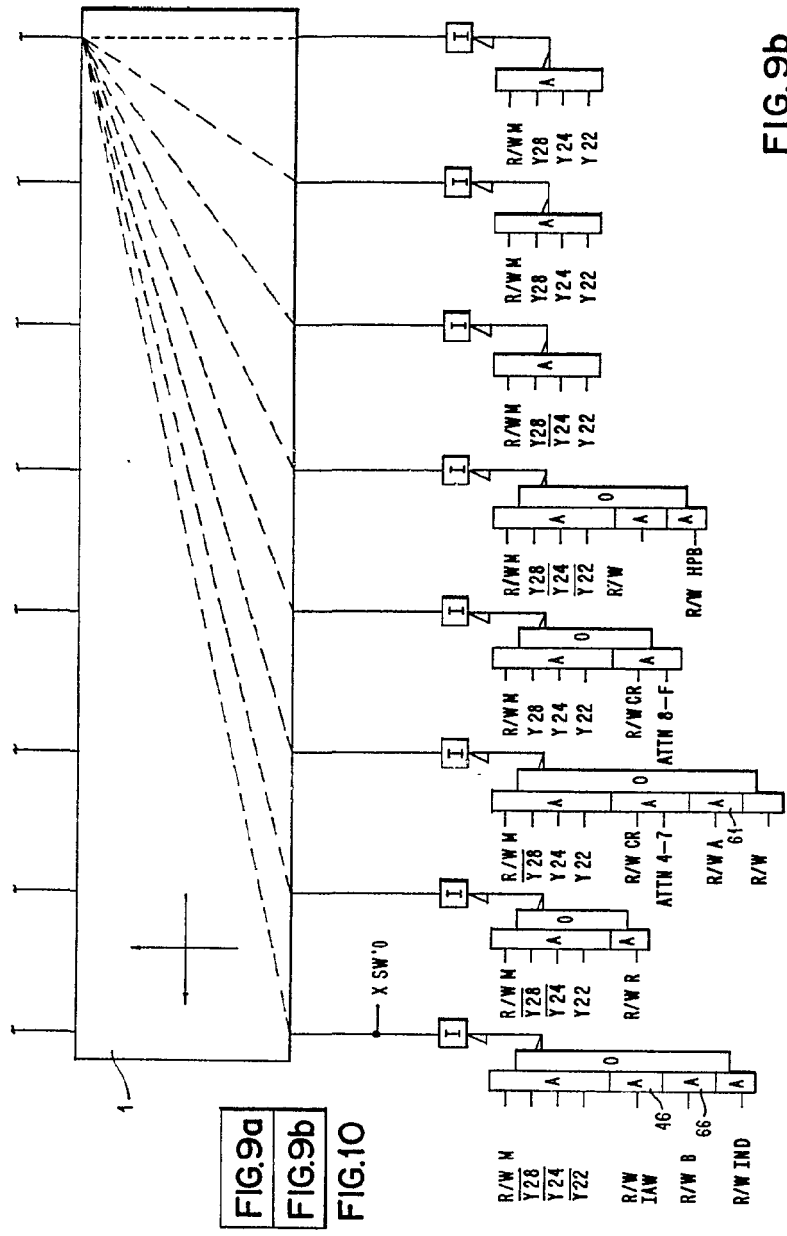


FIG. 9a
 FIG. 9b
 FIG. 10

FIG. 9b

Erbe

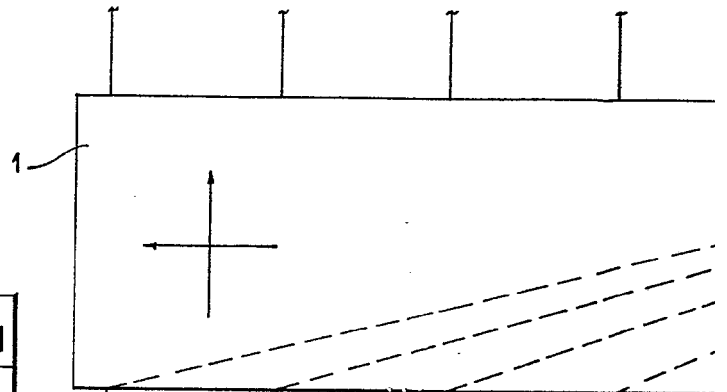
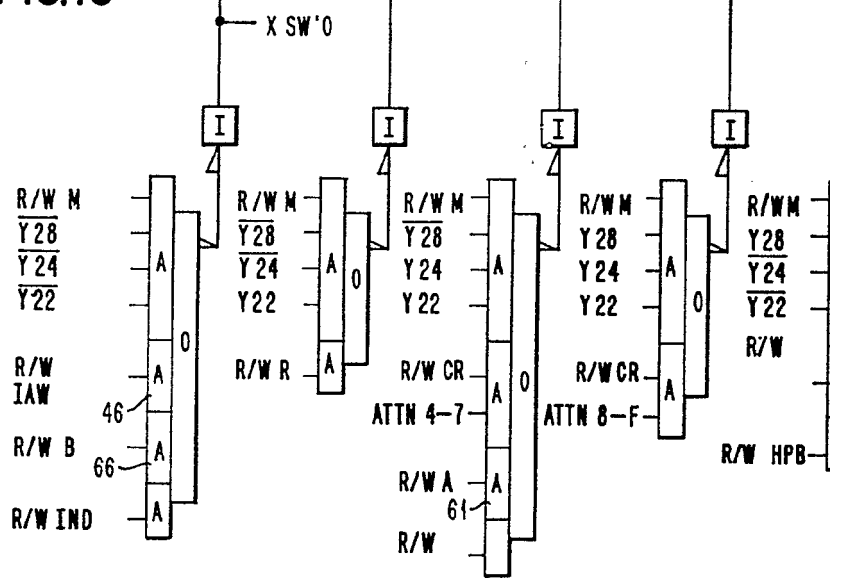


FIG. 9a
FIG. 9b
FIG. 10



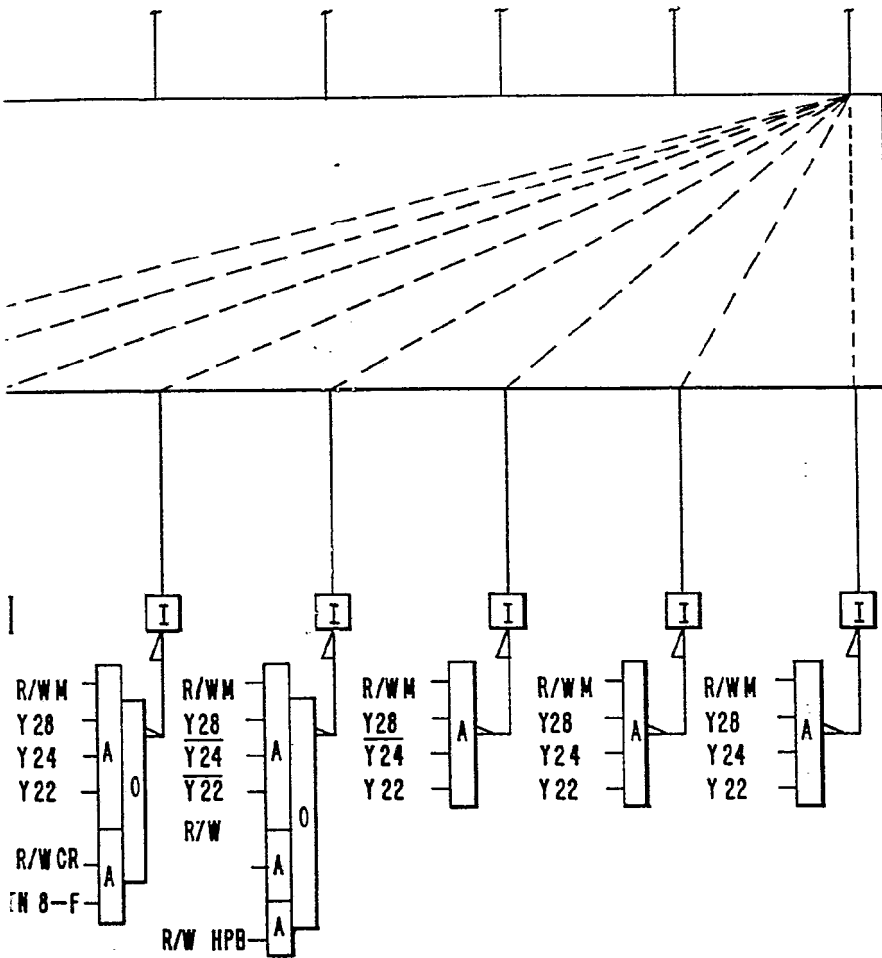


FIG. 9b

Ar



INTERCOM

INTERCOM

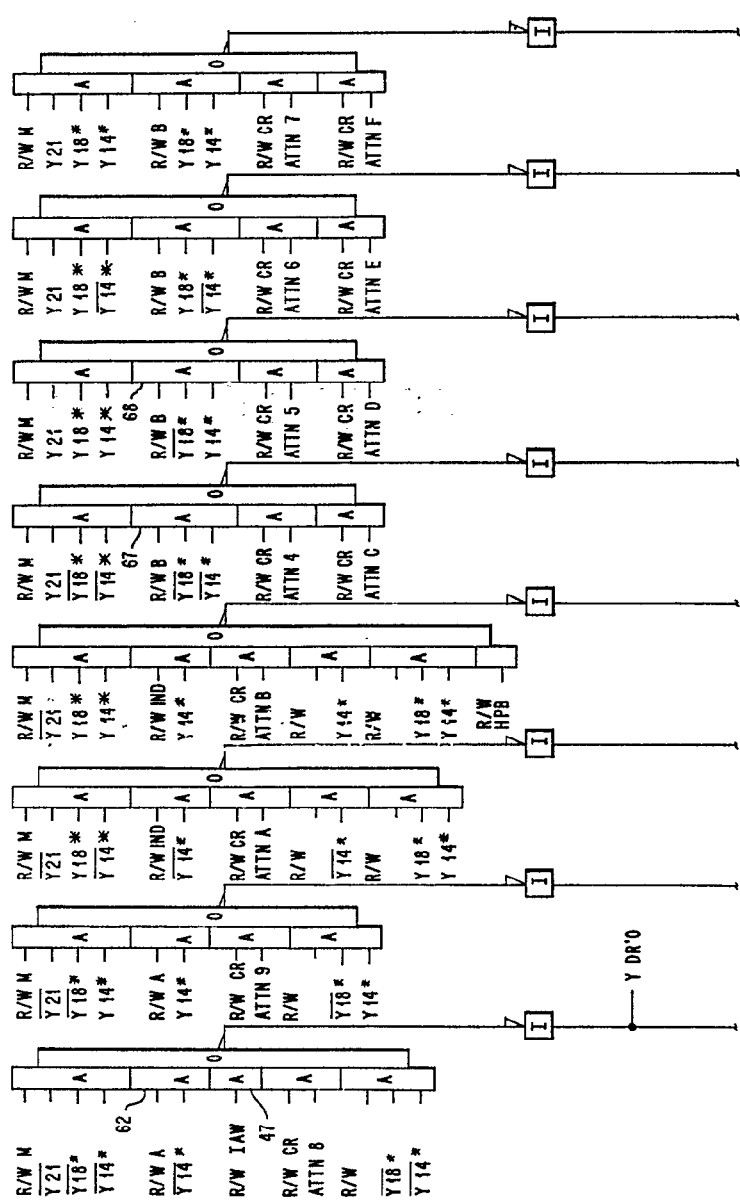
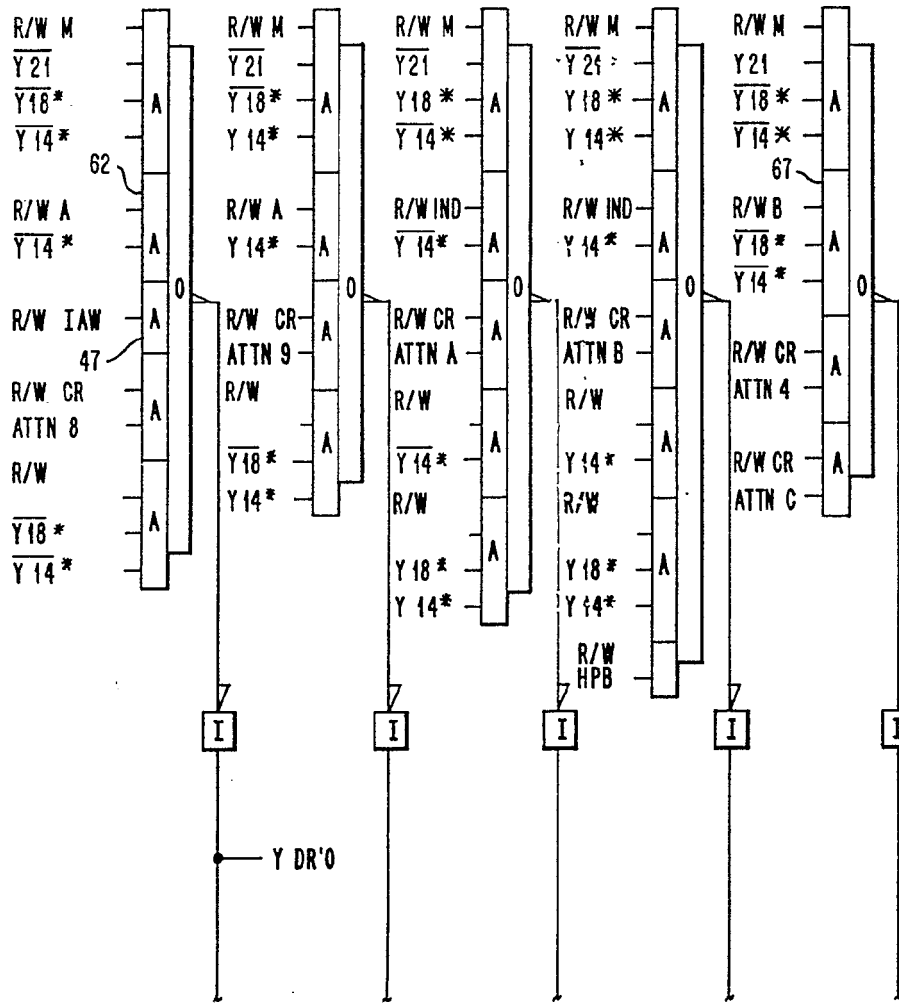


FIG. 11a

Alu



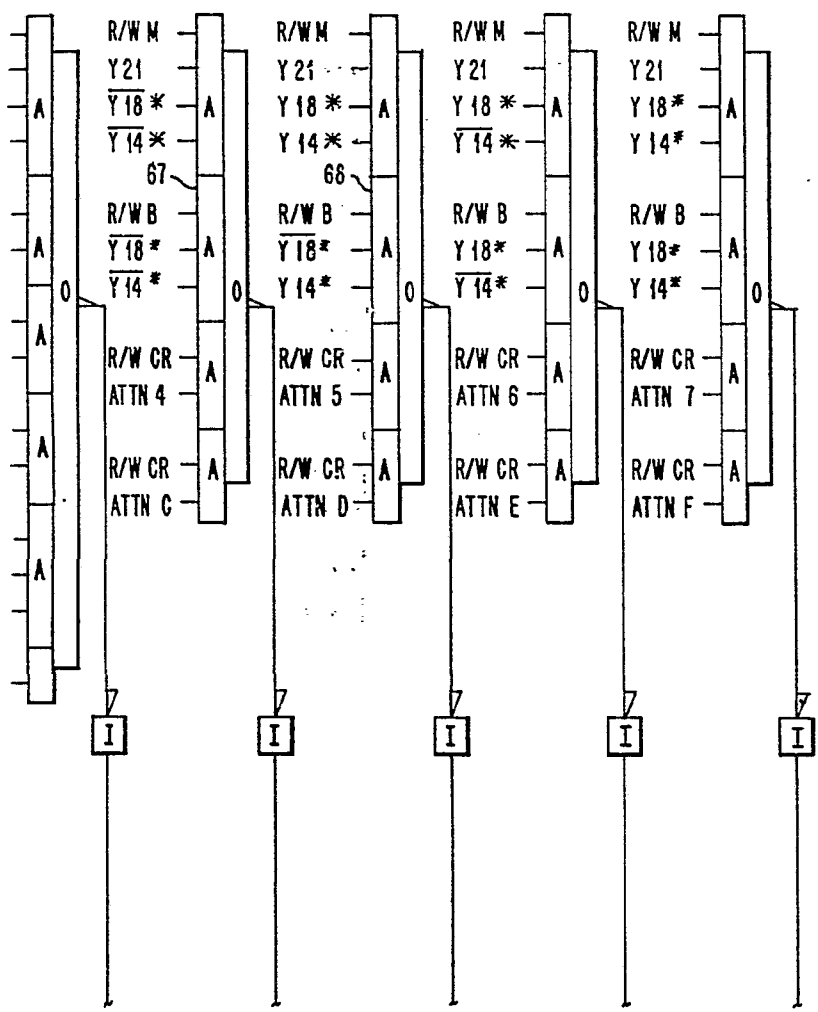
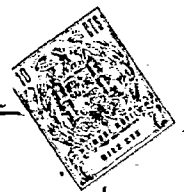


FIG. 11a

Handwritten signature or initials, possibly "R. L. G."



112

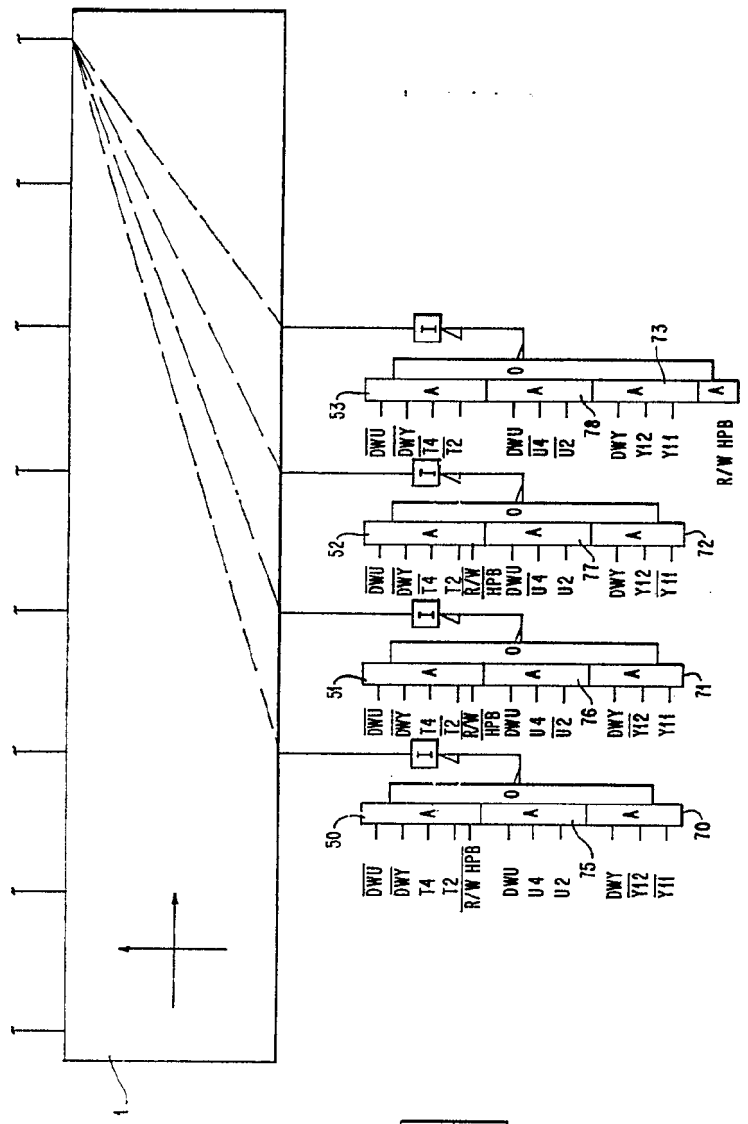


FIG. 11a
 FIG. 11b
 FIG. 12

FIG. 11b

Eric

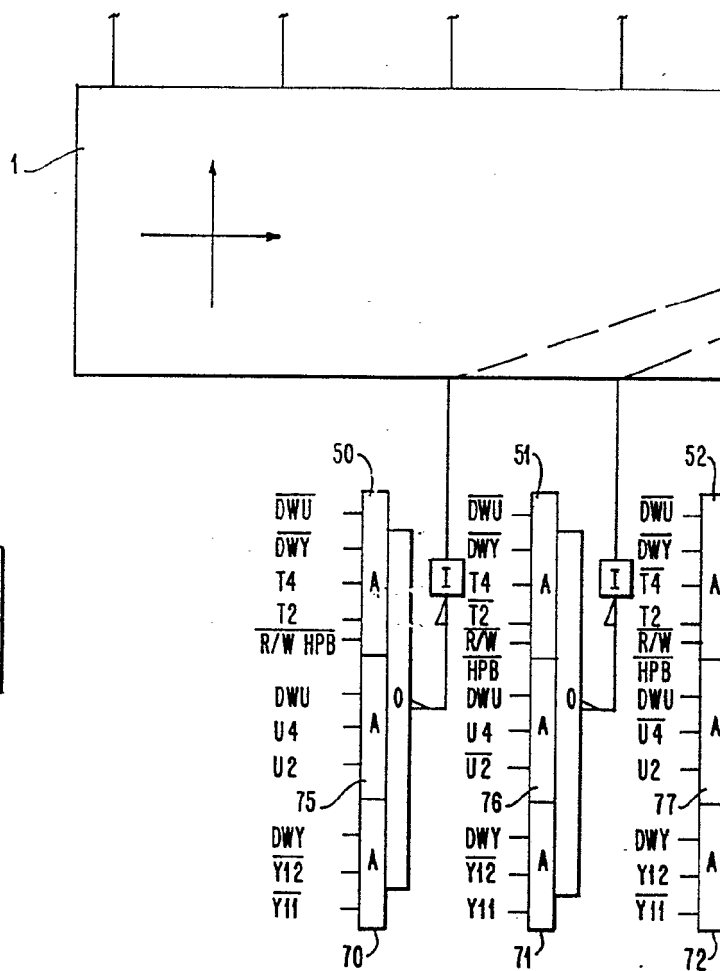


FIG.11a
FIG.11b
FIG.12

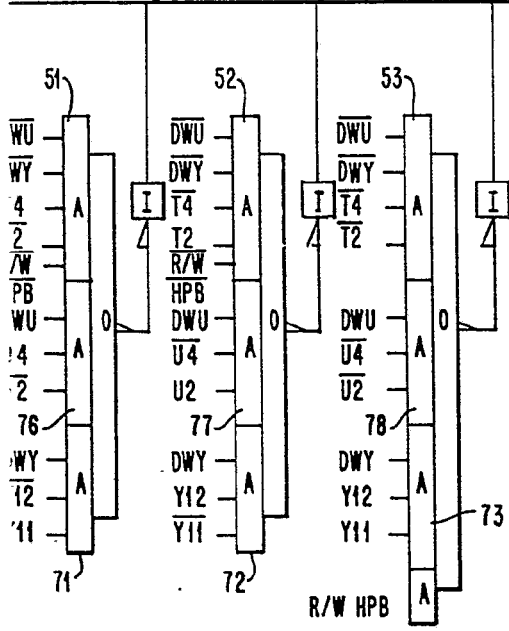
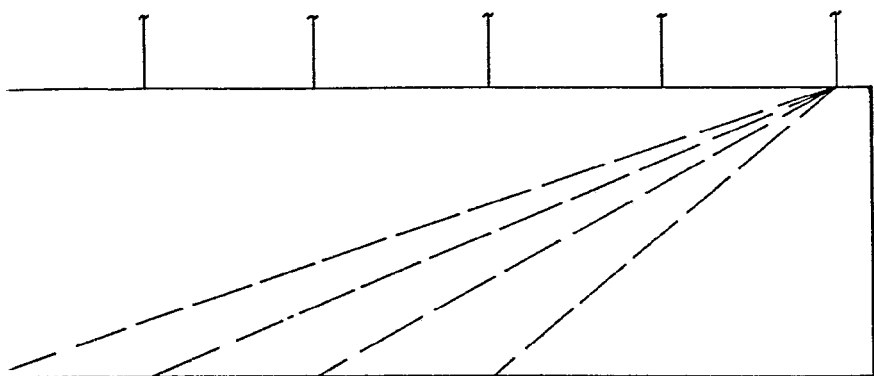


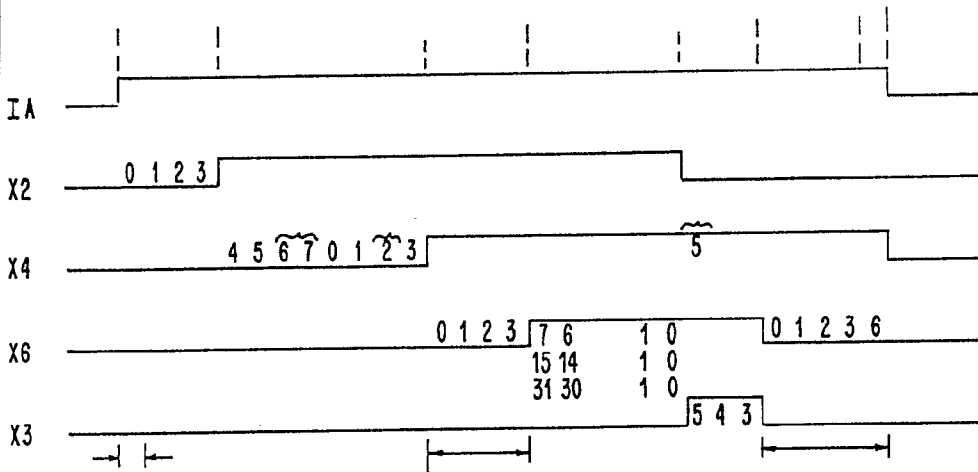
FIG. 11b

Eura



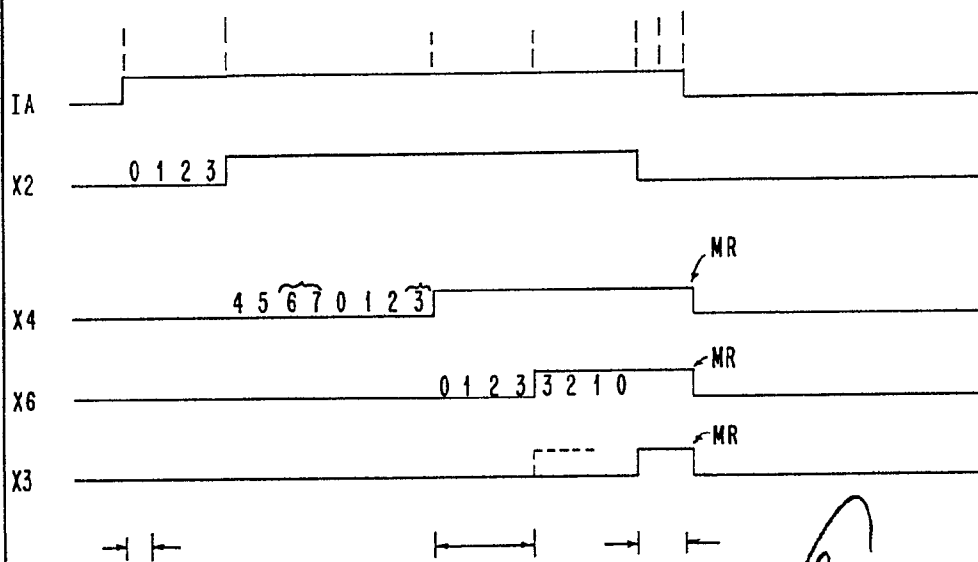
OP	B1	D1	B2	D2	SS
7	6	5	4	3	2 1 0

FIG. 13



7	6	5	4	3	2	1	0
RX	OP	R1	B2	D2			
7	6	5	4	3	2	1	0
I/O	OP	DA	F.S	B1	D1		
SI	OP	I2	B1	D1			

FIG. 14



Handwritten signature or initials.



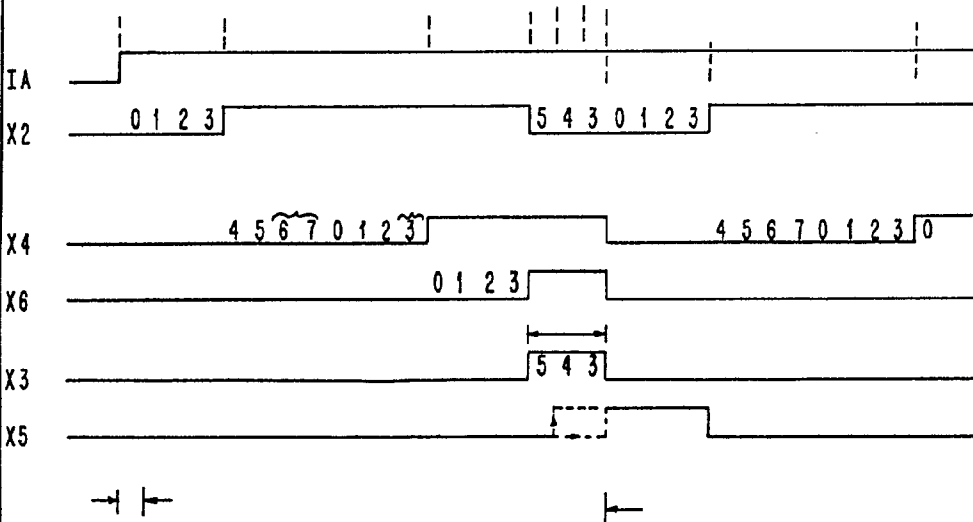
I/O

OP	DAI	FS	IBI	D1			
7	6	5	4	3	2	1	0

 RX

0	P	MI	B2	D2																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

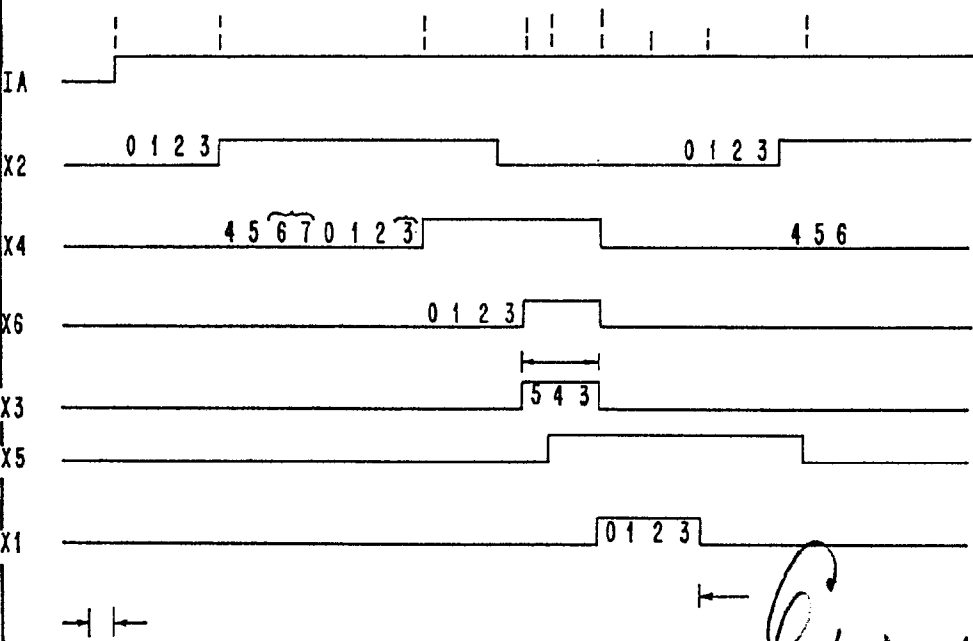
FIG. 15



RX

7	6	5	4	3	2	1	0																								
OP	RI	B2	D2																												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

FIG. 16



Handwritten signature or initials.

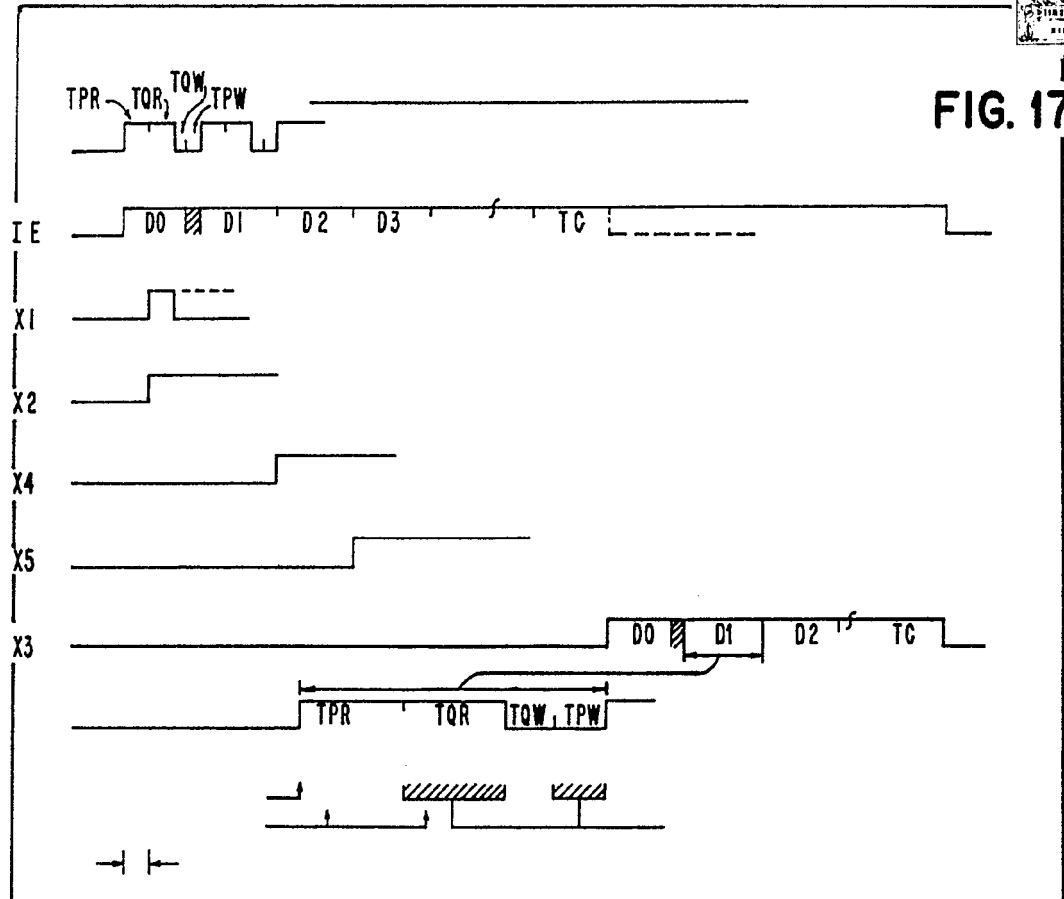


FIG. 17

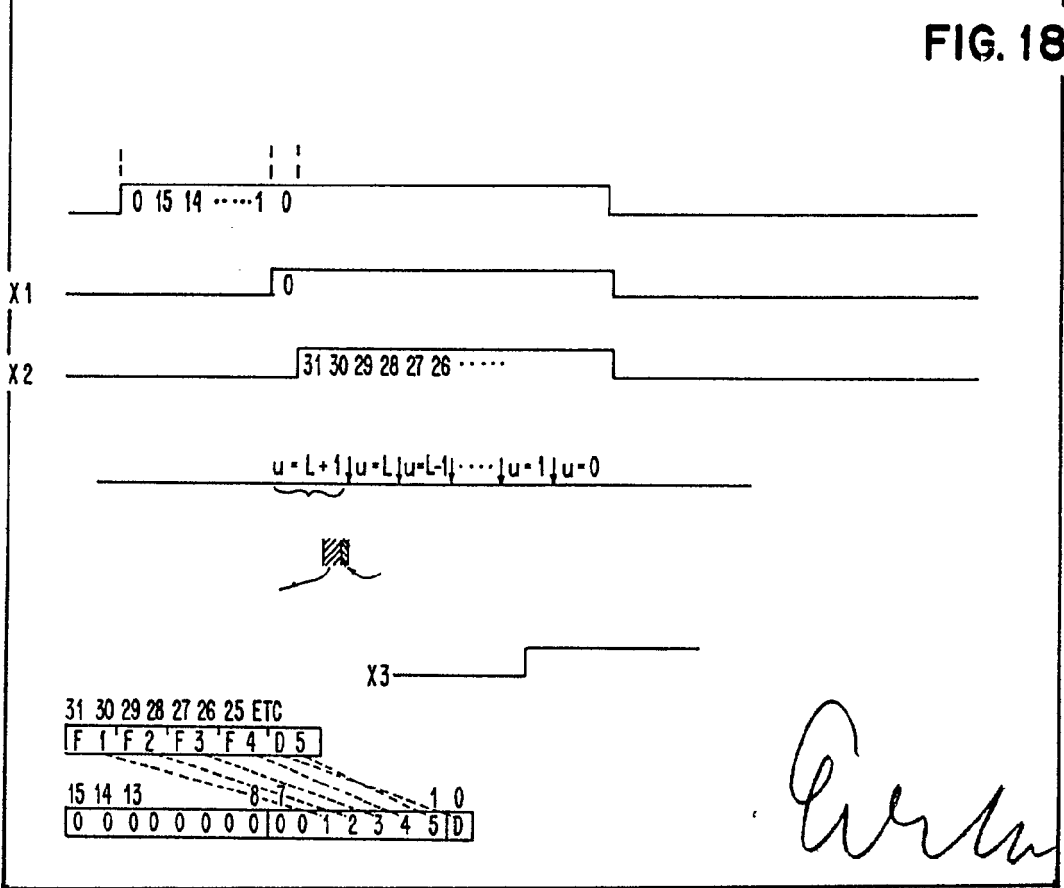


FIG. 18



FIG. 19

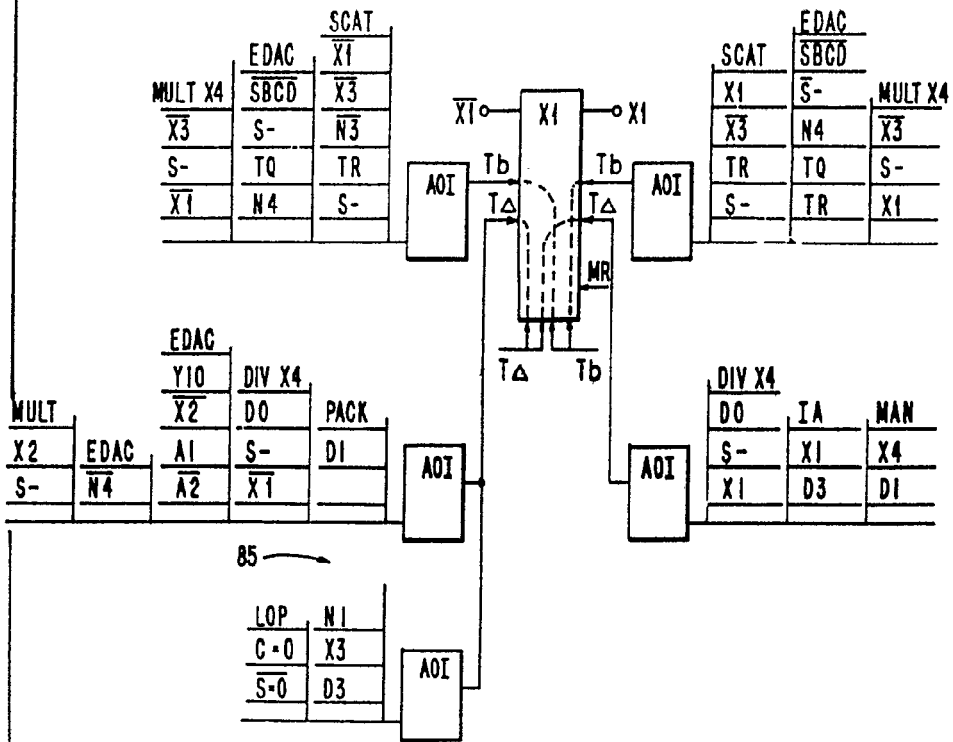
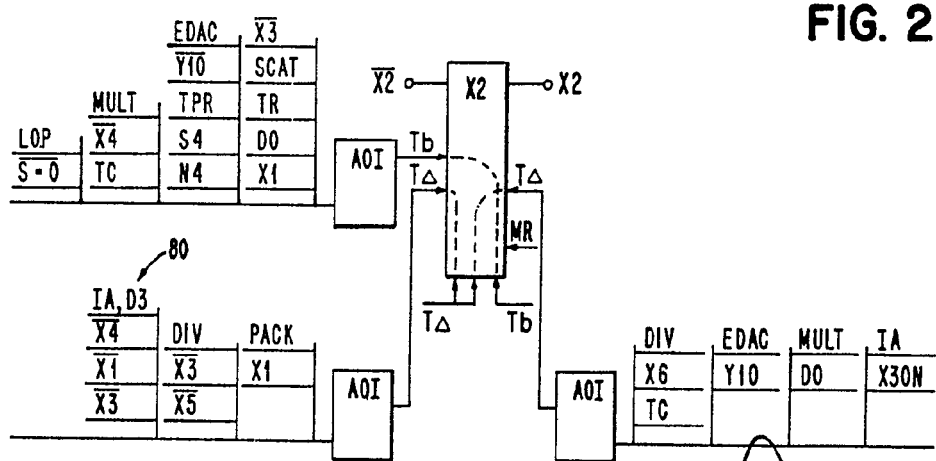


FIG. 20



Handwritten signature or initials.



FIG. 21

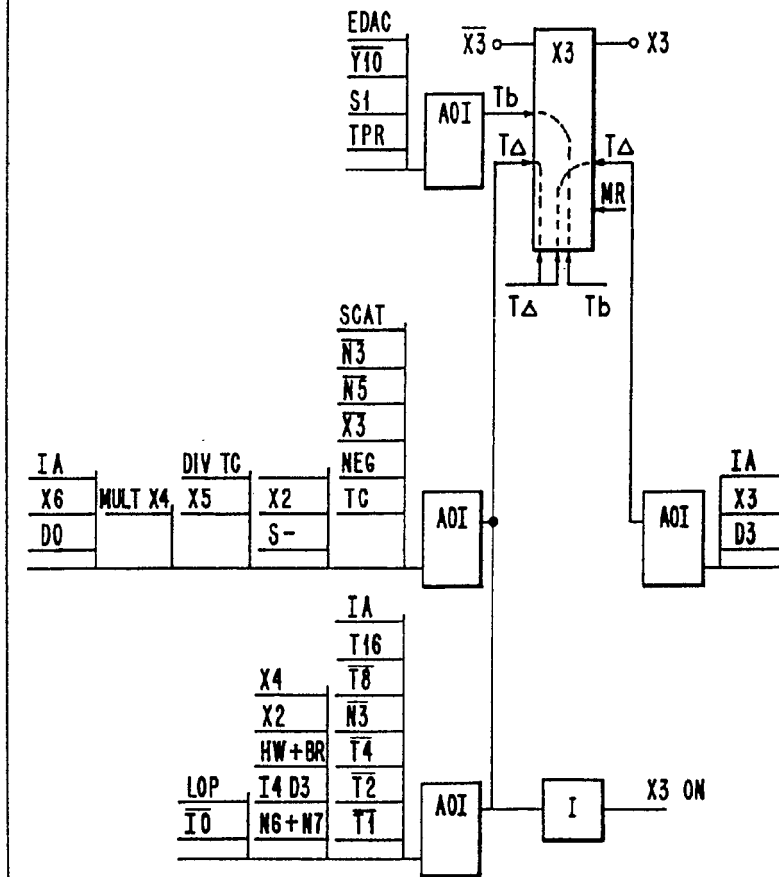
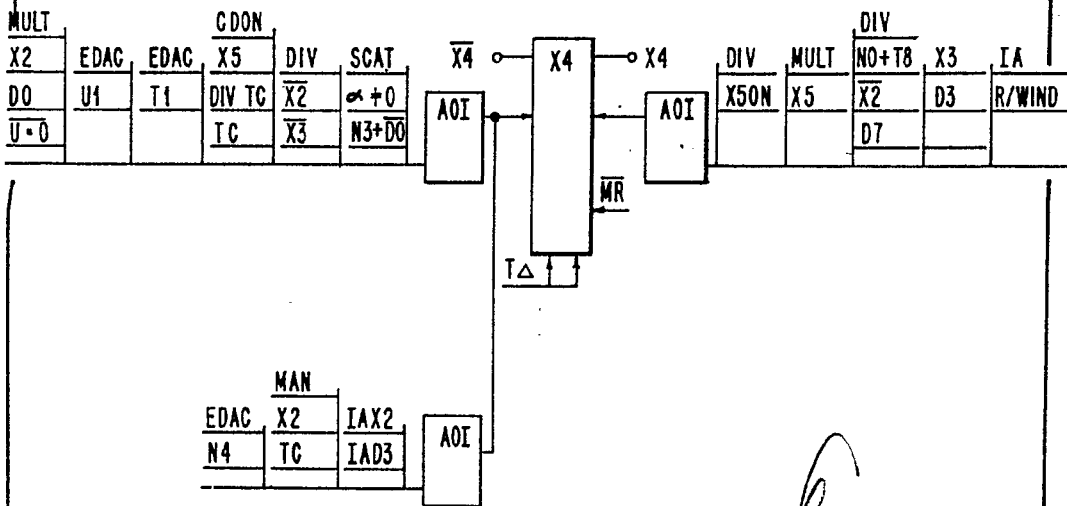


FIG. 22



Arch

