

PATENTE DE INVENCION

CASE O/675.

357614

*Memoria Descriptiva*



1968

*sobre:*

"PERFECCIONAMIENTOS EN LA CONSTRUCCION DE DIFERENCIADORES  
DIGITALES".-

-----

*Solicitante:* DECCA LIMITED, entidad inglesa, residente en Decca  
House, 9 Albert Embankment, Londres, S.E.1., Inglaterra.

-----

Esta invención se relaciona con diferenciadores  
digitales y está particularmente dirigida hacia dispositi-  
vos adaptados para producir una señal de salida cada  
vez que una señal de entrada de amplitud variable (que  
5. puede ser una señal digital) entra en uno de dos estados



20

- discretos. Por ejemplo, puede definirse un estado como el existente cuando la amplitud de la señal de entrada es inferior a un valor predeterminado, pudiendo definirse el otro estado como el que hay cuando la amplitud de la señal de entrada es superior al valor predeterminado o a otro. Sin embargo, la invención es también aplicable a situaciones en las que una señal de entrada puede tener, por ejemplo, una de dos frecuencias alternativas.
- 5.
10. La invención se relaciona también con la comodidad de funcionamiento de dispositivos procesadores o computadores de datos. Cuando uno de estos dispositivos ha de detectar y actuar sobre cambios en el estado de una señal de entrada variable, es ordinariamente deseable detectar y discrecionalmente actuar sobre cambios de estado de la señal de entrada sincronizadamente con el trabajo del dispositivo procesador de datos o computador. Como tales dispositivos son comúnmente controlados por impulsos de cronometración, que son impulsos cortos y de precisa cronometración que se producen a intervalos regulares, es deseable que los cambios de estado de la señal de entrada aparezcan de modo que ocurran sincronizadamente con el siguiente impulso de cronometración que sucede al cambio efectivo de estado de la señal de entrada; de igual modo, la señal que indica un cambio de estado de la señal de entrada sólo deberá durar preferiblemente una "duración de bitio" (es decir, el intervalo entre dos impulsos de cronometración sucesivos).
- 15.
- 20.
- 25.
30. De acuerdo con la invención, un diferenciador



- destinado a producir una señal de salida cuando cambia de estado una señal de entrada sujeta a variación entre dos estados, comprende un dispositivo biestable cada uno de cuyos dos estados estables corresponde a un respectivo estado de la señal de entrada, un comparador que responde al estado de la señal de entrada y al estado del dispositivo biestable para producir una señal de salida sólo cuando el estado de la señal de entrada y el del dispositivo biestable no se corresponden entre sí y una fuente de impulsos de cronometración cuya frecuencia de repetición es superior a la frecuencia con que varía la señal de entrada entre los dos estados mencionados, estableciéndose el dispositivo biestable de manera que cambie de estado sólo si la señal de salida del comparador es simultánea a un impulso de cronometración.
- 5.
- 10.
- 15.

- En la presente invención, un dispositivo biestable posee dos estados, cada uno de ellos destinado a corresponder a un estado de la señal de entrada. Se verá que cuando el estado de la señal entrante corresponde al ajuste del dispositivo biestable, no se produce ninguna señal de salida del comparador. Si cambia el estado de la señal de entrada, el comparador producirá una señal de salida, es decir, una señal indicativa de que el estado del dispositivo biestable es el previamente asignado al particular estado de la señal de entrada.
- 20.
- 25.

- Sin embargo, el dispositivo biestable sólo cambia de estado si una salida del comparador es simultánea a un impulso de cronometración. Por ejemplo, puede establecerse un circuito (o "puerta") discriminador por conjunción que reciba la señal de salida del comparador y los
- 30.



impulsos de cronometración en entradas separadas, estableciéndose el dispositivo biestable para cambiar de estado cuando se encuentra presente una señal en cada entrada del circuito discriminador.

5. Cuando cambia el estado del circuito biestable por efecto del circuito discriminador, cesa la salida del comparador.

10. Con la disposición relativamente sencilla que se acaba de describir, el "frente posterior" de la señal de salida del comparador está sincronizado con el siguiente impulso de cronometración después de producirse el cambio de estado de la señal de entrada. Sin embargo, el "frente delantero" de la señal de salida del comparador está desincronizado con un impulso de cronometración. Para determinados fines, esto puede no importar, pero es conveniente establecer otro dispositivo biestable o "memoria" que varía de estado de acuerdo con el de la señal de entrada, respondiendo el comparador al estado del otro dispositivo biestable citado con el fin de detectar el de la señal de entrada; convenientemente, se establecen medios para inhibir la variación de estado del otro dispositivo biestable, salvo tras la recepción de un impulso de cronometración. Con esta disposición, si no se corresponden el estado de la señal de entrada y el del otro dispositivo biestable, no se adopta ninguna acción hasta que se produce un impulso de cronometración. Cuando ocurre esto, cambia el estado del otro dispositivo biestable y el comparador detecta la desigualdad entre estados del primer dispositivo biestable y del otro y produce una señal de salida. Sin embargo, el primer dispositivo biestable cambiará ahora de estado, el comparador detectará una igualdad de estado y su señal de salida
- 15.
- 20.
- 25.
- 30.



asumirá inmediatamente su nivel original. Con esta construcción, cualquier señal de salida del comparador sólo dura un corto tiempo, que no empieza antes de producirse un impulso de cronometración y terminará normalmente poco después, dependiendo de los tiempos de conmutación de los diversos componentes activos empleados.

5.

Se observará que aunque la salida del comparador puede usarse de hecho para cambiar el estado del primer dispositivo biestable, no es necesario que ello sea así.

10.

Por ejemplo, solo es necesario que sea detectada la condición de algún circuito lógico, cuya condición indica la salida del comparador, y si se encuentra en una condición que indica que se está produciendo una señal de salida del comparador, proporciona la necesaria orden al primer dispositivo biestable para cambiar su estado, siempre naturalmente que se encuentre presente al mismo tiempo un impulso de cronometración.

15.

Este aspecto de la invención puede apreciarse mejor si se considera una forma preferida de la misma. Convenientemente, el primer dispositivo biestable y el otro comprenderán, cada uno de ellos, un circuito biestable JK, dispuesto de manera que el estado del primero de ellos sea controlado por el otro. Con esta forma de la invención, al cambiar el estado de la señal de entrada, los circuitos biestables JK se encuentran temporalmente en diferentes estados (tanto si se inhibe ó no a ambos circuitos biestables de cambiar de estado, salvo cuando se produce un impulso de cronometración). El comparador detecta esta falta de correspondencia entre estados produciendo la requerida señal de salida. Sin embargo, simultáneamente con la producción de la

30.



señal de salida, el primer dispositivo biestable (circuito biestable JK) cambia de estado (hallándose presente un impulso de cronometración) por efecto del otro circuito biestable JK.

5. Usando esta forma de la invención, el comparador puede comprender dos circuitos discriminadores por conjunción, acoplándose las entradas de un circuito discriminador a la salida directa de un circuito biestable JK y acoplándose la salida inversa del otro circuito biestable JK y las entradas del otro circuito discriminador a la salida inversa del citado circuito biestable JK y a la salida directa del otro circuito biestable, en virtud de lo cual una salida de cualquier circuito discriminador indica un cambio de estado de la señal de entrada.
- 10.
15. La función del comparador según este aspecto de la invención es esencialmente la detección del cambio de un "bitio" de información binaria desde un circuito biestable al otro, a la manera de un registro de cambios. Por consiguiente, la invención puede incorporarse en parte mediante un registro de cambios de dos etapas; es evidente que las etapas del registro de cambios no precisan estar constituidas por circuitos biestables JK. Sería más conveniente usar el registro de cambios con una señal de entrada que sea de forma digital.
- 20.
25. Por consiguiente, de acuerdo con este aspecto de la invención, un diferenciador para una señal digital de entrada comprende un registro de cambios de dos etapas, cuya primera etapa está adaptada para cambiar de estado por efecto de cambios de estado de la señal de entrada, una fuente de suministro de impulsos de cronometración, cuya frecuencia de repetición es superior a la frecuencia con que varía la señal de entrada entre
- 30.



estados, disponiéndose el registro de cambios para cambiar de información entre etapas sólo cuando se produce un impulso de cronometración, y medios adaptados para producir una señal de salida cuando se cambia una información desde la primera etapa a la segunda.

5.

En lo que sigue, se hará referencia a los dibujos adjuntos, en los cuales:

La figura 1 es una representación esquemática de una versión de la invención.

10.

La figura 2 es una ilustración esquemática de una versión más compleja de la invención.

La figura 3 es una ilustración esquemática de una versión práctica de la invención; y

15.

Las figuras 4a a 4e ilustran formas de ondas en varios puntos de las versiones de las figuras 1 y 2.

20.

Con referencia en primer lugar a las figuras 1 y 4a a 4e, se aplica una señal, cuya amplitud varía entre dos estados, definidos respectivamente como estados "0" y "1", a un terminal de entrada 10 y desde éste a una entrada 11 de un comparador 12. Se verá que hay una "tierra de nadie" entre el límite superior del estado "0" y el límite inferior del estado "1" y, como se verá seguidamente, el aparato de los dibujos sólo detecta la entrada a un estado. Esto se debe a que la detección de tanto una entrada

25.

como una salida requeriría una memoria de tres estados cuyo tercer estado correspondiese a la "tierra de nadie". Este problema no surge naturalmente si la "tierra de nadie" (o "banda muerta") no existe entre los estados. A la otra entrada 13 del comparador 12 se acopla una entrada de un biestable 14 que, de acuerdo con el estado del biestable, se

30.



- encuentra a un nivel correspondiente al estado "0" ó al estado "1". El dispositivo comparador producirá en consecuencia una salida de no-cero sólo si sus entradas no se corresponden y producirá una salida cero si se corresponden la salida del biestable y el estado de la señal de entrada. Por ejemplo, un circuito de entrada acoplado a la entrada 11 puede proporcionar una señal positiva predeterminada cuando la señal de entrada está en "1" y una señal cero si la señal de entrada está en "0", pudiéndose establecer la salida del biestable para producir dicha salida predeterminada o cero, dependiendo de que su estado sea "1" ó "0". El comparador puede comprender entonces un amplificador de diferencias. Cuando hay una banda muerta entre estados, el citado circuito de entrada podría ser un amplificador de banda muerta; si no hay ninguna banda muerta, podría ser un circuito de mando Schmitt. El biestable 14 se dispone para cambiar de estado cada vez que se recibe una señal de la salida de una puerta por conjunción 15, una de cuyas entradas está conectada a un cronometrador digital 16 que produce impulsos de cronometración C1, C2, etc., a una frecuencia de cronometración relativamente superior a la frecuencia con que la señal de entrada varía entre sus dos estados definidos. La otra entrada de la puerta por conjunción 15 está conectada a la salida 17 del comparador, de manera que dicha puerta 15 produce una salida solo si son simultáneas una salida del comparador y un impulso de cronometración.

Se comprenderá que a efectos de comparación por el comparador, es conveniente que, por ejemplo, correspondientes estados de la señal de entrada y del circuito biestable



estén asociados a iguales voltajes de polaridad análoga. Sin embargo, esto no es en modo alguno esencial para la invención, puesto que es fácilmente posible alterar la asignación de los estados mediante adecuados circuitos de inversión y también es posible identificar los estados de la señal de entrada meramente como un valor positivo y un valor negativo de una señal cuyo valor particular no interesa. En estas circunstancias, un comparador sólo necesita poder producir una señal de salida si las polaridades de dos señales, cada una de las cuales representa un estado de la señal de entrada y del circuito biestable, respectivamente, no se corresponden; pueden adoptarse otras diversas posibilidades, siendo sólo necesario que el estado del circuito biestable pueda compararse con el estado de la señal de entrada, de manera que un dispositivo de comparación pueda comprobar si hay correspondencia entre los dos estados.

Debe destacarse también aquí que "salida", en lo que respecta al comparador, representa simplemente un cambio en el valor de alguna señal respecto a un valor que se asigna a una igualdad entre los estados de la señal de entrada y el biestable. El particular valor de la salida del comparador no importa y realmente es concebible que ninguna salida del comparador pueda corresponder a algún voltaje de no-cero, mientras que la "salida" del comparador podría corresponder a un voltaje cero. Esto es posible si la codificación de señales usadas por un computador asociado concuerda con una lógica codificada inversa. En cualquier caso, "señal de salida" (del comparador) significa la presencia de alguna señal producida por el comparador, sólo cuando no hay correspon-



dencia entre los estados que el comparador compara.

Con referencia ahora particularmente a la figura 4, en un tiempo  $t_0$ , la señal de entrada se encuentra en la banda muerta entre el estado "1" y el estado "0", estando la salida del comparador en cero (figura 4c). Los impulsos de cronometración se muestran en la figura 4d. En el momento del primer impulso de cronometración C1, la señal S no ha alcanzado todavía el estado "0" y no se detecta ningún cambio. En el tiempo  $t_1$ , la señal de entrada entra en el estado "0" y la salida del comparador pasa a ser de no-cero. Esta condición persiste hasta el siguiente impulso de cronometración C2; luego se encuentran presentes ambas entradas en la puerta 15 y el estado (figura 4b) del circuito biestable 14 cambia a "0": la salida del comparador desciende a cero. Este proceso se repite en los tiempos  $t_2$  (entrada al estado "1") y  $t_3$  (re-entrada al estado "0").

Se verá que en cada caso la terminación de la salida del comparador coincide con el impulso de cronometración inmediatamente siguiente al cambio de estado. Sin embargo, el comienzo de la salida del comparador ocurre a veces antes de esto, en algún punto intermedio a dos impulsos de cronometración. Esto es con frecuencia indeseable y se hará referencia seguidamente a la figura 2, que muestra un circuito similar al de la figura 1, con la excepción de que se ha añadido otro circuito biestable, la memoria 18. Este biestable 18 se halla dispuesto para producir salidas "1" ó "0", dependiendo del estado de la señal de entrada, pero al igual que el biestable 14, puede cambiar de estado en respuesta a la señal de entrada sólo cuando se recibe un



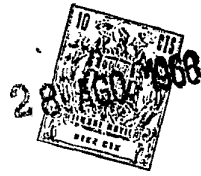
28 AGO

impulso de cronometración. Con esta modificación, no puede producirse ningún cambio en la entrada al comparador 12 hasta por ejemplo el comienzo del impulso de cronometración C2, tras lo cual se produce toda la conmutación anteriormente descrita. La salida del comparador 12 adopta así la forma mostrada en la figura 4e, que consta de impulsos de corta duración, cada uno de ellos sincronizado con el impulso de cronometración que sigue inmediatamente a un cambio de estado de la señal de entrada. La terminación efectiva de la salida del comparador de no-cero dependerá de los tiempos de conmutación de los diversos componentes usados.

Debe destacarse que la señal de entrada puede presentar la forma mostrada en la figura 4b, concretamente una forma ordinariamente reconocida como señal digital.

Con la disposición mostrada en las figuras 1 y 2, la salida del comparador ha sido usada para cambiar el estado del biestable 14. Aunque las versiones de la invención mostradas en las figuras 1 y 2 pueden emplearse en la práctica, es posible construir una disposición más económica, en la que la parte correspondiente al comparador 12 no necesita efectuar los cambios de estado del circuito biestable 14. Como se ha mencionado, la presente invención puede materializarse parcialmente por dos dispositivos o circuitos biestables establecidos como registro de cambios de dos etapas.

En la figura 3 se muestra una versión práctica de esta forma de la invención, cuya figura muestra dos circuitos biestables JK 21 y 22 conectados en tándem y dos puertas por conjunción 23 y 24, respectivamente alimentadas

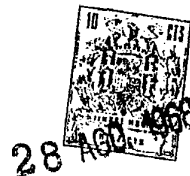


5. por salidas alternas de los circuitos biestables JK. Es decir, la puerta 23 es alimentada por las salidas directa (Q) e inversa ( $\bar{Q}$ ) de los circuitos biestables 22 y 21, respectivamente, y la puerta 24 es alimentada por las salidas directa (Q) e inversa ( $\bar{Q}$ ) de los circuitos 21 y 22, respectivamente.

El circuito biestable JK 22 constituye en esta versión el primer dispositivo biestable citado.

10. Es útil destacar que un circuito biestable JK cambia entre estados mediante la aplicación de señales (0,1) y (1,0) a sus entradas J y K respectivamente, cambia de estado (cualquiera que éste sea) cuando las señales de entrada son (1,1) y permanece en su estado original cuando las señales de entrada son (0,0).

15. Con el sistema mostrado en la figura 3, se suministra a la entrada J del circuito biestable 21 y a través de un circuito inversor 20 a la entrada K del circuito biestable 22, una señal digital que puede ser representativa del estado de la señal de entrada o que puede considerarse como la propia señal de entrada. Supondremos de nuevo que la  
20. señal en el terminal de entrada J está en "0", de manera que las entradas a las J y K del primer circuito biestable 21 están en "0" y "1", respectivamente. En consecuencia, las salidas del primer biestable estarán en "0" y "1", respectivamente tal como las salidas del segundo biestable. Como las  
25. dos puertas por conjunción detectan diferentes señales, no habrá salida de ninguna puerta. Como en las anteriores figuras, se impide que los biestables cambien de estado, a menos que se halle presente un impulso de cronometración en las entradas de las puertas. Cuando la señal de entrada cam-  
30.



5.           bia de estado a un "1", el primer circuito biestable 21 será cambiado de estado y sus salidas serán "1" y "0" respectivamente, cuando se reciba el siguiente impulso de cronometración del cronometrador 16. Momentáneamente, la puerta por conjunción 24 tendrá dos "1" en su entrada y producirá una salida, que se suministra a un terminal 26. Las dos entradas a la puerta 24 serán ahora de cero y no se producirá ninguna salida. Sin embargo, se produce una rápida conmutación y el segundo circuito biestable JK 22 cambiará a la misma condición que el primero; entonces descenderá a cero la salida de la puerta 24. Cuando el nivel de entrada desciende de nuevo a "0", la puerta 23 será energizada momentáneamente para producir una salida en el terminal 25, hasta que la conmutación cambia el segundo biestable al mismo estado que el primero. Por este sistema, se verá que aunque el cambio de estado del segundo biestable se efectúa en virtud del hecho de constituir un circuito biestable JK y no directamente por la salida de ningún comparador, la disposición asegura su cambio de estado sólo cuando un impulso de cronometración es simultáneo a una salida de cualquier puerta por conjunción.
- 10.
- 15.
- 20.

25.           Con la disposición de la figura 3, los cambios alternos de estado de la señal de entrada son indicados por señales de salida de la respectiva puerta por conjunción. Estas pueden combinarse y suministrarse a un terminal de salida común 27 mediante una puerta por disyunción.

30.           Con la versión de la figura 3, el "primer dispositivo biestable" del diferenciador está constituido por el segundo circuito biestable JK; el comparador (las puertas por conjunción) responde al estado de la señal de entrada



(denotado por la condición del otro circuito biestable JK) para producir una salida (momentánea) al cambiar la información correspondiente a la señal de entrada desde un circuito biestable al otro.

5. Se verá que los circuitos biestables JK de la figura 3 forman un registro de cambios de dos etapas. Los circuitos biestables podrían ser sustituidos por otras disposiciones biestables constitutivas de un análogo registro de cambios.

10. En la versión de la figura 3, como en la mostrada en la figura 2, los circuitos biestables están contruidos (de cualquier manera conocida y conveniente) de modo que se inhiba en ellos un cambio de estado, salvo tras la recepción de un impulso de cronometración; es decir, los "medios para inhibir" son proporcionados por la construcción de los circuitos biestables.
- 15.

Sería prácticamente normal asegurar que la frecuencia de los impulsos de cronometración fuese por lo menos doble a la frecuencia con que la señal de entrada varía entre estados.

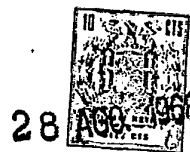
N O T A

20. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una solicitud de Patente presentada en Inglaterra
25. con fecha y número siguientes: 29 de agosto de 1967, nº 39514/67; acogándose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor. Siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: Perfeccionamientos
- 30.



en la construcción de diferenciadores digitales; caracterizándose por lo siguiente:

5. 1.- Perfeccionamientos en la construcción de diferenciadores digitales, que producen una señal de salida cuando cambia de estado una señal de entrada sujeta a variación entre dos estados, caracterizados porque dicho diferenciador comprende un dispositivo biestable cuyos dos estados estables están asociados cada uno de ellos a un respectivo estado de la señal de entrada, un comparador
10. que responde al estado de la señal de entrada y al estado del dispositivo biestable para producir una señal de salida sólo cuando el estado de la señal de entrada y el del dispositivo biestable no se corresponden, y una fuente de suministro de impulsos de cronometración cuya frecuencia
15. de repetición es superior a la frecuencia con que la señal de entrada varía entre los dos estados citados, estableciéndose el dispositivo biestable de manera que cambie de estado sólo si la señal de salida del comparador es simultánea a un impulso de cronometración.
20. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dispone otro dispositivo biestable que varía de estado de acuerdo con el correspondiente a la señal de entrada, respondiendo el comparador al estado del otro dispositivo biestable con el fin de detectar el
25. estado de la señal de entrada.
3. - Perfeccionamientos según la reivindicación 2, caracterizados porque se disponen medios para inhibir la variación de estado del otro dispositivo biestable, salvo tras la recepción de un impulso de cronometración.
30. 4.- Perfeccionamientos según las reivindicaciones



2 ó 3, caracterizados porque el primer dispositivo biestable y el otro comprenden, cada uno de ellos, un circuito biestable JK, establecido de manera que el estado del primer dispositivo biestable citado sea controlado por el otro.

5. 5.- Perfeccionamientos según cualquiera de las reivindicaciones 1.a 3, caracterizados porque para controlar al dispositivo biestable se dispone un circuito discriminador por conjunción que recibe la señal de salida del comparador y los impulsos de cronometración en entradas separadas, estableciéndose el dispositivo biestable de manera que cambie de estado cuando se halle presente una señal en cada entrada del circuito discriminador.

10. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando la señal de entrada es una señal digital, dicho diferenciador comprende un registro de cambios de dos etapas, cuya primera etapa está adaptada para cambiar de estado mediante cambios en el estado de la señal de entrada, una fuente de suministro de impulsos de cronometración, cuya frecuencia de repetición es superior a la frecuencia con que varía la señal de entrada entre estados, estableciéndose el registro de cambios de manera que cambie la información entre etapas sólo cuando se produce un impulso de cronometración, y medios adaptados para producir una señal de salida cuando cambia la información de la primera etapa a la segunda.

15. 20. 25. 30. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque cada etapa del registro comprende un circuito biestable JK, acoplándose las salidas directa e inversa de la primera etapa a las entradas J y K del biestable que comprende la segunda etapa.



28 AGO

- 8.- Perfeccionamientos según las reivindicaciones 4 ó 7, caracterizados porque el comparador comprende dos circuitos discriminadores por conjunción acoplándose las entradas de un circuito discriminador a la salida directa de un circuito biestable JK y a la salida inversa del otro circuito biestable JK, y acoplándose las entradas del otro circuito discriminador a la salida inversa del primer circuito biestable JK citado y a la salida directa del otro circuito biestable, en virtud de lo cual una salida de cualquier circuito discriminador indica un cambio de estado de la señal de entrada.
- 5.
- 10.

- 9.- Perfeccionamientos en la construcción de diferenciadores digitales: tal y como queda descrito sustancialmente en la presente Memoria e ilustrado en los dibujos adjuntos.
- 15.

Esta Memoria consta de 17 hojas escritas a máquina por una sola cara.

Madrid,

DECCA LIMITED

28 AGO. 1968

GOMEZ ACEBO Y MODEI

n.º de Registro: F. Hernández Rata

10 - 2 - 075  
28 AGO 1968  
DECCA LTD

DECCA  
VARIABLE

Fig. 1.

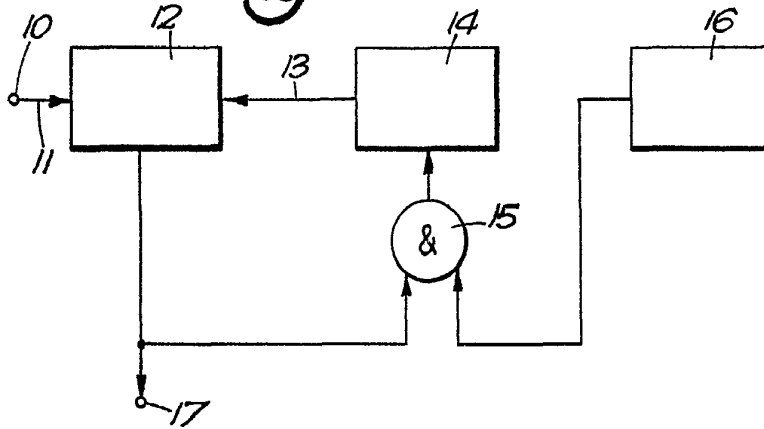
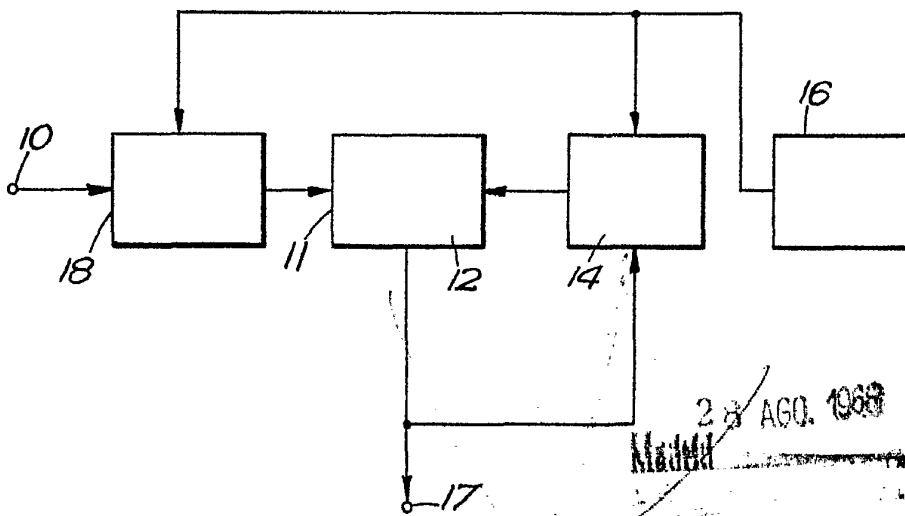


Fig. 2.



28 AGO. 1968

*[Handwritten signature]*

28 AGO 1968

Fig.3.

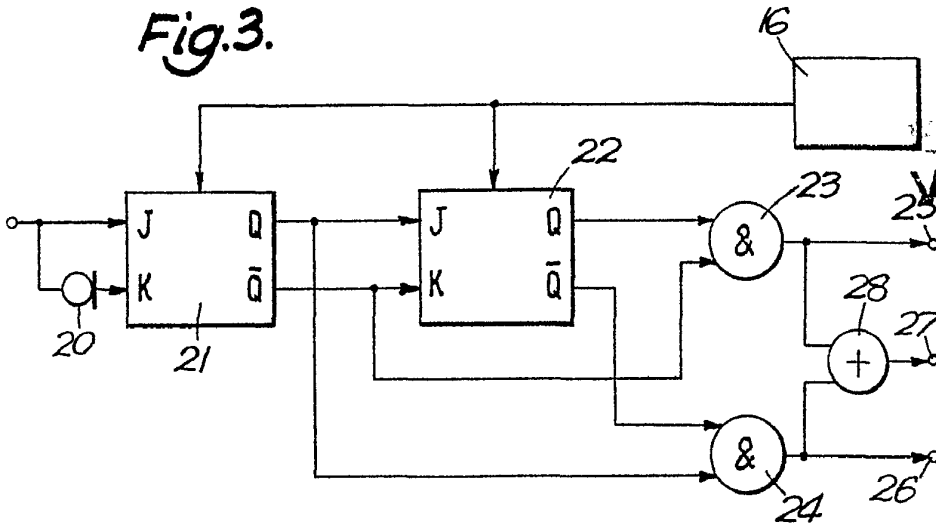


Fig.4a.

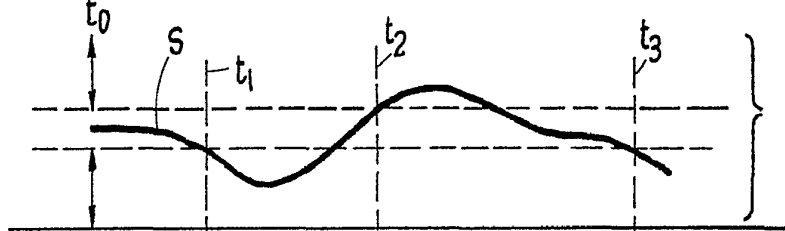


Fig.4b.

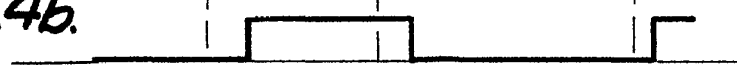


Fig.4c.

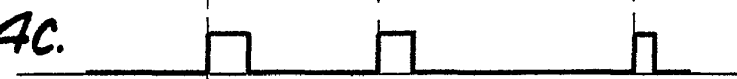


Fig.4d.



Fig.4e.



28 AGO 1968

Madrid  
 A. GOMEZ ACERO Y BODET  
 S. R. L. Firmados E. I. de G. y R. de S. L.