

355284

P.- 38.631

RCA 58762

Memoria descriptiva



24 JUN 1968

para solicitar PATENTE DE INVENCION EN ESPAÑA por 20 años

a nombre de RADIO CORPORATION OF AMERICA

entidad / de nacionalidad norteamericana

con domicilio en 30 Rockefeller Plaza, Nueva York, N.Y., Estados Unidos de América

por: "UNA DISPOSICION DE INTEGRACION EN GRAN ESCALA DE CELULAS O ELEMENTOS DE CIRCUITO" (Clase Internacional G06f)

=====

4.6.68.



El presente invento se refiere a células o elementos de circuito formados en conjuntos de integración en gran escala (LSI).

5 La ejecución de aparatos electrónicos en la categoría de sistemas y/o subsistemas está atravesando por una serie de cambios radicales como resultado del advenimiento de la tecnología de LSI, en lo que respecta a su rendimiento, confiabilidad y en los métodos de diseño y construcción que se están poniendo en práctica. En la
10 forma que se emplea en la presente, la tecnología de LSI quiere decir el potencial y la capacidad de fabricar cada día más y más componentes de circuito en o encima de la misma oblea o sustrato, mediante lo cual la complejidad electrónica funcional de la oblea se va acercando a la ca
15 tegoría de sistema o subsistema, a diferencia de las unidades funcionales más elementales, tales como los portales lógicos, los amplificadores y otros semejantes.

La aplicación de la tecnología de LSI a los sistemas digitales, tales como los computadores electróni
20 cos, promete mejorar la rapidez de su rendimiento funcional. En apoyo de esta aserción vale recalcar el hecho que aproximadamente un 99% del espacio, aún en un computador compacta y densamente empacado, que no se vale de LSI, es
25 tá constituido por las interconexiones del empaque y del circuito. Esta separación existente entre los componentes del computador impone una severa restricción en la velocidad funcional de un computador como aquel que no se vale de LSI. La integración en gran escala de los elementos de un circuito en un sustrato único ofrece la promesa de
30 aliviar el problema de la velocidad funcional mencionada.

4.6.68.



1066

Otro de los problemas que presentan los computadores que no se valen de la tecnología de LSI consiste en que las señales eléctricas deben atravesar una multiplicidad de interfaces o superficies de contacto entre los elementos del computador (por ejemplo, las interconexiones de ligazón, las conexiones soldadas, las de alambrado devanado y las de tapón y ficha de contacto). Debido al factor humano de que dependen la fabricación y manufactura, el grado de confiabilidad de estas conexiones es limitado. De otro lado, la tecnología de LSI ofrece la posibilidad de fabricar las interconexiones en grupos o lotes, con lo cual se mejora su confiabilidad.

La habitual dicotomía en el diseño del sistema digital que se presenta en la interfaz entre los diseñadores de bloques de construcción funcional o de circuito y los diseñadores de sistemas está siendo modificada por la tecnología de LSI. Esta modificación introduce otra interfaz - la del fabricante que fabrica el lote o grupo tanto con el diseñador del bloque de construcción como con el diseñador de sistemas. El ideal para un equipo computador de LSI es que emplee el menor número de empaques de LSI como sea posible todos los cuales, de preferencia, deben ser del mismo tipo (con el propósito de reducir al mínimo tanto su costo como la variedad de los componentes). Sin embargo, para lograr este objetivo resulta indispensable empacar dentro de un empaque de LSI tantas posibilidades funcionales como resulte práctico. Esto hace que sea indispensable utilizar de manera eficaz el espacio dentro del empaque para el LSI (es decir, el área del circuito) tanto en lo que respecta a la disposición

4.6.68.



de los componentes como a sus interconexiones en la categoría de los sistemas. El uso eficaz del área (y por consiguiente la posibilidad y capacidad funcionales óptimas del empaque de LSI) se pueden lograr únicamente gracias al esfuerzo y la cooperación mutuos de las tareas que ejecuten el fabricante que ha de fabricar el lote, el diseñador del bloque celular que se va a construir y el diseñador del sistema.

El empleo y aprovechamiento más eficaz del área de empaque de LSI se logra mediante la individualización específica y a la medida, aplicada a LSI, lo que quiere decir que cada uno de los diseños funcionales o del sistema se hace a la medida específica individual deseada, tanto en lo referente a la ubicación de los componentes como a la metalización de las interconexiones. Sin embargo, dicho sistema a la medida exige el diseño y la ejecución de un nuevo juego de pantallas enmarcadoras que se emplearán en la fabricación por cada nuevo diseño funcional o de sistema. En la actualidad el costo de un nuevo juego de pantallas enmarcadoras usadas en la fabricación de cada nuevo diseño de la oblea resulta prohibitivo por pedidos de poco volumen, justificándose únicamente cuando se trata de pedidos de gran volumen.

Otra solución a la aplicación de LSI lo constituye el empleo del método de la tajada patrón. Este método de tajada patrón distribuye el costo de las pantallas enmarcadoras de fabricación entre los diversos diseños funcionales y sistemáticos, a excepción de la pantalla o pantallas que se utilicen en la metalización, que constituye la etapa final de la fabricación. En otros términos,

4.6.68.



se emplea para una disposición determinada de los componentes de la oblea las mismas pantallas enmarcadoras de fabricación de tajada patrón, tales como las pantallas enmarcadoras a difusión o aislamiento empleadas para cada diseño funcional, necesitándose sin embargo diferentes pantallas enmarcadoras de la metalización por cada diseño nuevo o diferente. De este modo, se fija la disposición de la ubicación de los componentes, haciéndose a la medida del pedido únicamente la plantilla de la metalización para cada nueva aplicación. El éxito de la disposición de los componentes del conjunto de LSI de tajada patrón dependerá de si se puede o no diseñar una cantidad adecuada de aplicaciones diferentes de suficiente complejidad funcional con una disposición fija de los componentes con el objeto de satisfacer la economía de los costos de fabricación distribuidos. Por consiguiente, es de suma importancia proporcionar una disposición de componentes que permita no solamente el uso eficaz del área de la oblea o subestrato, sino que también se pueda obtener un grado suficiente de flexibilidad de diseño con el fin de asegurarse de obtener un número adecuado de aplicaciones diferentes de suficiente complejidad funcional.

El método de tajada patrón LSI implica, en general, la organización de los componentes del circuito dentro de un conjunto de células componentes substancialmente idénticas (que podrían tener un diseño clásico o común). Estas células podrían considerarse como bloques de construcción celular que estén provistas de una identidad funcional fija o variable. Una célula de identidad fija podría ser, por ejemplo, un portal -NOR mediante la cual

30
4.6.68.



se genera cada nueva aplicación desde las interconec-
ciones de los portales del conjunto. Este conjunto de células
de identidad fija puede que no resulte satisfactorio, de-
bido a que un conjunto de este tipo tiene flexibilidad de
5 diseño limitada, y resulta asimismo ineficaz en cuanto a
la utilización del área del sustrato. Además, la flexi-
bilidad de diseño es limitada porque únicamente pueden
utilizarse los portales -NOR para ejecutar las funciones
del sistema. El conjunto de células de identidad fija es
10 ineficaz también debido a que en muchas aplicaciones no
se utilizan todas las entradas que dan a un portal lógico,
con el resultado de que se desperdicia toda el área ocupa-
da por los componentes de entrada de portal -NOR que no se
utilizan. Además, el conjunto de células de identidad fija
15 resulta ineficaz en la formación de ciertas funciones, ta-
les como los circuitos de disparo biestables o de flip -
flop.

De otro lado, la célula de identidad variable
permite a los diseñadores de los sistemas o de aplicacio-
20 nes suficiente flexibilidad para poder determinar especí-
ficamente la identidad funcional de una célula, de un gru-
po de células, de partes de una célula o de varias de sus
combinaciones, de tal modo y a tal extremo que se aumenta
sobremanera la complejidad funcional de la oblea. Sin em-
25 bargo, se considera de suma importancia poder proporcionar
una célula que sea eficaz en cuanto a la utilización del
área del sustrato, y que sea a la par adecuada como para
poder ejecutar una cantidad suficiente de aplicaciones di-
ferentes de suficiente complejidad funcional como para que
30 se pueda justificar su costo.

4.6.68.



24 JUN 1968

Por consiguiente, uno de los aspectos del invento se aplica en la práctica a un conjunto de células apoyadas en un sustrato, en el que se han dispuesto las células formando una matriz coordinada de filas y columnas. Cada una de estas células podría incluir una multiplicidad de regiones semiconductoras de tipo de primera conductividad, difundidas dentro de una de las superficies del sustrato de un material semiconductor de segundo tipo. Las hileras de la matriz adyacente se encuentran espaciadas entre sí de modo que queden separadas a fin de proporcionar entre ellas unas zonas de pista. Un patrón conector de capas múltiples se encuentra apoyado en el sustrato e incluye una primera capa conectora que descansa sobre una segunda capa conectora, con una capa aislante entre ellas.

Según una de las realizaciones concretas del invento, el conjunto de las células incluye una línea de abastecimiento que se encuentra incluida, por lo menos en parte, en la primera capa conectora y se encuentra dispuesta de tal modo que pueda arrollarse a lo largo de las pistas del conjunto a modo de serpentina.

Según otra de las realizaciones concretas del invento, uno de los conjuntos del tipo descrito anteriormente forma parte de ella, en el cual se forma, en la primera superficie del sustrato, por lo menos una región del primer tipo de material semiconductor debajo de una de las pistas, con el propósito de ejecutar el cruce de los conectores. Por consiguiente, "una por lo menos" de estas regiones se adapta para que se conecte de manera selectiva con los conductores que se extienden a lo largo de

30
4.6.68.



su pista a través de aperturas de acceso que atraviesan la capa aisladora (lo que no es ninguna novedad, de por sí).

5 Se puede aplicar aún más en la práctica otro aspecto más del invento en un conjunto de LSI de células que compartan un sustrato común. De acuerdo con este aspecto del invento, cada una de las células incluye por lo menos tres dispositivos de efecto de campo de portal aislado, y cada uno de estos dispositivos está provisto de

10 una región de portal que se encuentra aislada del canal definido por las regiones de fuente y de drenaje. El primero de los dispositivos tiene una transconductancia (gm) relativamente grande, de modo que resulta adecuado para emplearse en diversos usos, tales como para que funcione

15 como un inversor en las aplicaciones digitales de la célula. El segundo de los dispositivos tiene una (gm) relativamente pequeña, de modo que resulta adecuado cuando se emplea como carga para los dispositivos inversores. El

20 tercer dispositivo tiene una (gm) de valor intermedio, de modo que resulta adecuado cuando se usa como dispositivo de transmisión o de acoplamiento tanto en aplicaciones lógicas dinámicas como estáticas.

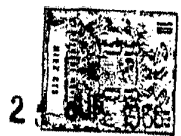
En los dibujos los números de referencia semejantes denotan componentes semejantes, y

25 La FIGURA 1 representa un diagrama esquemático de la célula clásica del presente invento ilustrada con símbolos convencionales de un circuito eléctrico;

 La FIGURA 2 representa un diagrama esquemático de circuito en el que se ilustra la célula clásica de la FIGURA 1 conectada como inversor;

30

4.6.68.



2

La FIGURA 3 representa un diagrama esquemático de circuito en que se ilustra la célula clásica de la FIGURA 1 conectada como un portal lógico de dos entradas;

5 La FIGURA 4 representa un diagrama esquemático en el que se ha ilustrado un bit de demora de un registro dinámico de desplazamiento;

La FIGURA 5 es un diagrama del tiempo para el registro de desplazamiento de la FIGURA 4;

10 La FIGURA 6 es un diagrama en bloque del conjunto de LSI del invento ilustrando el patrón de las interconexiones;

La FIGURA 7 es una vista de arriba de cuatro células del conjunto de LSI de la FIGURA 6, que ilustra la célula clásica del presente invento;

15 La FIGURA 8 representa una vista seccional tomada a lo largo de la línea M-M' de la FIGURA 7;

La FIGURA 9 es un diagrama esquemático de circuito que ilustra un trayecto de dispersión en una aplicación dinámica lógica;

20 La FIGURA 10 representa un diagrama en bloque de una aplicación dinámica lógica, que ilustra otro aspecto adicional del invento; y

La FIGURA 11 representa un diagrama de cadencia en la configuración dinámica lógica de la FIGURA 10.

25 El presente invento se puede poner en práctica con cualesquier dispositivos de efecto de campo de portal aislado del tipo de conductividad que se desee, que compartan un sustrato común de material adecuado, como por ejemplo vidrio, zafiro, material semiconductor, u otro semejante.

30

4.6.68.



24

No obstante lo anterior, a título de ejemplo y para hacer más completa la descripción, se ha ilustrado el presente invento con dispositivos de efecto de campo de portal aislado de la variedad fabricada con semiconductor de óxido de metal (MOS) de tipo P de conductividad (P-MOS). Vale tomar en cuenta, a estas alturas de la descripción, que el material semiconductor puede ser cualquier material adecuado que se emplee generalmente para fabricar dispositivos de efecto de campo de portal aislado en el arte de la semiconducción. Para los propósitos de la descripción que se da a continuación vamos a suponer que todos los materiales semiconductores sean de silicio, a menos que se especifique de otro modo.

La célula unitaria o clásica 50 del presente invento aparece ilustrada en la FIGURA 1 con los símbolos convencionales de un circuito eléctrico en un diagrama esquemático. La célula clásica 50 incluye un par de dispositivos 20 y 21 P-MOS, que son dispositivos con transconductancia (gm) relativamente grande, apropiados para utilizarse como dispositivos inversores. La célula clásica 50 incluye, además, un tercer dispositivo P-MOS 22 que tiene una gm relativamente pequeña. El dispositivo P-MOS 22 puede utilizarse como carga para los dispositivos inversores 20 y 21. El otro dispositivo P-MOS 23 es un dispositivo de gm intermedia, y puede utilizarse como dispositivo de transmisión o de acoplamiento tanto en aplicaciones lógicas dinámicas como estáticas.

Cada uno de los dispositivos P-MOS está provisto de un trayecto de canal o de conducción que está ligado a sus extremos por las regiones de fuente y de drenaje de

4.6.68.



2

signadas para los dispositivos 20, 21 y 22 mediante los caracteres alfabéticos s (fuente) o d (drenaje) enseguida después del carácter numérico de referencia correspondiente al dispositivo P-MOS con que estén asociados. Por ejemplo, el dispositivo P-MOS 22 está provisto de regiones de fuente y de drenaje 20s y 20d, respectivamente. Se han asignado estas designaciones de fuente y drenaje sobre la base del uso normal de los dispositivos 20, 21 y 22. Sin embargo, hay que tener en cuenta que las designaciones fuente y drenaje pueden intercambiarse entre sí, lo que pedenderá de si el dispositivo se encuentre funcionando como un seguidor de fuente o como uno de fuente común. En vista de que el dispositivo P-MOS 23 se emplea normalmente como portal de transmisión, las regiones de fuente y de drenaje se encuentran meramente identificadas por los números de referencia 26 y 27 en la FIGURA 1. Además, cada uno de los dispositivos P-MOS está provisto de una región de portal que descansa encima del canal asociado, encontrándose aislado de éste mediante una capa aisladora relativamente fina. En cada uno de los dispositivos P-MOS se ha identificado la región de portal mediante el carácter de referencia g enseguida después del carácter numérico de referencia con que está asociada. Por ejemplo, la región de portal del dispositivo P-MOS 20 ha sido designada con la referencia 20g.

La célula clásica 50 incluye un par de puntos funcionales de contacto incondicionales o comprometidos 24 y 25. El punto de contacto comprometido 24 representa una conexión funcional incondicional de las regiones de fuente 20s y 21s. El contacto comprometido 25 representa

30
4.6.68.

24 JUN 78



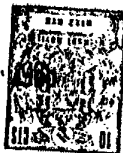
una conexión eléctrica incondicional de la región de fuente 22s y de la región de fuente-drenaje 26 del dispositivo P-MOS 23.

5 Se suministra asimismo una multiplicidad de puntos de contacto no comprometidos o condicionales del 1 al 13 para la célula clásica 50. Los puntos no comprometidos 3 y 9 se encuentran asociados con los puntos de contacto comprometidos 24 y 25, respectivamente. Los puntos de contacto no comprometidos 4 y 5 se encuentran asociados con las regiones de drenaje 20d y 21d, respectivamente. El punto no comprometido 8 se encuentra asociado con la región de fuente-drenaje 27 del dispositivo P-MOS 23. Los puntos de contacto no comprometidos 1, 2, 6 y 7 se encuentran comprometidos con las regiones de portal 20g, 21g, 15 22g y 23g, respectivamente. El resto de los puntos de contacto no comprometidos 10, 11, 12 y 13 aparecen ilustrados para suministrar acceso de la célula 50 a varias líneas de abastecimiento. Por ejemplo, los puntos 12 y 13 proporcionan el acceso a la masa del circuito Grd y a la fuente de abastecimiento Vdd, respectivamente; mientras que los puntos 20 10 y 11 suministran acceso a un par de líneas de cronómetro $\phi 1$ y $\phi 2$, respectivamente.

Una conexión funcional adicional comprometida o incondicional designada con la referencia 28 acopla la 25 región de drenaje 22d a la línea de abastecimiento que se designa con la referencia Vdd.

La célula clásica 50 resulta adecuada para emplearse como bloque de construcción de identidad variable en un conjunto de LSI para la ejecución de los sistemas 30 digitales que se deseen, tales sistemas sumadores, regis-
4.6.68.

29 JUN.



tradores de desplazamientos, contadores y otros sistemas de conmutación lógica. Cuando se proceda a la ejecución del sistema que se desee, el diseñador imparte una identidad funcional a la célula clásica, a un grupo de células clásicas, a partes de las células clásicas, o a una combinación de lo anterior mediante la especificación de las conexiones eléctricas o funcionales de los puntos de contacto no comprometidos del 1 al 13. Algunos de los ejemplos de las identidades funcionales que pueden impartirse a la célula o células clásicas o a partes de la misma o de las mismas aparecen ilustrados en las FIGURAS 2, 3 y 4. En estos ejemplos se ha designado el voltaje del abastecimiento -Vdd para los circuitos P-MOS.

Con referencia a la FIGURA 2, la célula clásica puede impartirse con la identidad de un inversor empleando el dispositivo inversor 20 en combinación con el dispositivo de carga 22. Esto aparece ilustrado en la FIGURA 2 para aplicaciones estáticas lógicas mediante el conector 30 utilizado para acoplar entre sí a los puntos de contacto no comprometidos 3 y 12, utilizando el conector 31 para conectar a los puntos 4 y 9 entre sí y el conector 32 para acoplar a los puntos 6 y 10 entre sí. De esta manera, con una señal A aplicada al punto de contacto 1 y una señal de salida Cs obtenida de cualquiera de los puntos de contacto 4 ó 9, la leyenda que acompaña a la FIGURA 2 describe el funcionamiento del circuito. De acuerdo con la leyenda, cuando la señal de entrada A se encuentra a un nivel alto (H), la salida Cs se encuentra a un nivel bajo (L). Por ejemplo, el nivel L podría ser -Vdd y el nivel H podría ser Grd. De otro lado,

30
4.6.68.

21 JUN.



cuando la señal de entrada A es baja (L) la señal de salida Cs es alta (H). Para aplicaciones estáticas lógicas la línea $\phi 1$ se vuelve nuevamente a un voltaje constante de corriente continua, por ejemplo a la línea -Vdd o a algún otro voltaje negativo adecuado. Los dispositivos P-MOS 21 y 23 que no se están utilizando, pueden emplearse en combinación con otras células clásicas en el medio ambiente del conjunto para formar otros elementos funcionales.

Para aplicaciones dinámicas lógicas, un conector adicional 33 acopla los puntos de contacto 6 y 7 entre sí. La línea de cronómetro $\phi 1$ es suministrada ahora con una señal de cronómetro en vez de un voltaje constante de corriente continua y la salida puede tomarse de cualesquiera de los puntos de contacto 8 ó 9, lo que dependerá de si esté o no en uso el dispositivo 23. La leyenda que se incluye continúa todavía siendo descriptiva del funcionamiento del inversor.

En la FIGURA 3 se ilustra otro ejemplo de identidad funcional para la célula clásica, en la cual se forma un portal lógico de dos entradas tomando como base la célula clásica. Al igual que en la FIGURA 2, los conectadores 32 y 33 se utilizan para conectar entre sí a los dispositivos de carga y de transmisión 22 y 23. El conector 31 incluye ahora un conector adicional o subsidiario 34 para conectar asimismo el punto de contacto 5 con el punto de contacto 9. Otra vez el conector 30 acopla entre sí a los puntos de contacto 3 y 12. Otra vez para aplicaciones estáticas lógicas, se conecta la línea $\phi 1$ a un voltaje constante de corriente continua, que podría ser Vdd o algún otro voltaje adecuado. Se aplican

30
4.6.68.



las señales de entrada A y B a los puntos de contacto 1 y 2, obteniéndose la salida estática Cs del punto de contacto 9. La leyenda que acompaña a la FIGURA 3 describe el funcionamiento del circuito. De este modo, cuando una de las señales A o B se encuentre en el nivel bajo (L), la señal de salida Cs se encontrará en nivel alto (H). Por lo contrario, cuando ambas señales de entrada A y B se encuentren en nivel alto (H), la señal de salida Cs se encontrará en nivel bajo (L). Si los símbolos binarios 1 y 0 fuesen asignados a los niveles H y L, respectivamente, se puede decir que el circuito lógico se encuentra funcionando como portal NAND. De otro lado, si los símbolos binarios 1 y 0 fuesen asignados a los niveles L y H, respectivamente, el circuito lógico funcionaría como portal NOR.

Hay que tener en cuenta a estas alturas de la descripción que los puntos no comprometidos 6 y 7 podrían conectarse ambos o bien a la línea $\emptyset 1$ o a la $\emptyset 2$, o separadamente a las líneas $\emptyset 1$ y $\emptyset 2$. Además, el conector 33 resulta innecesario cuando no se desea utilizar el dispositivo 23, como puede ser el caso en la mayoría de las aplicaciones lógicas estáticas y en algunas de las dinámicas. En el caso de una aplicación lógica dinámica típica en la cual se utilice el dispositivo 23, se podría utilizar o bien la señal de salida Cd o la señal de salida Cs.

La ejecución de la lógica dinámica con las células típicas se vale de la cronometría multi-fásica en los dispositivos de carga y en los de transmisión, a fin de dirigir el flujo de la información, a la par que se aprovecha de las capacitancias de portal del dispositivo P-MOS subsiguiente para el almacenamiento temporal, en la

30
4.6.68.



forma que se describe más adelante. Es en la lógica dinámica donde los dispositivos MOS se utilizan con frecuencia con las mejores ventajas. Los circuitos son sencillos debido a las características de alta impedancia de entrada del dispositivo MOS. Además, se consume energía únicamente cuando el cronómetro se encuentra conectado, de modo que se disipa menos energía que en los casos de aplicaciones semejantes de lógica estática.

Las propiedades bilaterales del flujo de corriente de los dispositivos MOS, y de modo específico el dispositivo 23 de portal de transmisión, hace posible que se cargue o bien se descargue la capacitancia de portal de la función lógica subsiguiente. Mediante el empleo de dos inversores, dos dispositivos de acoplamiento y dos cronómetros, es posible ejecutar una etapa de demora de "bit" en un registro dinámico de desplazamiento. En la FIGURA 4 aparece ilustrada una etapa de un bit en un registrador dinámico de desplazamiento, con un par de células clásicas 50a y 50b. Se conecta la célula clásica 50a como un invertidor, en la misma manera que el invertidor de la FIGURA 2. De modo semejante, se conecta la célula clásica 50b a modo de un invertidor igual, con la excepción de que se omite el conector 32 y el conector 35 conecta a los puntos de contacto 7 y 11 entre sí. Esto hace posible que se pueda fijar la cadencia del invertidor de la célula 50a en la fase cronométrica $\phi 1$ y la cadencia del invertidor de la célula 50b en la fase cronométrica $\phi 2$. La capacitancia de portal C-20b representa la capacitancia de portal del dispositivo P-MOS 20b en la célula 50b; mientras que la capacitancia C-20c representa la ca-

30
4.6.68.



pacitancia de portal de la etapa inmediata próxima (que no aparece ilustrada). Se conecta el terminal de salida Cd de la célula 50a al terminal de entrada 1 de la célula 50b.

5 El diagrama de la regulación de cadencias para el registro dinámico de desplazamiento aparece ilustrado en la FIGURA 5. Hay que tener presente que las fases cronométricas no se encuentran nunca en el nivel L (-Vdd) a un mismo tiempo, con el fin de que se asegure un flujo
10 de información adecuado. Hay que tener presente, asimismo, que la constante de tiempo de la memoria de la capacitancia debe ser mayor que el período de intervalo entre el borde de salida de $\phi 1$ así como el de $\phi 2$, o vice-versa, cualesquiera que sea el mayor. Las pequeñas etapas en forma de onda $\bar{X}_n + 1/2$ y $X_n + 1$ son ocasionadas por el acoplamiento capacitivo de alcance total en los dispositivos de portal de transmisión 23a y 23b, cuando el impulso de cronómetro retorna al nivel H.
15

La operación es la siguiente. La señal de cronómetro $\phi 1$ se desplaza al nivel L y enciende los dispositivos 22a y 23a. Se carga la capacitancia de portal C-20b al nivel H (Grd) mediante los dispositivos 23a y 20a, si X_n se encuentra en el nivel L, o se descarga al nivel L mediante los dispositivos 22a y 23a, si X_n se encuentra en el nivel H. La señal de cronómetro $\phi 1$ retorna al nivel H y apaga los dispositivos P-MOS 22a y 23a. La información permanece almacenada en la capacitancia C-20b.
20
25

La señal de cronómetro $\phi 2$ se desplaza al nivel L y enciende los dispositivos 22b y 23b. Lo inverso de la información almacenada en la capacitancia de portal C-20b
30

21 JUN 1968



es transferido a la capacitancia de portal C-20c por medio del dispositivo de transmisión 23b. La señal de cronómetro Ø2 retorna al nivel H y apaga los dispositivos 22b y 23b. La información almacenada en la capacitancia C-20c será transferida cuando la señal de cronómetro Ø1 se desplace nuevamente al nivel L. De esta manera, durante un ciclo completo de un pulso de cronómetro Ø1 seguido por un pulso de cronómetro Ø2, la información Xn es propagada con una demora de un intervalo de un "bit" desde la entrada del dispositivo 20a de la célula 50a hasta la capacitancia de portal C-20c de la etapa inmediata subsiguiente.

Las identidades funcionales que aparecen ilustradas en las FIGURAS 2 a la 5 para la célula clásica son únicamente a título de ejemplo, pudiéndose asignar otras identidades funcionales a las células. Por ejemplo, la solicitud de patente también pendiente que se ha mencionado anteriormente de Joseph E. Annis, describe los circuitos OR EXCLUSIVOS y OR EXCLUSIVOS, que pueden ejecutarse con la célula clásica. Otros circuitos incluyen, entre otras cosas, "flip-flops" de R-S y "flip-flops" dispersables. Además de los circuitos digitales mencionados anteriormente, la célula clásica puede utilizarse también para ejecutar el amplificador lineal descrito en la solicitud de patente también pendiente que se menciona anteriormente de Joseph R. Burns.

El medio ambiente del conjunto LSI para la célula clásica aparece ilustrado en las FIGURAS 6, 7 y 8. La FIGURA 8 es un compuesto de cuatro células clásicas que aparecen indicadas en la FIGURA 6, y se utiliza para ilustrar tanto la estructura P-MOS como el patrón de meta

4.6.68.



21

lización para el portal lógico de dos entradas de la FIGU
RA 3. Refiriéndonos para comenzar a la FIGURA 6, a fin de
hacer una breve descripción del conjunto de LSI, se dispo
nen las células clásicas en hileras coordinadas y en colum
5 nas coordinadas. Se designa a cada una de las células clásicas con el número de referencia 50, para formar la primera parte de dicho carácter de referencia. La segunda parte del carácter de referencia se utiliza para designar la ubicación de conjunto de una célula específica. La pri
10 mera referencia numeral de ubicación se refiere a la ubicación de la hilera; mientras que la segunda referencia numeral de ubicación se refiere a la ubicación de la ubicación de la columna. Por ejemplo, la célula clásica ubicada en la hilera más hacia el fondo y en la columna más
15 hacia la izquierda se identifica con la referencia 50-61, en la que el número 6 indica la sexta hilera y el número 1 indica la columna ubicada más hacia la izquierda.

En el trazado de una célula pueden existir uno o más espacios sobrantes que puede o pueden ser demasiado
20 pequeños para una célula clásica 50. Por consiguiente, dichos espacios sobrantes pueden ser llenados por células especiales, y en la FIGURA 6 aparece ilustrado un conjunto que incluye otras células, tales como las células 51, 52, 53 y 54. Estas células pueden incluir, por ejemplo, dos
25 dispositivos invertidores y un dispositivo de carga dispuesto de modo que se pueda efectuar una interconexión a modo de un portal lógico de dos entradas.

Encima de la primera hilera o hilera superior de la célula se encuentra una pista 70-1. Pistas adicionales 70-2 hasta la 70-7 se encuentran asimismo ubicadas en-

4.6.68.



tre las diversas hileras y debajo de la última hilera o la hilera del fondo. Descansando encima de las pistas 70-2, 70-4 y 70-6 se encuentra un patrón de metalización de líneas de abastecimiento que se arrollan a través del conjunto de coordinada a modo de serpentina o en forma de S de manera que se convierten en comunes para cada una de las células. Las líneas de abastecimiento comprenden la línea Vdd, la línea Grd, la línea de cronómetro $\varnothing 2$ y un par de líneas de cronómetro $\varnothing 1$. Cada una de las líneas de cronómetro $\varnothing 1$ se encuentran colocadas en posición adyacente a una hilera diferente de células por los motivos que se detallarán más específicamente más adelante cuando se describa la FIGURA 7. Las pistas 70-1, 70-3, 70-5 y 70-7 se emplean, en general, con el propósito de suministrar espacio para las interconexiones de las células clásicas 50.

Ubicadas en hilera a través de la parte superior de un conjunto de célula clásica, y en hilera a través del fondo del conjunto, se encuentra una multiplicidad de regiones de ligazón 60 que se emplean para la conexión interfacial entre el conjunto de LSI y otros dispositivos. No obstante el hecho que las regiones de ligazón 60 pueden ser áreas difundidas o de metal, de preferencia son de material metálico para el conjunto P-MOS. Se pueden utilizar algunas de las regiones de ligazón 60 para las conexiones de entrada/salida del conjunto; mientras que otras se pueden utilizar para suministrar los diversos voltajes de abastecimiento y de control del conjunto. Con este propósito, se conectan cada una de las líneas de cronómetro $\varnothing 1$ con la almohadilla ligadora que se designa con la referencia 4.6.68.

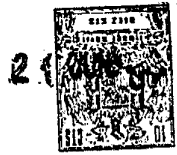


cia Ø1; mientras que la línea de cronómetro Ø2 se conecta a la almohadilla ligadora que se designa con la referencia Ø2. De modo semejante, la línea Vdd y la línea Grd se conectan con las almohadillas ligadoras que se designan con las referencias Vdd y Grd, respectivamente.

Extendiéndose por debajo de cada una de las pistas se encuentra una multiplicidad de regiones difundidas separadas entre sí mediante un espacio. Según se va a describir más adelante con todo detalle, algunas de estas regiones ubicadas debajo de las pistas 70-2, 70-4 y 70-6 proporcionan una función doble: la de formar una región de fuente o de drenaje en una célula, así como desempeñar la función de un conector difundido para la estructura de barra colectora del abastecimiento. Otros de los conectores difundidos, que se designan con la referencia 48, se extienden por debajo de varias pistas, en patrones espaciados, para poder acomodar el cruce de los conectores. Las aberturas de acceso a las diversas regiones difundidas se encuentran separadas mediante un espacio entre ellas, gracias a lo cual los conectores de metal que descansan encima pueden correr entre ellas según el diseño o patrón que se desee.

La estructura de barra colectora en forma de S o de serpentina para el conjunto de LSI constituye una característica distintiva del invento debido a que permite el paso de las interconexiones de metal entre las células de alguna de cualquiera de las hileras y varias de las demás hileras restantes, con lo cual se evitan mayores resistencia y capacitancia de los conectores de la región difundida. Por ejemplo, se pueden conectar entre

4.6.68.



si a las células de la primera hilera con las células de la cuarta y quinta hileras únicamente con conectadores de metal; mientras que se pueden conectar entre sí a las células de la segunda hilera con las células de la tercera y sexta hileras únicamente con conectadores de metal.

Refiriéndonos ahora a las FIGURAS 7 y 8 para dar una descripción más detallada tanto de la estructura P-MOS de la célula clásica como de la estructura del conjunto, se ilustra (en la FIGURA 7) una vista tomada desde arriba de un compuesto de cuatro células correspondiente a las células 50-13, 50-14, 50-23 y 50-24 del conjunto de LSI de la FIGURA 6. La célula 50-13, cuyos caracteres de referencia corresponden a los del esquema del circuito de la célula clásica que se ilustra en la FIGURA 1, se va a describir en seguida tomando como referencia la FIGURA 8, que representa una vista seccional tomada a lo largo de la línea M-M' de la FIGURA 7.

Tanto la célula clásica P-MOS 50-13 como la totalidad de conjunto de LSI se encuentran descansando en un sustrato semiconductor 40 de tipo N, en la manera que se puede apreciar mejor en la FIGURA 8. Se difunde una multiplicidad de regiones P separadas entre sí mediante un espacio, encima de una de las superficies del sustrato 40 para formar los dispositivos P-MOS así como también los conectadores de la región P (túneles P). Por ejemplo, en la FIGURA 8, las regiones P difundidas que se designan con las referencias 20d y 21d forman las regiones de drenaje de los dispositivos P-MOS 20 y 21; mientras que la región P que se identifica con la referencia 24 forma una región de fuente común para los dispositivos P-MOS 20 y 21, sumi-

30
4.6.68.



nistrando asimismo su conexión eléctrica incondicional o comprometida. Se definen el espacio entre las regiones P 20d y 24 y el espacio entre las regiones P 21d y 24 como los trayectos de conducción o canales de los dispositivos P-MOS 20 y 21.

Una capa aisladora 41 relativamente gruesa (como por ejemplo de 15,000 angstroms), tal como dióxido de silicio, descansa sobre la superficie de la región difundida del sustrato 40. Extendida a través de la capa de óxido 41 se encuentra una multiplicidad de aberturas de acceso o agujeros que exponen a los canales del dispositivo así como una o más porciones de las diversas regiones P difundidas. Para el caso de la célula clásica 50-13, estas aberturas de acceso representan los puntos de conexión no comprometidos o condicionales que han sido identificado anteriormente en la FIGURA 1. Por consiguiente llevan caracteres de referencia semejantes. Para los dispositivos P-MOS 20 y 21, las aberturas de acceso 4 y 5 se encuentran ubicadas encima de las regiones de drenaje 20d y 21d, respectivamente, con el propósito de dejar expuesta una porción de cada región. Las aberturas de acceso que se designan con las referencias 1 y 2 se encuentran ubicadas encima de los canales de los dos dispositivos. Ubicadas dentro de las aberturas 1 y 2 y descansando sobre el sustrato 40 se encuentran las capas de óxido 42 relativamente delgadas (por ejemplo, alrededor de 1,000 angstroms) para formar las regiones de portal 20g y 21g.

Los otros dispositivos P-MOS 22 y 23 se forman de manera semejante en el sustrato 40 tipo N. Estos dos dispositivos comparten una región común P 25, que corres-



ponde a la conexión eléctrica incondicional o comprometida que se ha descrito anteriormente en la FIGURA 1.

5 En el medio ambiente del conjunto de LSI para la célula clásica, la movilidad μ de las portadoras, la permitividad ϵ del translador de portal y el espesor T del aislador de portal son los mismos para todas las estructuras P-MOS, según lo cual la gm de cada P-MOS es proporcional a la anchura w dividida por la longitud ($\frac{w}{l}$) de su respectivo canal. En la FIGURA 7 estas dimensiones l y w, que se definen de manera semejante para cada una de las estructuras P-MOS, son designadas a título de ejemplo por el canal de la estructura P-MOS 20. Según se ilustra en ella, la longitud l es el espacio separado que existe entre las regiones P de drenaje y de fuente 20d y 24; mientras que el ancho w es la dimensión transversal a la longitud. Estas dimensiones del canal w y l y, por consiguiente, la gm de cada una de las estructuras P-MOS se determinan por medio de la pantalla enmarcadora de difusión de la región P durante el procedimiento de fabricación. De este modo los gm de las estructuras P-MOS invertidoras 20 y 21 se hacen que sean grandes haciendo que la w sea grande y la l pequeña; mientras que la gm de la estructura P-MOS de carga 22 se hace que sea pequeña haciendo que las dimensiones l y w de su canal sean relativamente grande y pequeña, respectivamente.

25 La pista 70-2 ubicada entre las células de la primera hilera 50-13 y 50-14 y las células de la segunda hilera 50-23 y 50-24, proporciona el acceso a cada una de las células desde varias líneas a conductores de abastecimiento $\phi 1$, $\phi 2$, Vdd y Grd que descansan encima del óxido

30 4.6.68.



grueso 41 y se extienden a lo largo de la pista. De acuerdo con la tecnología de P-MOS, estos conductores, en general, están hechos de metal, por ejemplo de aluminio. Las líneas de abastecimiento Vdd, Grd y Ø2 son llevadas hasta dentro de cada célula a modo de contacto a través de las aberturas de acceso hasta las regiones P difundidas que se encuentran por debajo, mediante lo cual se proporcionan las interconexiones de cruce de un extremo a otro. De este modo la línea Vdd hace contacto con la región P 28 por medio de la abertura de acceso 43; la línea Grd hace contacto con la región P 46 por medio de la abertura de acceso 44; la línea Ø2 hace contacto con la región P-47 por medio de la abertura de acceso 45. En el dibujo, las aberturas de acceso 43, 44 y 45 están oscurecidas para ilustrar una conexión eléctrica. Las regiones P 28, 46 y 47 se extienden por debajo de la pista 70-2 y son comunes a las células clásicas 50-13 y 50-23. De este modo, el dispositivo P-MOS 22 en cada una de las células comparte la región P común 28.

Cada una de las células tiene acceso a la línea de abastecimiento Ø1 puesto que existe una línea de abastecimiento Ø1 ubicada en lugar adyacente a cada una de las células. Es decir, que la línea Ø1 que se encuentra más arriba en la FIGURA 6, se encuentra ubicada en lugar adyacente a las células en la primera hilera; mientras que la línea Ø1 que se encuentra más hacia el fondo se encuentra ubicada en lugar adyacente a las células en la segunda hilera. Por consiguiente, las líneas Ø1 pueden conectarse mediante la metalización adecuada con las aberturas de acceso de cualquier célula que se desee sin utili-

30
4.6.68.



21
zar las regiones P difundidas.

5 Las demás regiones P 48 se extienden por debajo de la pista 70-2 para proporcionar los medios para cruzar por debajo de las líneas de abastecimiento para conectar entre sí las células de la primera hilera con las células de la segunda hilera y formar sistemas funcionales. Como puede apreciarse en la FIGURA 6, estas regiones P adicionales 48 se encuentran colocadas en diferentes posiciones a lo largo de las pistas 70-2, 70-4, y 70-6, así como en un patrón separado por espacios a lo largo de las pistas 70-1, 70-3, 70-5 y 70-7.

10 En la FIGURA 7 se ilustra la célula de la primera hilera 50-14 con un patrón ejemplar de metalización para el portal lógico de dos entradas de la FIGURA 3. Los conectadores de metal de línea continua llevan los mismos caracteres de referencia que en la FIGURA 2, de modo que una descripción adicional de los mismos resultaría superflua.

15 El conjunto u oblea de LSI puede construirse según cualquier procedimiento que se considere adecuado. Uno de los procedimientos típicos se vale únicamente cuatro pantallas enmarcadoras en su fabricación. La primera pantalla enmarcadora se utiliza para difundir las regiones P dentro del sustrato tipo N. Se coloca luego una capa de óxido relativamente gruesa encima de la superficie del sustrato que contiene las regiones difundidas P. La segunda pantalla enmarcadora se utiliza entonces para formar las aberturas que exponen las regiones P y las regiones de portal sacando el óxido mediante el grabado al

20
25
30

4.6.68.



la oblea. La tercera pantalla enmarcadora se utiliza para sacar el óxido delgado, mediante el procedimiento de grabado al aguafuerte, de las aberturas de acceso de la región P. Y finalmente, la cuarta pantalla enmarcadora se utiliza para proporcionar los metales de portal, de fuente y de drenaje, así como las interconexiones de metalización de las estructuras P-MOS y de las regiones de cruce de un extremo a otro P. Hay que tener en cuenta que la etapa de la metalización se puede ejecutar con cualquier cantidad de pantallas enmarcadoras que se desee. Por ejemplo, los alambrados críticos, tales como los contactos de fuente, de drenaje y de portal, así como las conexiones fijas de metal, podrían ser formadas mediante una primera pantalla fija enmarcadora de metalización.

Otro aspecto adicional del invento amplía los límites inferiores de la gama de frecuencia cronométrica para aplicaciones dinámicas lógicas. Refiriéndonos en primer lugar a la FIGURA 9, se ilustra en ella el mecanismo básico de ferretería para las aplicaciones dinámicas lógicas de MOS. La información que aparece identificada con la referencia INFO es aplicada a la fuente-drenaje 27 de un dispositivo de portal de transmisión 23. La señal de cronómetro $\phi 1$ enciende el portal de transmisión 23 para canalizar la INFO, por medio de su trayecto de conducción, hacia un dispositivo P-MOS 20 invertidor. Durante los períodos de intervalo en que no se aplica la señal de cronómetro $\phi 1$, la INFO es almacenada en la capacitancia C-20 de portal, que se encuentra asociada con el portal 20g. La constante de tiempo de almacenamiento en un conjunto de LSI P-MOS depende de la fuga de la juntura P-N formada por

4.6.68.



21

la región fuente-drenaje 28 del dispositivo 23 y el sube-
 trato Tipo N. Se representa esta fuga mediante la conec-
 ción a línea de rayas de un resistor R entre la fuente-dre-
 naje 28 y la masa del circuito. En general, mientras más
 5 grande sea el área de la superficie de la juntura P-N, me-
 nor será la resistencia R y más corta la constante de tiem-
 po de almacenamiento. Por consiguiente, resulta preferi-
 ble que todas las conecciones desde la salida de un dispo-
 sitivo de portal de transmisión hasta un dispositivo inver-
 10 tidor sean hechas a través de un conector de metal en
 vez de un conector de región difundida.

Sin embargo, en un conjunto de LSI no es siem-
 pre posible utilizar conectadores de metal ya que se po-
 drían necesitar interconectores de cruce de un extremo
 15 a otro. La característica distintiva del invento que se
 ilustra en la FIGURA 10 con el diagrama de fijación de la
 cadencia que se ilustra en la FIGURA 11 amplía el mínimo
 de la gama de frecuencias de cronómetro mediante el empleo
 de todos los conectores de metal desde la primera etapa de
 20 la fase de cronómetro hasta una segunda etapa de la fase
 de cronómetro; empleando al mismo tiempo conectadores di-
 fundidos para las regiones, cuando se considera necesario,
 únicamente desde las segundas etapas de la fase de cronó-
 metro hasta las primeras etapas de la fase de cronómetro.
 25 Además, el intervalo entre el final de la segunda etapa
 de cronómetro y el final de la primera etapa de cronóme-
 tro se reduce al mínimo. Según se ilustra en las FIGURAS
 10 y 11, a título de ejemplo, se conectan las salidas de
 las etapas 80 de la fase de cronómetro $\phi 1$, mediante conec-
 30 tadores de metal 81, con las entradas de las etapas 82 de

4.6.68.



la fase de cronómetro Ø2; conectándose las salidas de las etapas 82 de la Ø2 con las entradas de las etapas 80 de la Ø1 por medio de las regiones difundidas 83.

5 En la FIGURA 11, el intervalo T_a entre el final del impulso de cronómetro Ø2 y el final del impulso de cronómetro Ø1 queda reducido al mínimo de acuerdo con la constante de tiempo del almacenamiento de la capacitancia C-20 de portal, y la resistencia R de fuga consiste en un conector de regiones difundido. De otro lado, el
10 intervalo T_b entre el final del impulso de cronómetro Ø1 y el final del impulso de cronómetro Ø2 puede ser relativamente de mayor duración (debido a la mayor resistencia de fuga). Por consiguiente, los conectadores de metal 81 (de puntos de fuga bajos) son los que determinan esencialmente
15 la frecuencia de cronómetro mínima.

No obstante haberse ilustrado el invento únicamente con un tipo de célula clásica en el conjunto de LSI, hay que tener en mente que el conjunto puede incluir otros tipos de células clásicas. Por ejemplo, el conjunto
20 podría incluir algunas de las hileras de las células clásicas que se ilustran en la FIGURA 1 así como otras hileras de células clásicas diferentes.

La presente solicitud que corresponde a la presentada en los Estados Unidos de América, el 23 de Junio de 1967, bajo el número 648.449, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.
25



N O T A

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

5 1.- Una disposición de integración en gran escala de células o elementos de circuito que descansan encima de un sustrato en hileras y columnas con pistas ubicadas entre las hileras, un patrón conector de capas múltiples descansando sobre el sustrato e incluyendo
10 una primera capa conectora descansando encima de una segunda capa conectora con una capa aisladora entre ellas; en la que el perfeccionamiento consiste: en una línea de abastecimiento incluida, por lo menos, en parte de dicha primera capa y dispuesta de modo que se arrolle a lo largo
15 de las pistas a modo de serpiente.

2.- Una disposición de acuerdo a la Reivindicación 1, en que dicha línea de abastecimiento se extiende a lo largo de las pistas colocadas entre las hileras de pares de hileras adyacentes.

20 3.- Una disposición de acuerdo a la Reivindicación 2, en el que dicha línea de abastecimiento consiste de una multiplicidad de líneas incluidas en una estructura de barra colectora que se arrolla a lo largo de las pistas a modo de serpiente.

25 4.- Una disposición de integración en gran escala
4.6.68.



cala de células que descansan sobre un sustrato y dis-
puestas en hileras y columnas coordinadas con pistas ubi-
cadas entre las hileras; en la que cada célula incluye
una multiplicidad de regiones semiconductoras de tipo de
5 primera conductividad difundidas en una superficie de un
material semiconductor de segundo tipo de conductividad
en el sustrato separadas entre sí por un espacio para
formar múltiples trayectos de conducción; descansando una
capa aisladora encima de dicha superficie y provista de
10 aberturas de acceso a través de ella ubicadas encima de
dichas regiones; y una segunda capa de conectadores que se
encuentra descansando encima de dicha capa aisladora y se
parada de dichos trayectos de conducción mediante dicha
capa aisladora, en la cual dichos conectadores de la se-
15 gunda capa se encuentran dispuestos de modo que se extien-
dan a lo largo de dichas pistas; consistiendo la mejora
en que: por lo menos una región de material semiconductor
del primer tipo se extiende por debajo de una de dichas
pistas y en que es común al trayecto de conducción de cada
20 uno de los pares de células adyacentes en una columna, ha-
biéndose adaptado la región para que efectúe la conexión
de manera selectiva a través de dichas aberturas de acce-
so con dichos conectadores de la segunda capa.

5.- Una disposición de integración en gran es-
25 cala de células que comparten un sustrato común; consis-
tiendo cada célula de: por lo menos un primero, segundo y
tercer dispositivos de efecto de campo de portal aislado,
provisto cada uno de ellos de una región de portal aisla-
da de un canal definido por las regiones de fuente y de
30 drenaje; siendo la transconductancia (gm) del primer dis-

4.6.68.



positivo relativamente elevada, siendo la (gm) del segundo dispositivo relativamente pequeña, y la (gm) del tercer dispositivo siendo de un valor intermedio.

5 6.- Una disposición de integración en gran escala de células o elementos de circuito.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

10 Esta Memoria consta de treinta y dos hojas escritas a máquina por una sola cara.

21 JUN 1968

Madrid,

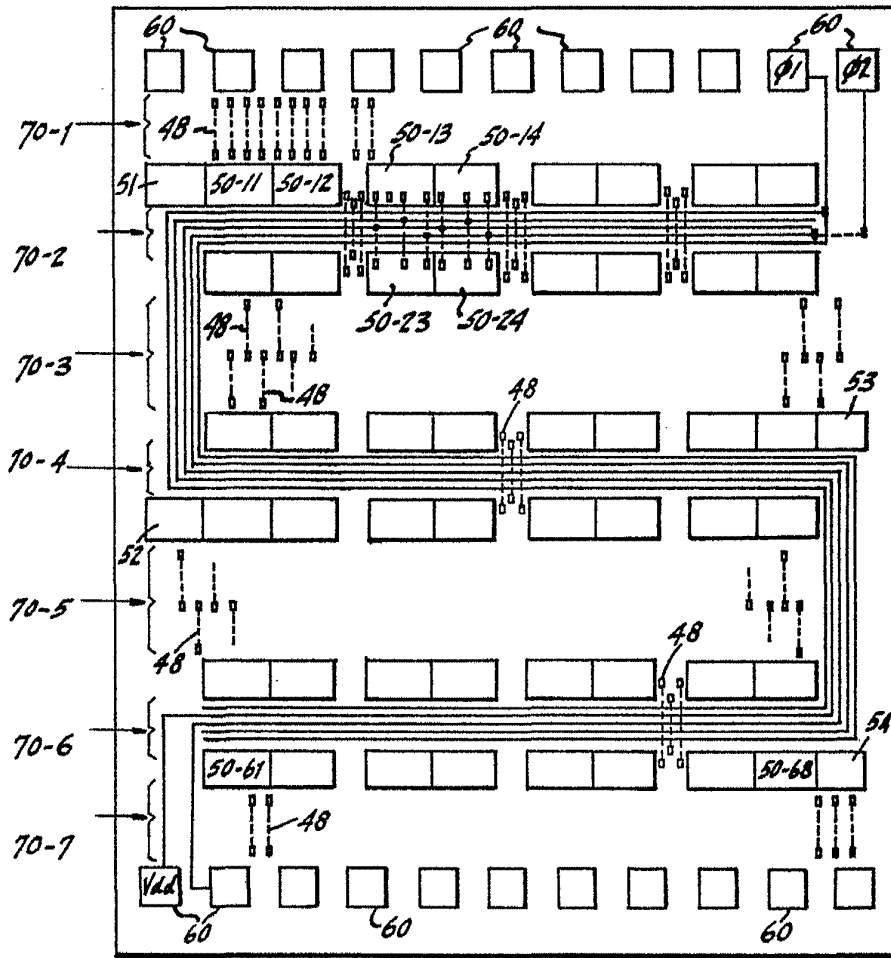
P. A.

G.D.S.
4.6.68.

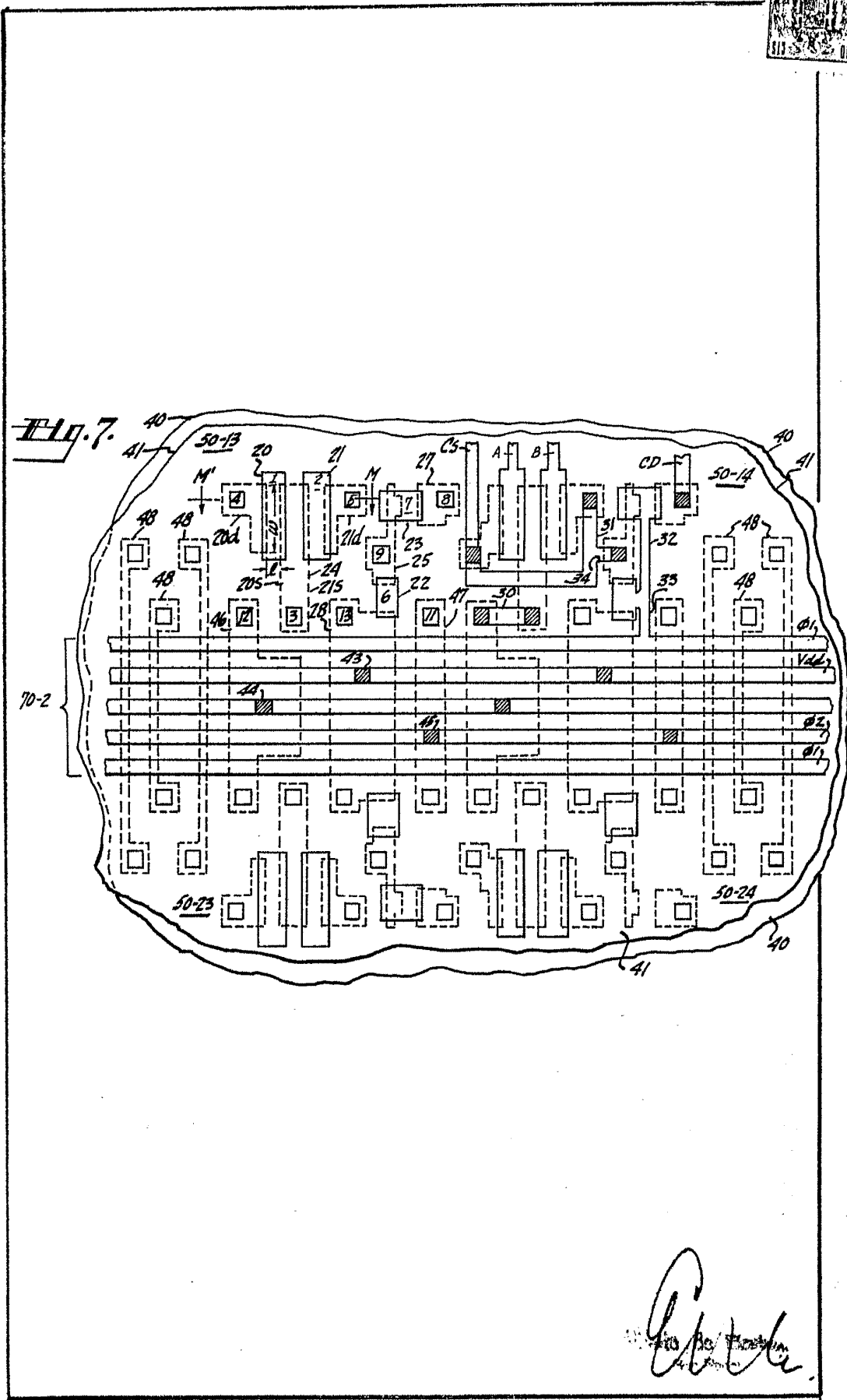
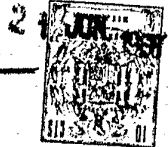
3-22531



Fig. 6.



Art. de Elzabro
R. P. P. Co.



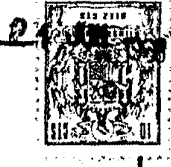


Fig. 8.

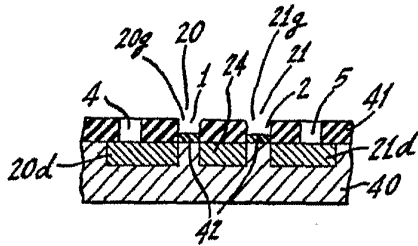


Fig. 9.

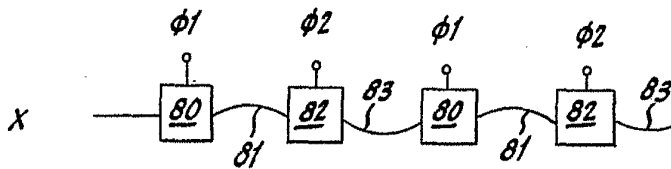
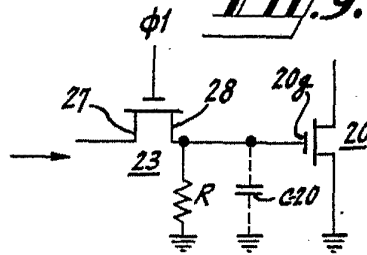


Fig. 10.

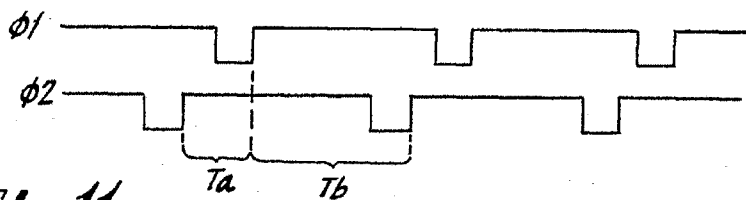


Fig. 11.

Radio Corp. of America
New York, N.Y.
[Handwritten signature]