

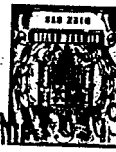
P.- 38.518

Docket FI 9-67-065

354217

SECCION TECNICA  
CLASIFICACION I.P.G.  
CLASE G 06  
SUBCLASE F

Memoria descriptiva



29 M

para solicitar PATENTE DE INVENCION <sup>29 MAY. 1969</sup> por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN DISPOSITIVO DE MICROFRAGMENTO SEMICONDUCTOR MONO-  
LITICO INTEGRADO" (Clase Internacional G06f).



## Resumen de la exposición

5 La presente invención se refiere en general a estructuras monolíticas integradas, incluida la fabricación de las mismas; y, más especialmente, a una estructura integrada monolítica que se usa para obtener una multitud de interconexiones de circuito diversas, de modo que permite hacer más de un circuito para cada estructura. Pueden así fabricarse muchas estructuras integradas de tipo lógico a base de una configuración única de oblea o "rebanada o tajada, principal o maestra, que contiene un número de componentes en un diseño de distribución favorable para la formación de cualquier circuito lógico seleccionado, de entre muchos circuitos de esta clase. Además, se describen métodos de fabricación para facilitar la formación del microfragmento o "pizca" (chip) integrado, que incluyen técnicas de alineación con máscaras, métodos de ensayo de microfragmentos, identificación de los mismos, identificación de etapas de tratamiento, identificación de números de cambio de ingeniería, etc.

## Referencia a solicitudes o patentes americanas y españolas.

- 1.- Solicitud N. 364.834, presentada el 24-2-1964; inventores: Fred Barson y Walter E. Mutter,
- 25 2.- Solicitud N. 376.066, presentada el 18-6-64; inventores; Fred Barson y William H. Miller.
- 3.- Patente española No. 322.300; presentada el 27 de Enero de 1966: inventores: Pieter D. Davidse y Leon I. Maissel.
- 30



4.- Solicitud No. 465.034, por "Estructura y método de circuitos", presentada el 18-6-1965; inventor: Lew Miller.

5 5.-Solicitud española No. 388.621, por "Una estructura monolítica integrada, incluida su fabricación y empaquetado", presentada el 29-3-1967; inventores: Benjamín Agusta y col.

6.- "Un interruptor de corriente", patente de EE. UU. 2.964.652 concedida a Yourke.

10 Fundamentos de la invención

1.-Campo de la invención

15 Esta invención se refiere en general a estructuras integradas monolíticas de semiconductores, incluida la fabricación de las mismas; y, más en particular, a unas estructuras lógicas monolíticas integradas que pueden montarse fácilmente en un módulo, para uso en máquinas tales como calculadoras, etc.

2.- Descripción de la técnica ya conocida.

20 Recientemente ha llegado a adquirir cada vez más importancia la fabricación de circuitos semiconductores monolíticos integrados, preferiblemente de silicio, en la producción de equipos electrónicos que exigen, por razones competitivas, dispositivos integrados de poco coste. La tendencia actual en la fabricación de dispositivos integrados consiste en emplear la llamada "tecnología en un plano", en la que todas las difusiones se efectúan en una superficie de la estructura semiconductor. En la manufactura de dispositivos integrados basada en la "tecnología en un plano", el concepto de rebanada principal o maestra <sup>1</sup> fue adquiriendo importancia al permitir la fabricación de circuitos integrados de muchos tipos partiendo de una sola "rebanada maestra". Se tropezó con

25  
30



problemas en la selección, para la rebanada maestra, de la apropiada configuración que diera la flexibilidad conveniente para hacer un número de circuitos eléctricos deseados. La adecuada colocación de componentes se fué convirtiendo en consideración importante. Además, se necesitaron métodos de fabricación que permitieran la identificación apropiada del microfragmento integrado, la terminación del proceso de fabricación del microfragmento integrado, la fragmentación o subdivisión del mismo etc.

5  
  
  
  
  
  
  
10

Sumario de la invención

Por todo ello, es objeto de la presente invención una estructura integrada monolítica perfeccionada.

Otro objeto de esta invención reside en una configuración de rebanada maestra o principal semiconductor monolítica perfeccionada.

15

Otro objeto más de esta invención reside en una estructura de rebanada maestra semiconductor monolítica perfeccionada, para uso en la fabricación de microfragmentos lógicos integrados monolíticos.

20

Otro objeto más de esta invención reside en un método de fabricación perfeccionado, para hacer dispositivos monolíticos integrados.

Otro objeto más de esta invención consiste en un paquete modular perfeccionado, para un microfragmento monolítico integrado.

25

Otro objeto de esta invención reside en unos componentes activos y pasivos perfeccionados, para uso en microfragmentos monolíticos integrados.

Descripción de las formas de ejecución preferidas.

30

Con arreglo a una de las formas de realización



de este invento, una estructura de rebanadas maestra semiconductor monolítica comprende un substrato de semiconductor monocristalino y unas áreas de aplicación de terminal repartidas y situadas en torno a la parte periférica de la estructura. En el área definida por las áreas de aplicación hay situado un número excedente de componentes activos y pasivos, con lo cual se pueden fabricar varios circuitos integrados partiendo de la estructura de rebanada maestra, mediante selección e interconexión de los componentes activos y pasivos deseados.

Con arreglo a otra forma de realización de este invento, un microfragmento de semiconductor monolítico integrado comprende un substrato de semiconductor monocristalino que posee unas áreas de aplicación de terminal repartidas y situadas en torno a la parte periférica del microfragmento. En el área de semiconductor definida por las de aplicación de terminal van situados unos componentes activos y pasivos. Unos caminos conductivos metálicos interconectan eléctricamente menos de la totalidad de dichos componentes activos y pasivos situados en el área definida por las de aplicación de terminales, a unas áreas de aplicación de terminal concretas y específicas.

Conforme a otra realización de este invento, un elemento de resistencia para un microfragmento de semiconductor monolítico integrado comprende un substrato de un determinado tipo de conductividad. En el substrato, y a lo largo de una de sus partes superficiales, va situada una región de poca resistencia, del tipo de conductividad opuesto. En el substrato y en la región de poca resistencia va situada una región de gran resistencia, del mismo tipo de conductividad que la de poca resistencia. Una re-



gión circundante, del mismo tipo de conductividad que el  
substrato y en contacto eléctricamente con él, aisla o  
separa la región de gran resistencia. En unas porciones  
de superficie de la región de gran resistencia hay situa-  
5 das formando pareja dos regiones de poca resistividad es-  
paciadas a cierta distancia. Cada una de estas dos regio-  
nes de poca resistividad espaciadas es del mismo tipo de  
conductividad que la región de gran resistencia, y está  
sesgada formando ángulo recto respecto a la región de po-  
10 ca resistencia separada. Se proporcionan unos contactos  
óhmicos a las dos regiones de poca resistividad espacia-  
das que forman pareja.

Con arreglo a otra forma más de realización  
de este invento, un procedimiento para fabricar un mi-  
15 crofragmento de semiconductor monolítico integrado inclu-  
ye la formación de unas áreas de aplicación de terminal  
repartidas o espaciadas en configuración de lados parale-  
los. Dos áreas de aplicación espaciadas contiguas, situa-  
das a cada lado de dos costados paralelos opuestos del  
20 microfragmento, están entre sí a una distancia de sepa-  
ración mayor que el espacio comprendido entre otras dos  
áreas de aplicación cualesquiera que formen pareja. En  
por lo menos un 'área de aplicación de terminal de es-  
quina hay formadas unas marcas metalizadas, a 90° de se-  
25 paración, con fines de alineación de máscaras de protec-  
ción. Además, junto a las áreas de aplicación de esquina  
del microfragmento, hay formados unos indicadores de mar-  
ca de subdivisión metalizados.

Con arreglo a otra forma más de realización de  
30 este invento, un "paquete" modular para estructuras semi-



5 conductoras integradas monolíticas comprende un substrato dieléctrico. En la superficie del substrato dieléctrico hay formado un diseño de distribución de "rellanos" conductivos. En el substrato dieléctrico penetra una pluralidad de patillas para la conexión de módulos, patillas que se conectan al diseño de distribución de rellanos conductivos. Un microfragmento de semiconductor monolítico integrado está separado a distancia de la superficie del substrato dieléctrico por medio de áreas de aplicación de terminal conectadas a los rellanos. Cada una de las patillas de la pluralidad está eléctricamente conectada a un área de aplicación de terminal del microfragmento.

10 Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción permenorizada de las formas de realización preferidas del presente invento, ilustradas en los dibujos adjuntos, en los cuales:

20 - la figura 1 es un esquema de circulación de la totalidad del procedimiento de fabricación para hacer la estructura monolítica integrada e interconectarla con un diseño de distribución de rellanos conductivos formado en un substrato cerámico;

25 - la figura 1C es una representación en esquema eléctrico de un determinado tipo de circuito lógico manufacturado por el procedimiento de la fig. 1;

30 - la figura 1P es un esquema de circulación que, en sección recta, ilustra las etapas del procedimiento de fabricación de cada área de aplicación o "pad" P de la estructura integrado de las figs. 5, 6 y 21;

- la figura 1R es un esquema de circulación



que, en sección recta, ilustra las etapas del procedimiento de fabricar la resistencia 1R señalada en la rebanada maestra de la fig. 4 (figs. 4A, 4B) y de la fig. 20 (figs. 20A, 20B, 20C y 20D);

5

- la figura 1R' es una vista superior de la estructura de resistencia ilustrada en la etapa 5 de la figura 1R, que identifica la resistencia 1R de la rebanada principal o maestra de la fig. 4 (figs. 4A, 4B) y la fig. 20 (figs. 20A, 20B, 20C y 20D);

10

- la figura 1T es un esquema de circulación que, en sección recta, ilustra las etapas del procedimiento de fabricar el transistor T de la rebanada maestra de la fig. 4 (figs. 4A y 4B) y de la fig. 20 (figs. 20A, 20B, 20C y 20D);

15

- la figura 1U es un esquema de circulación que, en sección recta, ilustra las etapas del procedimiento de fabricar el conductor de paso inferior U en semiconductor, de la rebanada maestra de la fig. 4 (figs. 4A y 4B);

20

- la figura 1U' es una vista superior de la estructura de paso inferior ilustrada en la etapa 4 de la fig. 1U;

- la figura 2C es un esquema lógico, en forma funcional o por bloques, del circuito lógico de la fig. 1C;

25

- la figura 2R es un esquema de circulación que, en sección recta, ilustra las etapas del procedimiento de fabricar la resistencia 2R de la rebanada maestra de la fig. 4 (fig. 4A, 4B) y de la fig. 20 (20A, 20B, 20C y 20D);

30



- la figura 2R' es una vista superior de la estructura de resistencia indicada en la etapa 6 de la fig. 2R;

5 - la figura 2T es una representación eléctrica esquemática del dispositivo de transistor indicado en la etapa 7 de la fig. 1T, de la rebanada maestra de la fig. 4 (fig. 4A, 4B) y de la fig. 20 (figs. 20A, 20B, 20C, y 20D), representación de transistor que se utiliza para indicar el transistor T en los esquemas eléctricos de las figs. 5C, 6C y 22;

10 - la figura 3C es una representación eléctrica esquemática de otro circuito lógico que se utiliza en la estructura integrada metalizada de la fig. 6;

15 - la figura 3R es un esquema de circulación que, en sección recta, ilustra las etapas del procedimiento de fabricar la resistencia 3R de la rebanada maestra de la fig. 4 (figs. 4A, 4B) y de la fig. 20 (figs. 20A, 20B, 20C y 20D);

20 - la figura 3R' es una vista superior de la estructura de resistencia 3R indicada en la etapa 4 de la fig. 3R;

25 - la figura 3T es una vista superior de la estructura de transistor indicada en la etapa 6 de la fig. 1T, que identifica el transistor T de cada rebanada principal o maestra;

- la figura 4 es una vista superior de una forma de realización de rebanada maestra del presente invento, que ilustra el lugar en que se halla cada componente;

30 - la figura 4' es una representación esquemática que ilustra las figs. 4A y 4B como partes izquierda y de-



recha de la fig. 4;

- la fig. 4A es una vista ampliada de la parte izquierda de la fig. 4;

5 - la figura 4B es una vista ampliada de la parte derecha de la fig. 4;

- la figura 4C es un esquema lógico, en forma funcional o por recuadros, del circuito lógico de la fig. 3B;

10 - la figura 4D es una perspectiva ampliada, fragmentaria y en sección, de los componentes que se utilizan en la rebanada maestra de la fig. 4;

15 - la figura 5 es una vista superior de un diseño de metalización que ilustra una de las maneras de conectar los elementos componentes de la rebanada maestra de la fig. 4 para obtener una estructura de circuito integrada de tipo lógico como la indicada esquemáticamente en la fig. 1C;

20 - la figura 5' es una representación esquemática en forma de recuadros, que ilustra la relación mutua de las figs. 5A y 5B que conjuntamente forman el diseño de metalización compuesto de la fig. 5;

- la figura 5A es una vista ampliada de la parte izquierda de la fig. 5;

25 - la figura 5B es una vista ampliada de la parte derecha de la fig. 5;

- la figura 5C es una representación en esquema eléctrico del diseño de distribución de metalización en rebanada maestra de la fig. 5;

30 - la figura 6 es una vista superior de un diseño de distribución de metalización que ilustra otra



manera de conectar los elementos componentes de la rebana-  
nada maestra de la fig. 5, para obtener una estructura  
de circuito integrada de tipo lógico, esencialmente como  
la indicada esquemáticamente en la fig. 3C;

5

- la figura 6, es una vista esquemática, en forma  
de recuadros, que indica la relación mutua de las figs 6A.  
y 6B que conjuntamente forman la configuración de rebana-  
da maestra metalizada compuesta de la fig. 6;

10

- la figura 6A es una vista ampliada de la parte  
izquierda de la fig. 6;

- la figura 6B es una vista ampliada de la parte  
derecha de la fig; 6;

15

- la figura 6C es una representación en esquema  
eléctrico de la configuración de rebanada maestra metali-  
zada de la fig. 6;

20

- las figuras 7,8,9, 10, 11, 12, 13, 14, 15 y 16  
son unas vistas en un plano de las máscaras de protección  
utilizadas en el procedimiento de fabricación para hacer  
la estructura monolitica integrada de la forma de ejecu-  
ción de este invento ilustrada en la fig; 6;

25

- la figura 17 es una vista fragmentaria y en  
perspectiva de despiezo ordenado de una parte de cada  
máscara de las figs. 7 a 16 inclusive, dispuestas en  
superposición;

30

- la figura 18 es una vista en un plano de un  
"paquete" que contiene dos microfragmentos monoliticos  
integrados del tipo ilustrado en la fig. 6, montados en  
y eléctricamente conectados a unos rellanos conductivos  
impresos situados en la superficie de un substrato dieléct-  
trico,;



- la figura 19 es una vista en alzado con partes desprendidas para ilustrar la interconexión entre un microfragmento monolítico integrado y los rellanos conductivos del substrato dieléctrico;

- la figura 20 es una vista superior de otra forma de ejecución de rebanada maestra conforme a este invento, que ilustra la situación de cada componente;

- la figura 20' es una vista esquemática, en forma de recuadro, que ilustra la relación mútua entre las figs. 20A, 20B, 20C, y 20D, las cuales componen conjuntamente la rebanada maestra compuesta de la fig. 20;

- la figura 20A es una vista ampliada de la parte de cuadrante superior izquierda de la fig. 20;

- la figura 20B es una vista ampliada de la parte de cuadrante superior derecho de la fig. 20;

- la figura 20C es una vista ampliada de la parte de cuadrante inferior izquierdo de la fig. 20;

- la figura 20D es una vista ampliada de la parte de cuadrante inferior derecho de la fig. 20;

- la figura 21 es una vista superior de un diseño de metalización que ilustra una de las maneras de conectar los elementos componentes de la rebanada maestra de la fig. 20 para dar una estructura de circuito integrado de tipo lógico como la ilustrada esquemáticamente en la fig. 30;

- la figura 21' es una vista diagramática, en recuadros, que muestra las relaciones neutras de la fig. 21A, 21B, 21C y 21D que, juntas, forman la configuración de oblea maestra metalizada compuesta de la fig. 21;

- la figura 21 A es una vista ampliada de la parte de cuadrante superior izquierdo de la fig. 21;

- la figura 21B es una vista ampliada de la parte de cuadrante superior derecho de la fig. 21;

- la figura 21C es una vista ampliada de la parte de cuadrante inferior izquierdo de la fig. 21;



- la figura 21D es una vista ampliada de la parte de cuadrante inferior derecho de la fig. 21;

- la figura 22 es una representación en esquema eléctrico de la configuración de rebanada maestra matalizada de la fig. 21; y

- la figura 23 es una vista en un plano de un paquete que contiene el microfragmento integrado monolitico de la fig. 21, montado en unos rellanos conductivos impresos en la superficie de un substrato dieléctrico.

#### METODO DE FABRICACION

En el estudio del método de fabricación de los semiconductores, ilustrado por el esquema de circulación de la fig. 1, se usará la terminología usual, ya conocida en el campo de los transistores. Al hablar de las concentraciones se hará referencia a portadores mayoritarios o minoritarios. Por "portadores" se quiere dar a entender los huecos libres o los electrones a quienes se debe el paso de corriente por un material semiconductor. Se habla de portadores mayoritarios en relación con los del material en estudio: es decir, huecos en el material de tipo P y electrones en el material de tipo N. Mediante el uso del término de "portadores minoritarios" se quiere dar a entender los existentes en minoría, esto es, los huecos en el material del tipo N o los electrones en el material de tipo P. En el más común de los tipos de material hoy en día utilizados en la estructura de los transistores, la concentración de portadores se debe en general a la concentración de la "impureza significativa", esto es, de las impurezas que dan características de conductividad a los materiales semiconductores extrínsecos.



Aunque para describir esta invención se hace referencia a una configuración de semiconductor en la que se emplea una región de tipo P<sup>-</sup> como sustrato, en la cual se forman luego regiones semiconductoras de la estructura de semiconductor compuesta, es fácil ver que las mismas regiones que se mencionan como de un determinado tipo de conductividad pueden ser del tipo de conductividad contrario, y además que algunas de las operaciones citadas como de difusión pueden hacerse por desarrollo epitaxial, así como que algunas de las regiones mencionadas como de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Como sustrato semiconductor inicial se utiliza una oblea de conductividad de tipo P<sup>-</sup> que posee, de preferencia, una resistividad de 10 a 20 ohm. cm y un espesor de unas 254 micras. El sustrato es preferiblemente una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio, en forma de varilla de una masa en fusión que contiene la concentración de impurezas deseada, y luego cortar el miembro extraído haciendo de él una pluralidad de obleas. El sustrato tiene preferiblemente una orientación cristalográfica de unos 2,5° fuera del plano <111> en dirección del plano <110> para reducir al mínimo el "corrimiento" o "arrastre" del diseño tras el desarrollo epitaxial. Se desarrolla térmicamente, o bien se deposita por formación pirolítica, un revestimiento de óxido, preferiblemente de dióxido de silicio y que de preferencia tiene un espesor aproximado de 6000  $\text{\AA}$  (6000 Å). Como alternativa, puede usarse



5 para formar la capa de dióxido de silicio un método de bombardeo en radiofrecuencia como el descrito en la solicitud de patente americana nº 428.733 presentada el 28-1-1965 a nombre de Davidse y Maissel y cedida al mismo cesionario de la presente invención.

10 Utilizando métodos normales de protección con máscara y grabado fotolitográficos, se deposita una capa de foto-reserva (no representada) sobre la capa de óxido situada en la superficie del substrato. Mediante el uso de una máscara apropiada (la máscara A de la figura 7), la capa de foto-reserva sirve de máscara para exponer o impresionar unas regiones de la superficie del substrato quitando por medio de corrosión química las porciones deseadas de la capa de SiO<sub>2</sub> con una solución de HF tamponada. La capa de foto-reserva se hace desaparecer luego, para permitir que siga el tratamiento.

15 Se efectúa una operación de difusión, para difundir en las partes de superficie del substrato expuestas unas regiones de tipo N<sup>+</sup> que tienen una C<sub>0</sub> de 2 x 10<sup>20</sup> portadores mayoritarios de tipo N por centímetro cúbico. La resistencia de lámina de las regiones N<sup>+</sup> es aproximadamente de 9,0 ohmios por unidad de superficie, y la profundidad de cada región difundida es aproximadamente de 2,3 micras. La capa superficial de óxido sirve de máscara de difusión para impedir que la operación de difusión de N<sup>+</sup> forme una región N<sup>+</sup> en toda la superficie del substrato. De preferencia, la operación de difusión se realiza en una cápsula de cuarzo en la que se haya hecho el vacío, utilizando silicio en polvo degenerado impurificado con arsénico. Como variante, cada región N<sup>+</sup> puede formar-



se quitando por grabado químico unas regiones del substrato de tipo P<sup>-</sup>, y desarrollando luego de modo epitaxial unas regiones N<sup>+</sup>, mediante el uso de un método de grabado químico y relleno.

5                   Tras la operación de difusión de N<sup>+</sup> se efectúa de preferencia una etapa de oxidación que provoca la conversión de las regiones N<sup>+</sup> de superficie en óxido (más que el resto de la superficie del substrato protegida con óxido), y crea así una depresión en cada región N<sup>+</sup> de superficie para permitir la sucesiva identificación o localización, tras el desarrollo epitaxial.

10                   La capa de óxido situada en la totalidad de la superficie de la capa de substrato se quita con una solución de HF tamponada. En la superficie del substrato y sobre las regiones N<sup>+</sup> de superficie que tienen depresión se desarrolla epitaxialmente una región de conductividad de tipo N, que tiene de preferencia una resistividad de 0,09 ohm. cm. La región epitaxial es una capa impurificada con arsénico, aproximadamente de 5,5 ± 0,2 micras de espesor.

15                   Las depresiones o entrantes que designan la localización de las regiones N<sup>+</sup> están ahora situadas en la superficie de la capa epitaxial, para facilitar las sucesivas operaciones de protección y grabado fotolitográficos. En la realización de la fabricación de los dispositivos, las impurezas de arsénico en las regiones N<sup>+</sup>, ahora "enterradas" u ocultas, salen por difusión en una micra aproximadamente, durante la formación de depósito epitaxial.

20                   En la superficie de la región desarrollada epitaxialmente se forma una capa de óxido de aproximadamente 4000 Å de espesor, sea por el procedimiento de oxidación



térmica, sea por el depósito pirolítico, sea por métodos de bombardeo con radiofrecuencia.

5 En la capa de óxido se forma un diseño de separación o aislamiento de canales, por métodos normales de protección y grabado fotolitográficos usando como máscara una capa de fotoreserva y una solución de HF tamponada para quitar las partes de óxido deseadas. La máscara utilizada en unión de la capa de fotoreserva es la indicada con la letra B en la fig. 8.

10 La estructura queda así preparada para la sucesiva operación de difusión de separación o aislamiento. Se realiza entonces una operación de difusión de  $P^+$ , de preferencia utilizando una fuente de boro, para formar regiones  $P^+$  separadoras y la región  $P^+$  de paso inferior (fig. 1U) en la región de tipo N de desarrollo epitaxial. Las regiones  $P^+$  tienen una  $C_0$  (concentración en superficie) de  $2,2 \times 10^{20} \text{ cm}^{-3}$  y una resistencia de lámina de 2,5 ohmios por unidad de superficie. Es evidente que las regiones  $P^+$  difundidas tienen una región de superficie de poca resistividad que se extiende hacia

15 abajo a partir de la superficie de la estructura semiconductor, y cada región  $P^+$  se extiende continuamente desde la región de sustrato de tipo  $P^-$  hasta la superficie de la estructura semiconductor. La profundidad de cada

20 región  $P^+$  es aproximadamente de 7,6 micras.

25 Se realiza entonces una operación de reoxidación, y mediante el uso de métodos de protección y grabado fotolitográficos (con la máscara C de la fig. 9) se abren en la capa de óxido unos agujeros para permitir

30 una difusión de base, o de tipo P. La operación de difu-



1968

sión de tipo P se realiza a través de las partes de superficie de semiconductor expuestas, formando regiones de base tipo P para cada transistor T, regiones de resistividad tipo P para cada resistencia 1R, y las regiones P ++ para el conductor U de paso inferior. De preferencia se usa el boro como fuente de impurezas de tipo P, para formar regiones que tienen una  $C_0$  de  $1 \times 10^{19}$  átomos por centímetro cúbico, una resistencia de lámina de  $150 \pm 5$  ohmios por unidad de superficie y una profundidad aproximada de 2 micras.

La etapa de difusión de tipo P vá seguida de una operación de reoxidación e introducción. Se desarrolla así otra capa de  $SiO_2$  en la superficie del substrato. Durante este tratamiento térmico, se distribuyen las impurezas de boro, aumentándose de ese modo la profundidad de la unión y reduciéndose la  $C_0$ .

Sobre la capa de óxido térmicamente desarrollada se aplica un recubrimiento de foto-reserva, y mediante unas operaciones de protección o enmascaramiento y grabado fotolitográficos (usando la máscara D de la fig. 10) se practican en esta capa de óxido unas aberturas que permitan formar regiones de emisor tipo  $N^+$  (para cada transistor T, mediante operación de difusión sucesiva, dos regiones  $N^+$  de contacto para el colector de cada transistor T, y unas regiones de contacto  $N^+$  para las resistencias 2R y 3R. Las dos regiones de contacto  $N^+$  para cada colector del transistor T reducen o aminoran la resistencia serie del colector. En la región de base tipo P de cada transistor T se forman unas regiones de emisor tipo  $N^+$ .

Las regiones  $N^+$  se forman de preferencia usando

7.8.68



una fuente de impurezas fosforosa. Las regiones  $N^+$  se forman de preferencia usando una fuente de impurezas fosforosa. Las regiones  $N^+$  de contacto para las resistencias 2R se sitúan sesgadas en ángulo recto con respecto a unas partes estrechas de prolongación de la región  $N^+$  de subcolector enterrada. La  $C$  es de  $2,5 \times 10^{21}$ , la resistencia de lámina es de  $3,5$  ohmios por unidad de superficie, y la profundidad es aproximadamente de  $1,8$  micras. En la superficie del substrato se forma una capa de vidrio de fosfosilicato, debido a la operación de difusión fosforosa. La anchura del canal de base de cada transistor T es aproximadamente de  $0,43$  micras, debido al "empuje" de la región de base en el sentido de asomar, tras la formación de la región de emisor difundida. Las regiones de emisor y de base de cada transistor T se forman encima de la región  $N^+$  "enterrada", permitiendo que esta región actúe de subcolector de poca resistividad enterrado.

Una operación de introducción o "drive-in", se realiza usando atmósfera de nitrógeno. El objeto de realizar la operación de introducción en atmósfera no oxidante, como la de nitrógeno, es el de mantener un elevado  $\beta$  para el transistor T. Si así conviene, a continuación de la operación de introducción del emisor, puede depositarse una capa de vidrio por bombardeo en la capa de vidrio de fosfosilicato, para proteger la capa de vidrio de fosfosilicato necesaria a los fines de estabilidad descritos en la solicitud de patente afín de EE. UU. nº 376.066, de los inventores William H. Miller y Fred Barson, presentada el 18-6-1964, y cedida al mismo cesionario de esta invención. En áreas seleccionadas de la capa



de óxido se abren unos agujeros de contacto, mediante el uso de dos capas de foto-reserva y dos métodos sucesivos de protección y grabado fotolitográficos (uno por cada capa, usando la máscara E1 de la fig. 11 en la primera capa de foto-reserva y la máscara E2 de la fig. 12 en la segunda capa de foto-reserva. Las ventajas de tal tratamiento de protección y grabado, en el que la segunda máscara actúa también de máscara de bloqueo, se ponen de manifiesto claramente en la fig. 3 de una solicitud de patente americana titulada "Método de grabar una abertura en una capa aislante sin que se formen en ella finos agujeros de perforación", presentada el 9-1-1967, de los inventores Fred Barson y col. y cedida al mismo cesionario de la presente invención. Por ejemplo, las dimensiones del agujero de contacto de emisor son 0,018 x 0,051 mm, cada agujero de contacto de base tiene 0,051 x 0,025 mm, y cada agujero de contacto de colector es de 0,013 x 0,035 mm.

Sobre la superficie entera de la oblea se aplica por evaporación una capa de aluminio o de otro metal adecuado, como el molibdeno, y de esta capa se quitan por grabado químico unas porciones, para tener el diseño de interconexión deseado. Una capa de aluminio aplicada por evaporación con un grosor de varios miles de <sup>o</sup>ångstrom resulta útil para permitir la formación de un camino conductivo de interconexión entre componentes para así formar el circuito integrado que se desea. A continuación se aplica a la oblea una capa de foto-reserva que es luego secada, impresionada, revelada y fijada. Las interconexiones de aluminio se forman mediante una operación de grabado sustractiva (con la máscara F de la fig. 13)

7.8.68



usando una solución tibia de  $H_3PO_4 + HNO_3 + H_2O$ . Se quita luego la capa de foto-reserva y se limpia y seca la oblea.

5 Las obleas se sinterizan en una atmósfera de nitrógeno a una temperatura aproximada de  $450^\circ C$  durante un período de alrededor de 15 minutos, para permitir que el aluminio produzca buen contacto óhmico con las regiones semiconductoras de la oblea provistas de contacto. Así, se forman contactos óhmicos con cada uno de los

10 componentes.

A continuación en la superficie entera de la oblea se forma o deposita, por bombardeo o de otro modo, una capa aislante de  $SiO_2$  o de un material vítreo de otra clase. Esta capa encapsulante se dispone sobre toda la superficie de la oblea después de formado en la capa de óxido el diseño de distribución de rellanos de aluminio. Encima de la parte terminal de cada rellano seleccionada para la formación de áreas de aplicación P se forman unas aberturas, por métodos usuales de protección y grabado fotolitográficos, usando una capa de foto-reserva como máscara (máscara G de la fig. 14).

15

20

En y alrededor de la periferia de cada abertura practicada por medio de la operación anterior de protección y grabado fotolitográficos se depositan capas sucesivas de cromo, cobre y oro. Esto se efectúa usando la máscara H de la fig. 15 para permitir la formación de contactos terminales.

25

A continuación, sobre cada capa de oro de cada agujero terminal se deposita una capa de soldadura de plomo-estaño y, por métodos de aplicación de calor y

30



recirculación, se forma una bola de soldadura en el rellano limitador de oro, pues la soldadura no se adherirá ni mejorará a la superficie de la capa aislante aplicada por bombardeo. Con el fin de depositar las áreas de soldadura de plomo estaño se usa la máscara I de la fig. 16. Así, las áreas de aplicación P de la rebanada maestra se forman de esta manera para así permitir el contacto eléctrico entre los dispositivos - por los rellanos - hasta el módulo. Las áreas de aplicación P están designadas P1, P2....P12 en la rebanada maestra de la fig. 4, y P1, P2...P16 en la rebanada maestra de la fig. 20. Las áreas de aplicación P permiten asimismo establecer la distinción o el alejamiento eléctrico entre el microfragmento y el módulo.

La oblea queda así dispuesta para su ensayo, o bien, si así conviene, se subdivide o corta en microfragmentos, cada uno de los cuales se prueba o ensaya eléctricamente.

Los microfragmentos de circuito integrado se montan en un módulo que tiene, en determinados lugares unos rellanos conductivos impresos. Los rellanos del módulo se recubren de preferencia con soldadura de plomo-estaño para facilitar la conexión entre cada microfragmento y el módulo.

Para unir los microfragmentos al módulo, se usa un procedimiento de unión descrito en una solicitud de patente americana titulada "Estructura de circuitos y método", presentada el 18-6-1965, con el número de serie 455.034, que tiene por inventor a Lew Miller y ha sido cedida al mismo cesionario de la presente invención.



En una solicitud de patente americana titulada "Estructura monolítica integrada, incluida su fabricación y empaquetado", presentada a nombre de Benjamín Agusta y Cpl. el 31-3-1966 con el número 539.210 y cedida al mismo cesionario de la presente invención, se dá información detallada adicional para la fabricación de dispositivos integrados de este tipo. Por consiguiente, esta solicitud de patente afin se incorpora a la presente como referencia.

Las descripciones que siguen, de los componentes individuales usados en cada rebanada maestra, indican en general las etapas de fabricación concretas y específicas que se emplean para hacer cada componente semiconductor.

#### EL TRANSISTOR ( T )

Aunque con el propósito de describir el transistor se hace referencia a una configuración de semiconductor en la que se utiliza una región de tipo P<sup>-</sup> como substrato, formándose luego sucesivas regiones semiconductoras de la estructura de semiconductor compuesta, en el tipo de conductividad indicado en los dibujos, es fácil comprender que las mismas regiones indicadas en los dibujos pueden ser de conductividades de tipo opuesto; y, además, algunas de las operaciones que se describen y denominan como de difusión pueden hacerse por desarrollo epitaxial; y algunas de las regiones citadas como de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Con referencia a la Fig. 1T, la etapa 1 ilustra un substrato 10T de conductividad de tipo P<sup>-</sup>, preferiblemente de una resistividad de 10 a 20 ohm. cm y un grosor



aproximado de 0,25 mm. El substrato 10T es de preferen-  
cia una estructura de silicio monocristalina que puede  
fabricarse por métodos usuales, como el de extraer un  
miembro semiconductor de silicio en forma de varilla de  
una masa en fusión que contiene la concentración de impu-  
rezas deseada, y luego cortar o seccionar el miembro sa-  
cado, en una pluralidad de obleas. El substrato 10T es par-  
te de una de estas obleas, y tiene una orientación cris-  
talográfica de unos  $2,5^\circ$  fuera del plano  $\langle 111 \rangle$ , en la di-  
rección del plano  $\langle 110 \rangle$ . Bien por desarrollo térmico o por  
formación de depósito pirolítico, se crea un recubrimien-  
to de óxido 12T, preferiblemente de dióxido de silicio y,  
de preferencia con un espesor, aproximado de 6000 Å. Como  
alternativa, para formar la capa de silicio 12T puede  
usarse un método de bombardeo iónico de radiofrecuencia,  
como el descrito en la solicitud de patente de EE. UU. n.º  
428.733, presentada el 28-1-1965 a nombre de Davidse y Mai-  
ssel y cedida al mismo cesionario de la presente invención.

En la etapa 2, por medio de métodos normales de  
protección y grabado fotolitográficos, se deposita una  
capa de foto-reserva (no representada) en el substrato  
que incluye la capa de óxido 12T y utilizando la capa de  
foto-reserva como máscara se impresiona una región super-  
ficial 14T en la superficie del substrato 10T quitando  
por grabado químico con una solución de HF tamponada la  
parte deseada de la capa 12T de  $\text{SiO}_2$ . A continuación se  
elimina la capa de foto-reserva, para poder seguir el  
tratamiento. Se realiza una operación de difusión, para di-  
fundir en la superficie 14T del substrato 10T una región  
16T de tipo  $\text{N}^+$  que tenga  $C$  de  $2 \times 10^{20} \text{ cm}^{-3}$ , de portado-



res mayoritarios de tipo N. La resistencia de lámina de la región N<sup>+</sup> 16T es aproximadamente de 9,0 ohmios por unidad de superficie, y la profundidad de la región difundida es aproximadamente de 2,3 micras. La capa de óxido 12T<sup>1</sup> sirve de máscara para impedir que la región 16T de tipo N<sup>+</sup> se forme en toda la superficie del sustrato 10T. De preferencia, la operación de difusión se realiza en una cápsula de cuarzo en la que se haya hecho el vacío, usando silicio en polvo degenerado impurificado con arsénico. Como variante, la región N<sup>+</sup> 16T puede formarse practicando un canal, por grabado químico, en el sustrato 10T de tipo P<sup>-</sup> y luego desarrollando epitaxialmente una región N<sup>+</sup>.

En la etapa 3, tras quitar la capa de óxido 12T con una solución de HF tamponada, se desarrolla por crecimiento epitaxial, en la superficie del sustrato, una región 18T de conductividad de tipo N, que tenga de preferencia una resistividad de 0,09 ohmios por centímetro. La región epitaxial 18T es una capa impurificada con arsénico, de unas 5,5 + 0,2 micras de espesor, aproximadamente. En la fabricación real y efectiva del dispositivo, las impurezas de arsénico de la región 16T, ahora enterradas, salen por difusión aproximadamente en una micra durante la formación de depósito epitaxial. En la superficie de la región 18T de desarrollo epitaxial se forma una capa de óxido 20T de aproximadamente 4000 Å de espesor, sea por el procedimiento de oxidación térmica, sea por formación de depósito pirolítico, sea por un método de bombardeo iónico de radiofrecuencia.

En la etapa 4, se forma en la capa de óxido una



abertura continua 22T, por métodos normales de protección y grabado fotolitográficos, utilizando como máscara una capa de foto-reserva, y una solución de HF tamponada para quitar las partes de óxido deseadas. La estructura queda entonces preparada para la sucesiva operación de difusión de separación o aislamiento. Se realiza entonces una operación de difusión  $P^+$ , preferiblemente usando una fuente de boro, para formar la región 24T circundante en la región 18T de desarrollo epitaxial de tipo N. La región 24T tiene una  $C$  (concentración superficial) de  $2,2 \times 10^{20} \text{ cm}^{-3}$ , y una resistencia de lámina de 2,5 ohmios por unidad de superficie. Es evidente que la región 24T difundida como separación o aislamiento de tipo  $P^+$  tendrá una región de superficie de poca resistividad que se extiende hacia abajo desde la superficie de la estructura semiconductor, y la región de plena separación se extiende continuamente desde la región de substrato 10T de tipo P a la superficie de la estructura semiconductor. La profundidad de la región 24T de tipo  $P^+$  es aproximadamente de 7,6 micras.

En la etapa 5, se realiza una operación de reoxidación, y utilizando métodos de protección y grabado fotolitográficos se practica un agujero 26T en la capa de óxido 20T, encima de la región aislada 18T de tipo N, para así permitir una difusión del tipo de base. Una operación de difusión del tipo de base se realiza a través de la porción 28T de la superficie del semiconductor, formándose una región de base 30T de tipo P. De preferencia se usa el boro como fuente de impurezas, formándose una región que posee una  $C$  de  $1 \times 10^{19}$  átomos por

7.8.68



centímetro cúbico, una resistencia de lámina de  $150 \pm 5$  ohmios por unidad de superficie, y una profundidad aproximada de 2 micras.

5 En la etapa 6, la difusión de base vá seguida de una operación de reoxidación e introducción simultánea. De ese modo se desarrolla en la superficie del sustrato otra capa de  $\text{SiO}_2$ . Durante este tratamiento térmico, se redistribuyen las impurezas de boro, aumentándose así la profundidad de la unión y rebajándose la  $C$ .

10 Encima de la capa de óxido 20T se aplica un recubrimiento de foto-reserva, y mediante operaciones de protección y grabado fotolitográficos se quitan tres porciones de esta capa de óxido para poder formar mediante una operación de difusión unas regiones de tipo de emisor. En la región de colector 18T de tipo N se forman 15 dos regiones de tipo  $N^+$  de emisor, 32T y 34T, para obtener regiones de buen contacto eléctrico y poder hacer así más de un contacto eléctrico de poca resistencia con el colector, y reducir de ese modo la resistencia serie de 20 éste. También se forma una región 36T de emisor de tipo  $N^+$  en la región de base 30T de tipo P, simultáneamente con la formación de las regiones 32T y 34T.

25 Las regiones 32T, 34T y 36T de tipo  $N^+$  se forman preferiblemente utilizando una fuente de impureza fosforosa. La  $C$  de las regiones 32T, 34T y 36T es de  $2,5 \times 10^{21} \text{ cm}^{-3}$ , la resistencia de lámina es de 3,5 ohmios por unidad de superficie, y la profundidad es aproximadamente de 1,8 micras. Por tanto, la anchura del canal de base es aproximadamente de 0,43 micras, debido al 30 "empuje" de la región de base tras la formación de la



región de emisor por difusión. Las regiones de emisor y de base se forman encima de la región N<sup>+</sup> enterrada, para permitir que esta región actúe de subcolector enterrado de poca resistividad.

5 En atmósfera de nitrógeno se efectúa una operación de introducción. Se practican agujeros en la capa de óxido, en áreas seleccionadas de la misma, mediante el uso de procedimientos de protección y grabado fotolitográficos. Por ejemplo, las dimensiones del agujero de contacto de emisor son de 0,018 x 0,005 mm. cada agujero de

10 contacto de base tiene 0,005 x 0,025 mm, y cada agujero de contacto de colector es de 0,013 x 0,035 mm. Sobre toda la superficie de la oblea se deposita por evaporación una capa de aluminio u otro metal apropiado como el molibdeno, quitándose porciones de esta capa por grabado químico para producir el diseño de interconexión deseado. La capa de aluminio depositada por evaporación tiene un espesor de varios miles de <sup>o</sup>ångstrom. A continuación se aplica a la oblea una capa de foto-reserva que es luego

15 secada, impresionada, revelada y fijada. Las interconexiones de aluminio se forman mediante una operación de grabado químico sustractivo, usando una solución tibia de  $H_3PO_4 + HNO_3 + H_2O$ . Se quita o separa luego la capa de fotoprotección, y se limpia y seca la oblea.

20

25 Las obleas se sinterizan en atmósfera de nitrógeno a una temperatura aproximada de 450°C, durante un periodo de unos 15 minutos, para permitir que el aluminio produzca un buen contacto óhmico con las regiones semiconductoras de la oblea con las que se hace el contacto.

30 Así, los contactos óhmicos 38T y 40T dan conexión eléctrica



ca con el colector 18T, los contactos óhmicos 42T y 44T dan conexión eléctrica a la región de base 30T, y el contacto óhmico 46T da conexión eléctrica con la región de emisor 36T (véase la etapa 7).

5

10

15

Cada transistor T representado en la rebanada maestra se fabrica de esta manera. La fig. 2T ilustra esquemáticamente como está representado cada transistor T. Debido a los dos contactos 38T y 40T efectuados con la región de colector 18T, se utilizan dos recuadros C para facilitar la representación de la conexión eléctrica a cada uno de los dos contactos de colector. De igual modo, por haber dos contactos 42T y 44T con la región de base 30T, se usan dos recuadros B para facilitar la representación de la conexión eléctrica a cada uno de los dos contactos de base. Finalmente, el recuadro E, situado en el centro de la fila de cinco recuadros que ilustra gráficamente el dispositivo de transistor de esta estructura monolítica integrado, representa el emisor 36T.

20

25

Con referencia a la fig. 3T, que es una vista superior en la que se muestra la estructura ilustrada en la etapa 6 de la figura 1T, los diseños de difusión y los agujeros se representan en el modo en que identifican al dispositivo transistor T, tal como aparece en la rebanada maestra. La letra T se utiliza para designar el lugar que ocupa el transistor T en la rebanada maestra.

#### LA RESISTENCIA 1R

30

Aun cuando con el propósito de describir la resistencia 1R se hace referencia a una configuración de semiconductor en la que se utiliza como substrato una región de tipo P<sup>-</sup> y se forman luego unas regiones semicon-



ductoras en la estructura de semiconductor compuesto, del tipo de conductividad indicado en los dibujos, es fácil comprender que las mismas regiones indicadas en los dibujos pueden ser de conductividad de tipo opuesto, y que además algunas de las operaciones que se describen como de difusión pueden hacerse por desarrollo epitaxial y, recíprocamente algunas de las regiones de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

5

10

Con referencia a la fig. 1R, la etapa 1 ilustra un substrato 1OR de conductividad de tipo P<sup>-</sup>, de preferencia con una resistividad de 10 a 100 ohm.cm y un espesor aproximado de 0,25 mm. El substrato 1OR es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio en forma de varilla, de una masa en fusión que contenga la concentración de impurezas deseada, y luego subdividir o cortar el miembro extraído en una pluralidad de obleas. El substrato 1OR es una porción de una de dichas obleas, y tiene una orientación cristalográfica de unos 2,5° fuera del plano  $\langle 111 \rangle$  en la dirección del plano  $\langle 110 \rangle$ .

15

20

25

En la etapa 2, se desarrolla epitaxialmente en la superficie del substrato una región 18R de conductividad de tipo N, preferiblemente de una resistividad de 0,09 ohmios por centímetro. La región epitaxial 18R es una capa impurificada con arsénico, aproximadamente de  $5,5 \pm 0,2$  micras de espesor.

30

En la etapa 3, se forma una capa de óxido 2OR, aproximadamente de  $4000 \text{ \AA}$  de espesor, en la superficie de



5  
10  
15  
20  
25  
30

la región de desarrollo epitaxial 18R, sea por el procedimiento de oxidación térmica, sea por formación de depósito pirolítico, sea por un método de bombardeo iónico con radiofrecuencia. En la capa de óxido se practica una abertura continua 22R, por métodos normales de protección y grabado fotolitográficos usando como máscara una capa de foto-reserva, y una solución de HF tamponada para quitar las partes de óxido deseadas. La estructura queda así preparada para la sucesiva operación de difusión de aislamiento. Entonces se lleva a cabo una difusión de tipo P<sup>+</sup> de preferencia utilizando una fuente de boro, para formar la región circundante 24R en la región 18R de tipo N epitaxialmente desarrollada. La región 24R tiene una C (concentración de superficie) de  $2,2 \times 10^{20} \text{ cm}^{-3}$  y una resistencia de lámina de 2,5 ohmios por unidad de superficie, Es evidente que la región 24R de tipo P<sup>+</sup> difundida, de aislamiento o separación, tendrá una región de superficie de poca resistividad que se extiende hacia abajo a partir de la superficie de la estructura de semiconductor, y la región de pleno aislamiento se extiende continuamente desde la región de substrato 10R de tipo P a la superficie de la estructura de semiconductor. La profundidad de la región 24R de tipo P<sup>+</sup> es aproximadamente de 7,6 micras.

En la etapa 4, se realiza una operación de reoxidación, y mediante el uso de métodos de protección y grabado fotolitográficos se practica un agujero 26R en la capa de óxido 20R, encima de la región aislada 18R de tipo N, permitiendo así realizar una difusión de tipo de base para formar la resistencia deseada. La operación de difu-



5      sión de base, o tipo P, se realiza a través de la parte  
 28R de superficie del semiconductor, formando una región  
 30R de tipo P. De preferencia se usa boro como fuente de  
 impurezas para formar una región que tiene una C de  $1 \times 10^{19}$  átomos por centímetro cúbico, una resistencia de lámina  $150 \pm 5$  ohmios por unidad de superficie, y una profundidad aproximada de 2 micras.

10      En la etapa 5, la de difusión de tipo P se hace seguir de una operación de reoxidación e introducción simultáneas. De ese modo se desarrolla otra capa de  $SiO_2$  en la superficie del substrato. Durante este tratamiento térmico se redistribuyen las impurezas de boro, aumentándose así la profundidad de la unión y reduciéndose la C.

15      Sobre la capa de óxido 20R se aplica un recubrimiento de fotoreserva, y mediante unas operaciones de protección y grabado fotolitográficos se quitan por lo menos dos porciones de esta capa de óxido para poder hacer contactos óhmicos con la región 30R. sobre la totalidad de la superficie de la oblea se deposita por evaporación una capa de aluminio u otro metal adecuado, como el molibdeno, y por grabado químico se quitan unas porciones de esta capa para producir el diseño de interconexión deseado. La capa de aluminio aplicada por evaporación tiene un grosor de varios miles de angstrom. A continuación se aplica a la oblea una capa de fotoreserva, procediendo luego a secar, impresionar, revelar y fijar. Las interconexiones de aluminio se forman por medio de una operación de grabado químico sustractivo, utilizando una solución tibia de  $H_3PO_4 + HNO_3 + H_2O$ . La capa de fotoreserva se quita, y la oblea se limpia y seca después.

20

25

30



Las obleas se sinterizan en una atmósfera de nitrógeno a la temperatura aproximada de 450°C durante un período de unos 15 minutos, para permitir al aluminio producir un buen contacto óhmico con la región semiconductora de la oblea, con la que se hace el contacto. Así, los contactos óhmicos 38R y 40R proporcionan la conexión eléctrica con la región 30R de tipo P.

De esta manera se fabrica cada resistencia 1R ilustrada en la rebanada maestra. Al hacer referencia a la representación eléctrica esquemática del circuito lógico (por ejemplo, la fig. 1C), las resistencias designadas 1R, 1RA, 1RB y 1RS se fabrican todas de la manera indicada por el esquema de circulación de la fig. 1R. En la etapa 5 se representan con líneas de trazo interrumpido (en oculto) cuatro contactos óhmicos 42R dispuestos entre los dos contactos óhmicos 38R y 40R. El objeto de los cuatro contactos ocultos 42R es el de indicar que es posible efectuar dos contactos óhmicos cualesquiera con la región 30R de tipo P que sirve de resistencia, según queda indicado por la designación de línea de trazo interrumpido. Por referencia a la rebanada maestra se vé claramente que algunas resistencias 1R tienen 2,3,4,5 ó 6 aberturas en la capa de óxido, permitiendo así un amplio grado de libertad y de flexibilidad en la selección de un valor de resistencia mediante la elección de los dos contactos deseados. Todas las aberturas indicadas en la capa de óxido para cada resistencia 1R quedan descubiertas, para poder elegir la resistencia deseada mediante el diseño de metalización de la máscara seleccionada. En algunos casos se usan dos



aberturas contiguas, en uno o ambos extremos de la resistencia 1R, para formar esencialmente un solo contacto, ya que la extremada proximidad de las dos aberturas contiguas tiene muy poco efecto sobre el valor de resistencia. Por tanto, con el uso de más de dos aberturas en la capa superficial de óxido es posible seleccionar diversos valores de resistencia, según las necesidades del circuito, según lo seleccionado por la máscara de metalización que se use.

5

10

Con referencia a la fig. 1R, que es una vista superior que representa la estructura ilustrada en la etapa 5 de la fig. 1R se indican los diseños de difusión y agujeros con los que se designa o identifica el dispositivo de resistencia 1R tal como aparece en la rebanada maestra. La designación 1R se usa para identificar el lugar que ocupa la resistencia 1R en la rebanada maestra. El tamaño rectangular de la resistencia 1R puede modificarse según convenga, tal como está indicado por medio de la parte central desprendida.

15

20

#### LA RESISTENCIA 2R

Aunque para describir este elemento de resistencia se hace referencia a una configuración de semiconductor en la que se usa una región de tipo P<sup>-</sup> como sustrato, formándose sucesivas regiones semiconductoras de la estructura de semiconductor compuesta en los tipos de conductividad indicados en los dibujos, es fácil apreciar que las mismas regiones indicadas en los dibujos pueden ser de conductividades de tipo opuesto, y además algunas de las operaciones que se citan como de difusión pueden hacerse por desarrollo epitaxial, y algunas de las regiones definidas como de desarrollo epitaxial pueden fabricarse tam-

25

30



bien por métodos de difusión.

5                    Con referencia a la fig. 2R, la etapa 1 ilustra un substrato 200R de conductividad tipo P<sup>-</sup>, que preferiblemente tiene una resistividad de 10 a 20 ohm. cm y un espesor de unos 0,25 mm. El substrato 200R e-s de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, como el de extraer un miembro semiconductor de silicio en forma de varilla de una masa en fusión que contiene la concentración de impurezas deseada, y subdividirlo luego en una pluralidad de obleas. El substrato 200R es una porción de una de esas obleas, y tiene una orientación cristalográfica de unos 2,5° fuera del plano  $\langle 111 \rangle$ , en la dirección del plano  $\langle 110 \rangle$ .

15                    Con referencia a la etapa 2, se dispone una capa de recubrimiento de óxido 202R, preferiblemente de dióxido de silicio y de un espesor aproximado de 5000 Å bien por desarrollo térmico mediante caldeo usual en atmósfera húmeda a 1050°C durante unos 60 minutos, o bien por formación de depósito pirolítico de una capa de óxido en la superficie del substrato 200R. Como alternativa, para formar la capa de dióxido de silicio 202R puede usarse un método de bombardeo iónico de radiofrecuencia como el descrito en la solicitud de patente de EE. UU. n° 428.733, presentada el 28-1-1965 a nombre de Davidse y Maissel y cedida al mismo cesionario de la presente invención.

20                    En la etapa 3, por métodos normales de protección y grabado fotolitográfico se deposita una capa de foto-reserva (no representada) en el substrato, incluida



la superficie de la capa de óxido 202R; y utilizando como máscara la capa de foto-reserva se impresiona o expone una región 204R de la superficie del substrato 200R mediante el recurso de quitar por grabado químico la parte deseada de la capa 202R de SiO<sub>2</sub> con una solución de HF tamponada. A continuación se elimina la capa de foto-reserva para poder seguir el tratamiento. Se realiza una operación de difusión para difundir en la superficie 204R del substrato 200R una región 206R de tipo N<sup>+</sup> que tiene una C de  $2 \times 10^{20}$  portadores mayoritarios de tipo N por centímetro cúbico. La resistencia de lámina de la región 206R de tipo N<sup>+</sup> es aproximadamente de 9,0 ohmios por unidad de superficie, y la profundidad de la región difundida es aproximadamente de 2,3 micras. La capa de óxido 202R sirve de máscara para impedir que la región 206R de tipo N<sup>+</sup> se forme en toda la superficie del substrato 200R. De preferencia, la operación de difusión se realiza en una cápsula de cuarzo en la que se haya hecho el vacío, usando silicio en polvo degenerado impurificado con arsénico. Como variante, puede formarse la región 206R de tipo N<sup>+</sup> practicando mediante grabado químico un canal en el substrato 200R de tipo P<sup>-</sup> y luego, a continuación, desarrollando una región N<sup>+</sup> por crecimiento epitaxial.

En la etapa 4, tras de quitar la capa de óxido 202R con una solución de HF tamponada, se forma por desarrollo epitaxial una región 208R de conductividad tipo N, preferiblemente de una resistividad de 0,09 ohm, cm., en la superficie del substrato. La región epitaxial 208R es una capa impurificada con arsénico, aproximadamente de



1968

5,5  $\pm$  0,2 micras de espesor. En la fabricación real y efectiva de los dispositivos, las impurezas de arsénico de la región 206R, que están ahora enterradas, salen por difusión en una micra aproximadamente, durante la formación del depósito epitaxial.

5

En la etapa 5, se forma una capa de óxido 210R de alrededor de 4000 Å de grosor en la superficie de la región 208R de desarrollo epitaxial, sea por el procedimiento de oxidación térmica, sea por formación de depósito pirolítico, sea por métodos de bombardeo de radiofrecuencia. En la capa de óxido 210R se forma una abertura continua 212R por métodos de protección y grabado fotolitográficos, usando como máscara una capa de fotoreserva, y una solución de HF tamponada para quitar las partes de óxido deseadas. La estructura queda así preparada para la sucesiva operación de difusión de aislamiento. Se realiza una difusión de tipo P<sup>+</sup>, de preferencia usando una fuente de boro, para formar la región de separación o aislamiento 214R circundante. La región 214R tiene una C<sup>0</sup> (concentración de superficie) de 2,2 x 10<sup>20</sup> cm<sup>-3</sup> y una resistencia de lámina de 2,5 ohmios por unidad de superficie. Del dibujo se desprende evidentemente que la región 214R de aislamiento de tipo P<sup>+</sup> se extiende continuamente desde la superficie de la estructura semiconductor a la región de substrato 200R de tipo P. Es más, resulta evidente que la región 214R difundida de tipo P<sup>+</sup> tendrá una región de superficie de poca resistividad que se extiende hacia abajo desde la superficie de la estructura semiconductor. La profundidad de la región 214R de tipo P<sup>+</sup> es aproximadamente de 7,6 micras.

10

15

20

25

30



En la etapa 6, se realiza una operación de reoxidación, tras la operación de difusión de aislamiento, para cubrir las aberturas 212R.

5 A la superficie de esta capa de óxido se le aplica un recubrimiento de foto-reserva, y por métodos de protección y grabado fotolitográficos se quita la parte deseada de la capa de  $\text{SiO}_2$ , usando una solución de HF tamponada. En la capa de óxido 210R se practican unas aberturas separadas 215R y 218R. Las aberturas 216R y 10 218R se forman durante la etapa del procedimiento global de fabricación en la cual se practican unas aberturas para poder formar por difusión las regiones de contacto de emisor o colector, de tipo  $\text{N}^+$ , para el transistor T. Se realiza ahora de preferencia una difusión de tipo de emisor, usando fósforo como fuente de impurezas, para formar 15 unas regiones  $\text{N}^+$  difundidas 220R y 222R debajo de las aberturas 216R y 218R, respectivamente. La  $C$  de las regiones difundidas 220R y 222R de tipo  $\text{N}^+$  es como la del emisor del transistor T, siendo también las mismas la resistencia de lámina y la profundidad. 20

Con referencia a la fig. 2R', que es una vista superior de la estructura ilustrada en la etapa 6 de la fig. 2R, se representan los agujeros 218R y 220R de configuración rectangular (por ejemplo, de 0,0076 x 0,033 mm) y 25 sesgada en ángulo recto respecto a unas partes estrechas en prolongación 207R de la región enterrada de gran conductividad 206R. La parte más ancha (por ejemplo, de 0,023 mm de anchura) de la región 206R tiene por objeto reducir la resistencia a todo lo largo de la región 206R, y permitir 30 así que entre las partes extremas reducidas (por ejemplo de 0,013 mm de anchura) de la misma haya una distancia



más larga de lo que podría permitirse sin la existencia de las partes intermedias más anchas. Esto es muy importante, por la razón de que pueden hacerse pasar uno o más conductores por la superficie de la parte recubierta de óxido de la resistencia 2R, entre las regiones 220R y 222R, permitiendo así que la resistencia 2R funcione como resistencia de paso inferior. En la fabricación de estructuras integradas, en las cuales está muy solicitado el espacio, y la densidad es un factor importante, la resistencia 2R resulta muy útil para mantener un nivel de interconexiones entre todos los dispositivos de cada circuito.

La característica de tener los agujeros 216R y 218R sesgados en ángulo recto respecto a las partes estrechas 207R de prolongación de la región enterrada 206R es con el objeto de asegurar siempre la existencia de una porción en superposición, definida por la parte de la porción de prolongación 207R situada directamente debajo de una parte de cada abertura 220R, 222R. Por consiguiente, el desplazamiento bidimensional de los agujeros 220R, 222R, respecto al eje longitudinal de la región 206R, a menos que el desplazamiento sea inusitadamente grande, no afectará a la situación de la región superpuesta respecto a las aberturas 220R, 222R. Los desplazamientos en el desarrollo epitaxial originan desplazamientos o movimientos de las diversas regiones enterradas, respecto a las regiones o aberturas formadas en la superficie de la capa epitaxial. Ahora bien, por medio de esta disposición es posible compensar los desplazamientos normales, con el resultado de que la resistencia 2R es un elemento resistivo de precisión compuesto fundamentalmente de la alta resistencia



de la capa epitaxial y la baja resistencia de la región  $N^+$  enterrada (véase la línea de resistencia de trazo interrumpido en la etapa 7).

5 En la etapa 7, la etapa de difusión del tipo de emisor vá seguida de una operación de introducción en atmósfera de nitrógeno. A causa de la operación de difusión de fósforo se forma una capa de óxido o de vidrio

P O .  
2 5

10 Mediante operaciones de protección y grabado fotolitográficos se quitan unas partes de esta capa de óxido, encima de las regiones difundidas 220R y 222R de tipo  $N^+$ . Se abre un par de agujeros en la capa de óxido, para permitir la formación de unos contactos óhmicos metálicos 224R y 226R. Estos contactos óhmicos se forman de preferencia aplicando por evaporación una capa de aluminio y  
15 luego quitando de ella unas partes no deseadas, para dejar el diseño de distribución de rellanos metálicos deseado en la superficie de la capa de óxido. Por tanto, queda formada la estructura de resistencia.

20 La resistencia 2R funciona como resistencia de paso inferior y permite el paso a los rellanos conductivos por encima de la parte de superficie aislada de óxido del componente. Una particular ventaja de este elemento de resistencia 2R de paso inferior está en que la capa de óxido de la superficie de la resistencia 2R es tan gruesa como la de óxido de mayor espesor (salvo la delgada capa de óxido que se forma sobre las regiones de contacto  $N^+$ ) formada en la superficie de la región N de desarrollo epitaxial. Durante el procedimiento de fabricación no se  
25 quita óxido alguno (salvo en las partes eliminadas para ha-  
30



cer las regiones de contacto  $N^+$ ), y por tanto la parte de superficie de óxido gruesa es muy útil para reducir al mínimo la capacidad entre los rellanos conductivos y la superficie del semiconductor, lo cual es muy conveniente.

5

La resistencia 2R usada en la rebanada maestra de la fig. 20 no tiene porciones estrechas, formando parte de la región de subcolector. En la forma de ejecución de la fig. 20, se usa para cada resistencia 2R una región de subcolector rectangular.

10

LA RESISTENCIA 3R

15

Aun cuando con el propósito de describir la resistencia se hace referencia a una configuración de semiconductor en la que se utiliza como sustrato una región de tipo  $P^-$  y se forman luego unas regiones semiconductoras, en la estructura de semiconductor compuesta, del tipo de conductividad indicado en los dibujos, es fácil comprender que las mismas regiones indicadas en los dibujos pueden ser de conductividad de tipo opuesto, y que además algunas de las operaciones que se describen como de difusión pueden hacerse por desarrollo epitaxial y, recíprocamente, algunas de las regiones de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

20

25

Con referencia a la fig. 3R, la etapa 1 ilustra un sustrato 300R de conductividad de tipo  $P^-$ , de preferencia con una resistividad de 10 a 20 ohm.cm y un espesor aproximado de 0,25 mm. El sustrato 300R es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio en forma de varilla, de una masa en fusión que contenga la concentración de impu-

30



rezas deseada, y luego subdividir o cortar el miembro  
extraído, en una pluralidad de obleas. El substrato 300R  
es una porción de una de dichas obleas, y tiene una orien-  
tación cristalográfica de unos  $2,5^\circ$  fuera del plano  $\langle 111 \rangle$   
en la dirección del plano  $\langle 110 \rangle$ .

5

En la etapa 2, se desarrolla por crecimiento  
epitaxial en la superficie del substrato una región 308R  
de conductividad de tipo N, preferiblemente de una resis-  
tividad de 0,09 ohm. cm. La región epitaxial 308R es una  
capa impurificada con arsénico, aproximadamente de 5,5  
 $\pm$  0,2 micras de espesor.

10

En la etapa 3, se forma una capa de óxido 320R,  
aproximadamente de 4000  $\text{Å}$  de espesor, en la superficie de  
la región de desarrollo epitaxial 308R, seapor el pro-  
cedimiento de oxidación térmica, sea por formación de de-  
pósito pirolítico, sea por un método de bombardeo iónico  
con radiofrecuencia. En la capa de óxido se practica una  
abertura continua 322R, por métodos normales de protección  
y grabado fotolitográficos, usando como máscara una capa  
de foto-reserva, y una solución de HF tamponada para qui-  
tar las partes de óxido que se desee. La estructura queda  
así preparada para la sucesiva operación de difusión de  
aislamiento. Entonces se lleva a cabo una difusión de ti-  
po  $P^+$ , de preferencia utilizando una fuente de boro, para  
formar la región circundante 324R en la región 308R de  
tipo N epitaxialmente desarrollada. La región 324R tiene  
una  $C$  (concentración de superficie) de  $2,2 \times 10^{20} \text{ cm}^{-3}$   
y una resistencia de lámina de 2,5 ohmios por unidad de  
superficie. Es evidente que la región separadora 324R de  
tipo  $P^+$  difundida tendrá una región de superficie de poca

15

20

25

30



resistividad que se extiende hacia abajo a partir de la superficie de la estructura semiconductor, y la región de pleno aislamiento se extiende continuamente desde la región de substrato 300R de tipo P hasta la superficie de la estructura de semiconductor. La profundidad de la región 324R de tipo P<sup>+</sup> es aproximadamente de 7,6 micras.

En la etapa 4, se desarrolla térmicamente otra capa de SiO<sub>2</sub> en la superficie del substrato. Sobre la capa de óxido 320R se aplica un recubrimiento de fotoreserva, y mediante operaciones de protección y grabado fotolitográficos se quitan dos porciones de esta capa de óxido, para que se puedan formar regiones de tipo de emisor mediante una operación de difusión. En la región epitaxial 308R de tipo N se forman dos regiones de emisor 332R y 334R de tipo N<sup>+</sup>, para obtener regiones de buen contacto eléctrico.

Las regiones 332R y 334R de tipo N<sup>+</sup> se forman de preferencia usando una fuente de impurezas fosforosa. La C de las regiones 332R y 334R es de  $2,5 \times 10^{21}$  cm<sup>-3</sup>, la resistencia de lámina es de 3,5 ohmios por unidad de superficie, y la profundidad es aproximadamente de 1,8 micras.

En la etapa 5, se deposita por evaporación en toda la superficie de la oblea una capa de aluminio, o de otro metal adecuado como el molibdeno, y de esta capa se quitan por grabado químico unas porciones, para obtener el diseño de interconexión deseado. La capa de aluminio aplicada por evaporación tiene un espesor de varios miles de Ångstrom. A continuación se aplica a la oblea una capa de fotoreserva que es luego secada, impresionada, revelada y fijada. Las interconexiones de aluminio se forman



por medio de una operación de grabado químico sustractivo, utilizando una solución tibia de  $HPO_3 + HNO_3 + H_2O$ . Se quita luego la capa de fotoreserva, y se limpia y seca la oblea.

5 Las obleas se sinterizan en atmósfera de nitrógeno a una temperatura aproximada de 450°C, durante un período de unos 15 minutos, para permitir que el aluminio produzca un buen contacto óhmico con las regiones semiconductoras de la oblea con las que se hace el contacto. Así, los contactos óhmicos 338R y 340R dan conexión eléctrica con la región 308R de tipo N.

10 De esta manera se fabrica la resistencia 3R ilustrada en la rebanada maestra. La resistencia del elemento 3R viene determinada por la resistividad de la región 308R de tipo N y la distancia entre los contactos 338R y 340R. Esto se halla esquemáticamente representado por la línea de resistencia de trazo interrumpido en la región 308R de tipo N.

15 Con referencia a la fig. 3R', que es una vista superior que representa la estructura ilustrada en la fase o etapa 5 de la fig. 3R, se muestran los diseños de difusión y los agujeros al designar o identificar el dispositivo de resistencia 3R tal como aparece en la rebanada maestra. El símbolo 3R se utiliza para designar el lugar de situación de la resistencia 3R en la rebanada maestra.

#### PASO INFERIOR U

20 Aun cuando con el propósito de describir el paso inferior U se hace referencia a una configuración de semiconductor en la que se utiliza como substrato una región de tipo P<sup>-</sup> y se forman luego unas regiones semi-



conductoras, en la estructura de semiconductor compuesta, del tipo de conductividad indicado en los dibujos, es fácil comprender que las mismas regiones indicadas en los dibujos pueden ser de conductividad de tipo opuesto, y que además algunas de las operaciones que se describen como de difusión pueden hacerse por desarrollo epitaxial y, recíprocamente, algunas de las regiones de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Con referencia a la fig. 1U, la etapa 1 ilustra un substrato 10U de conductividad de tipo P<sup>-</sup>, de preferencia con una resistividad de 10 a 20 Ohm. cm y un espesor aproximado de 0,25 mm. El substrato 10U es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio en forma de varilla, de una masa en fusión que contenga la concentración de impurezas deseada, y luego subdividir o cortar el miembro extraído, en una pluralidad de obleas. El substrato 10U es una porción de una de dichas obleas, y tiene una orientación cristalográfica de unos 2,5° fuera del plano  $\langle 111 \rangle$ , en la dirección del plano  $\langle 110 \rangle$ .

En la etapa 2, se desarrolla por crecimiento epitaxial en la superficie del substrato una región 18U de conductividad de tipo N, preferiblemente de una resistividad de 0,09 ohm. cm. La región epitaxial 18U es una capa impurificada con arsénico, aproximadamente de  $5,5 \pm 0,2$  micras de espesor.

En la etapa 3, se forma una capa de óxido 20U, aproximadamente de 4000 Å de grosor, en la superficie de la región de desarrollo epitaxial 18U, sea por el procedi-



miento de oxidación térmica, sea por formación de depósito pirolítico, sea por un método de bombardeo iónico con radiofrecuencia. En la capa de óxido se practica una abertura 22U, por métodos normales de protección y grabado fotolitográficos, usando como máscara una capa de foto-reserva y una solución de HF tamponada para quitar las partes de óxido que se desee. La estructura queda así preparada para la sucesiva operación de difusión de aislamiento. Entonces se lleva a cabo una difusión de tipo P<sup>+</sup>, de preferencia utilizando una fuente de boro, para formar la región circundante 24U en la región 18U de tipo N epitaxialmente desarrollada. La región 24U tiene una C<sub>o</sub> (concentración de superficie) de  $2,2 \times 10^{20} \text{ cm}^{-3}$  y una resistencia de lámina de 2,5 ohmios por unidad de superficie. Es evidente que la región separadora 24U de tipo P<sup>+</sup> difundida tendrá una región de superficie de poca resistividad que se extiende hacia abajo a partir de la superficie de la estructura semiconductor, y la región de pleno aislamiento se extiende continuamente desde la región de sustrato 10U de tipo P hasta la superficie de la estructura de semiconductor. La profundidad de la región 24U de tipo P<sup>+</sup> es aproximadamente de 7,6 micras.

En la etapa 4, se desarrolla térmicamente otra capa de SiO<sub>2</sub> en la superficie del sustrato. Sobre la capa de óxido 20U se aplica un recubrimiento de foto-reserva y mediante operaciones de protección y grabado fotolitográficos se quitan dos porciones de esta capa de óxido, para que se puedan formar regiones de base o de tipo P mediante una operación de difusión. En la región difundida 24U de tipo P<sup>+</sup> se forman dos regiones de base 32U y 34U, de tipo

19 AGO



P<sup>++</sup> para obtener regiones de contacto eléctrico de muy poca resistencia.

5 Las regiones 32U y 34U de tipo P<sup>++</sup> se forman de preferencia utilizando una fuente de impurezas de boro. La C<sup>o</sup> de las regiones 32U y 34U es muy elevada, por ser éstas dos regiones difundidas la combinación de dos operaciones sucesivas de difusión de tipo P, de concentraciones de tipo P y P<sup>+</sup>, que así dan las dos regiones P<sup>++</sup> 32U y 34U indicadas.

10 En la etapa 5, se deposita por evaporación una capa de aluminio u otro metal adecuado, como el molibdeno, y de esta capa se quitan por grabado químico unas porciones, para obtener el diseño de interconexión deseado. La capa de aluminio aplicada por evaporación tiene un grosor de varios miles de <sup>o</sup>ångstrom. A continuación se aplica a la oblea una capa de foto-reserva que es luego secada, impresionada revelada y fijada. Las interconexiones de aluminio se forman por medio de una operación de grabado químico sustractivo, utilizando una solución tibia de  
20  $H_3PO_4 + HNO_3 + H_2O$ . Se quita luego la capa de fotoreserva y se limpia y seca la oblea.

25 Las obleas se sinterizan en atmósfera de nitrógeno a una temperatura aproximada de 450°C, durante un período de unos 15 minutos, para permitir que el aluminio produzca un buen contacto óhmico con las regiones semiconductoras de la oblea con las que se hace el contacto. Así, los contactos óhmicos 38U y 40U dan conexión eléctrica con las regiones 32U y 34U de tipo P<sup>++</sup>, respectivamente. Como puede verse por la etapa 5, la línea de  
30 trazo interrumpido entre las regiones 32U y 34U de tipo



P<sup>++</sup> representa el camino de corriente de poca resistencia habilitado por la parte de gran conductividad del paso inferior U. Unos conductores o rellanos 42U representados sobre la capa de óxido 20U, entre los contactos óhmicos 38U y 40U, ilustran de qué modo se usa el paso inferior U para obtener un camino de corriente de poca resistencia en el cuerpo semiconductor, permitiendo así que los rellanos o conductores 42U pasen en ángulo recto hasta una línea comprendida entre los contacto óhmicos 38U y 40U.

De esta manera puede usarse un nivel de metalurgia para interconectar todos los dispositivos de cada circuito.

De esta manera se fabrica el paso inferior U representado en la rebanada maestra.

#### AREA DE APLICACION P

Aun cuando con el propósito de describir el área de aplicación P se hace referencia a una configuración de semiconductor en la que se utiliza una región de tipo P<sup>-</sup> y se forman luego unas regiones semiconductoras, en la estructura de semiconductor compuesto, del tipo de conductividad indicado en los dibujos, es fácil comprender que las mismas regiones indicadas en los dibujos pueden ser de conductividad de tipo opuesto, y que además algunas de las operaciones que se describen como de difusión pueden hacerse por desarrollo epitaxial y, recíprocamente, algunas de las regiones de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Con referencia a la fig. 1P, la etapa 1 ilustra un substrato 1OP de conductividad de tipo P<sup>-</sup>, de prefe-



5  
10  
15  
20  
25  
30

rencia con una resistividad de 10 a 20 ohm.cm y un espesor aproximado de 0,25 mm. El substrato 10P es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio en forma de varilla, de una masa en fusión que contenga la concentración de impurezas deseada, y luego subdividir o cortar en una pluralidad de obleas el miembro extraído. El substrato 10P es una porción de una de dichas obleas, y tiene una orientación cristalográfica de unos  $2,5^\circ$  fuera del plano  $\langle 111 \rangle$ , en la dirección del plano  $\langle 110 \rangle$ .

15

En la etapa 2, se desarrolla por crecimiento epitaxial en la superficie del substrato una región 18P de conductividad de tipo N, preferiblemente de una resistividad de 0,09 ohm. cm. La región epitaxial 18P es una capa impurificada con arsénico, aproximadamente de  $5,5 \pm 0,2$  micras de grosor.

20  
25  
30

En la etapa 3, se forma una capa de óxido 20P, aproximadamente de 4000 Å de espesor, en la superficie de la región de desarrollo epitaxial 18P, sea por el procedimiento de oxidación térmica, sea por formación de depósito pirolítico, sea por un método de bombardeo iónico con radiofrecuencia. En la capa de óxido se practica una abertura continua 22P, por métodos normales de protección y grabado fotolitográficos, usando como máscara una capa de foto-reserva, y una solución de HF tamponada para quitar las partes de óxido deseadas. La estructura queda así preparada para la sucesiva operación de difusión de aislamiento. Entonces se lleva a cabo una difusión de tipo  $P^+$ , de preferencia utilizando una fuente de boro, para formar la



región circundante 24P en la región 18P de tipo N epitaxialmente desarrollada. La región 24P tiene una C (concentración de superficie) de  $2,2 \times 10^{20} \text{ cm}^{-3}$  y una resistencia de lámina de 2,5 ohmios por unidad de superficie.

5 Es evidente que la región separadora 24P de tipo P<sup>+</sup> difundida tendrá una región de superficie de poca resistividad que se extiende hacia abajo a partir de la superficie de la estructura semiconductor, y la región de pleno aislamiento se extiende continuamente desde la región de

10 substrato 10P de tipo P hasta la superficie de la estructura de semiconductor. La profundidad de la región 24P de tipo P<sup>+</sup> es aproximadamente de 7,6 micras.

En la etapa 4, se desarrolla térmicamente otra capa de SiO<sub>2</sub> en la superficie del substrato. Sobre la superficie entera de la oblea se aplica por evaporación una

15 capa de aluminio 26P u otro metal adecuado, como el molibdeno, y de esta capa se quitan por grabado químico unas porciones para obtener el diseño de interconexión de relleños deseado. La capa de aluminio aplicada por evaporación

20 tiene un espesor de varios miles de Ångstrom. A continuación se aplica a la oblea una capa de foto-reserva que es luego secada, impresionada, revelada y fijada. Las interconexiones de aluminio se forman mediante una operación de grabado químico sustractivo, usando una solución

25 tibia de H<sub>3</sub>PO<sub>4</sub> + HNO<sub>3</sub> + H<sub>2</sub>O. Se elimina la capa de fotoreserva y se limpia y seca la oblea. A continuación, se forma en toda la superficie de la oblea una capa aislante de SiO<sub>2</sub> u otro material vítreo, aplicada por bombardeo o depositada de otro modo. La capa 28P representa esta capa

30 de encapsulamiento dispuesta sobre la totalidad de la su-



5

10

15

perficie de la oblea, después de formado el diseño de rellanos en la capa de óxido. El uso de la región 18P aislada de tipo N es con el fin de impedir todo cortocircuito eléctrico posible con la región de aislamiento de tipo P que está toda a un determinado potencial eléctrico (de polarización inversa) para proveer aislamiento o separación eléctrica entre los dispositivos. Los cortocircuitos eléctricos pueden crearse por efecto de minúsculas aberturas de perforación indeseadas en la capa de óxido 20P, por debajo del rellano 26P. Ahora bien, debido al uso de la región 18P de tipo N aislada, los cortocircuitos del tipo indicado no tendrán consecuencia alguna. Sobre la parte del rellano 26P situada encima de la región 18P de tipo N eléctricamente aislada, se forma una abertura 30P practicada por métodos usuales de protección y grabado fotolitográficos, usando como máscara una capa de fotoreserva.

20

25

30

Con referencia a la etapa 5, en y alrededor de la periferia de la abertura 26P formada en la etapa 4 se depositan sucesivas capas de cromo 32P, cobre 34P y oro 36P. Esto se realiza utilizando máscaras adecuadas para la formación de contactos de terminal. A continuación, sobre la capa de oro 36P se deposita una capa de soldadura de plomo-estaño y, por métodos de calor y recirculación se forma en el rellano 36P una bola de soldadura 38P, ya que la soldadura no se adherirá ni mojará a la superficie de la capa aislante 28P. Así, las áreas de aplicación P de la rebanada maestra se forman de la manera indicada, permitiendo el contacto eléctrico entre los dispositivos (por medio de los rellanos) hasta el módulo. Las



áreas de aplicación P se designan en la rebanada maestra como P1, P2.... La bola de soldadura 38P permite asimismo una separación eléctrica entre el microfragmento y el módulo.

5

MICROFRAGMENTO PRINCIPAL O MAESTRO

10

15

20

25

30

El microfragmento o rebanada maestra de la fig. 4 representado en forma ampliada en las figs. 4A y 4B que conjuntamente componen la fig. 4, ilustra de qué modo los componentes identificados con los símbolos T, 1R, 2R, 3R y U están situados en una parte de la oblea semiconductor. Estos componentes están dispuestos de manera que permiten una interconexión óptima hasta formar el circuito de tipo lógico deseado, tal como se ilustra en las figs. 5, 5C o 6, 6C. De la configuración de rebanada maestra se desprende evidentemente que las resistencias 1R se conectan fácilmente a la fuente de potencial -V (área de aplicación 9) de los microfragmentos metalizados de las figs. 5 y 6. El área de aplicación P9 de -V está centrada en una parte marginal o de borde de la rebanada maestra, para así permitir la interconexión óptima entre los componentes que vayan eléctricamente conectados al área de aplicación P9. Esta rebanada maestra está ideada y construída de manera tal que permite o facilita la conexión de las resistencias 1R con el área designada P9, a la que se aplica el potencial -V. Cuanto más corta sea la línea de conexión entre las resistencias 1R y el área de aplicación P9, mejores serán las características eléctricas para superar caídas de tensión no deseadas, etc. Además, en esta manera de situar las resistencias 1R lo más cerca posible del área de aplicación P9 de -V, se necesita un número mínimo de dispositivos de paso inferior



5 para facilitar el conexionado de la estructura de circuitos integrados. Es más, la situación de las resistencias 1R, indicada en la rebanada maestra de la fig. 4, permite un amplio grado de libertad en la interconexión de un circuito de tipo lógico. Utilizando el microfragmento principal maestro de la fig. 4 es posible interconectar por lo menos 18 circuitos de tipo lógico diferentes. Esto se hace fácilmente seleccionando la máscara de metalización F deseada, después de fabricados todos los dispositivos. A pesar del hecho de que no se usen algunos dispositivos, esto se mantiene al mínimo en virtud de la disposición de componentes ilustrada en la fig. 4.

10 De igual modo, con referencia a las figs. 4, 5 (5C), y 6 (6C), el área de aplicación P3, que corresponde al potencial de masa o bien al positivo + V, está centrada en la rebanada maestra, en una de sus partes marginales. En el caso de las formas de ejecución de las figs. 5 y 6, las áreas de aplicación P9 y P3 están ambas dispuestas en posición central y opuestas entre sí, de manera que puede aplicarse el potencial -V al área P9 y un potencial + V o de masa al área P3. Los dispositivos que hayan de conectarse al área de aplicación P3 de potencial + V o de masa se colocan junto a esta área, para facilitar la interconexión y reducir al mínimo las características eléctricas no deseadas.

25 En la fabricación del dispositivo monolítico integrado de esta invención es importantísimo colocar las resistencias 1RA y 1RB de cada circuito lógico (figs. 1C, 3C, 5, 6, 5C, 6C, 21 y 22) junto al área de aplicación + V (área P3 de las figs. 5 y 6, área P11 de la fig. 21).



Es ésta la resistencia más crítica para determinar el nivel de salida del circuito lógico y, por tanto, es preciso evitar toda caída de tensión no deseada, dentro de la línea. Cada resistencia LRA y LRB de cada circuito debe tener su propio camino de corriente o enlace conductivo individual para con el área de aplicación + V. Esto es necesario, ya que toda resistencia serie compartida entre dos resistencias cualesquiera LRA, LRB o de combinación, dará como consecuencia una caída de tensión no deseable en la resistencia compartida que no está tomando corriente, y reduciendo así el nivel de tensión a la salida del seguidor de emisor. En las estructuras integradas en las que se usa más de un circuito en un microfragmento determinado, los rellanos metalizados, que son delgadas películas, tendrán una apreciable resistencia serie. No es éste el caso de los componentes desunidos que se suelen conectar con alambre de manera usual para fabricar el circuito.

Con referencia a las figs. 4, 5 y 6, se representan en ellas unas estructuras de ensayo situadas en la cortadura o parte periférica exterior de la rebanada maestra. Estas estructuras de ensayo resultan útiles para poder realizar operaciones de ensayo no destructivas para probar los componentes que no se necesiten para el circuito integrado, y determinar así si los componentes de circuito integrado son capaces de funcionar apropiadamente. Una estructura de ensayo del tipo indicado en estas figuras se describe en la solicitud de patente afín de EE. UU. nº 364.834, presentada el 24-2-1964, de los inventores Fred Barson y Walter E. Mutter, y cedida al mis-



mo cesionario de la presente invención. Además, en la parte de cortadura de la rebanada maestra se identifican y representan unas estructuras de transistores de ensayo que sirven para poder probar no destructivamente los dispositivos transistores que se formen.

5

Otra característica de esta rebanada maestra reside en el empleo de marcas de identificación de máscara en la parte izquierda de la rebanada, marcas que permiten la identificación visual de la etapa del procedimiento de fabricación de la estructura monolítica integrada. Por ejemplo, la letra A indica que se ha efectuado una operación de protección y grabado fotolitográficos, utilizando la máscara A. De igual modo, las letras B, C, D, E1 y E2 indican que también se han efectuado estas operaciones de protección y grabado fotolitográficos. De esta manera, cualquier persona puede identificar visualmente la etapa del proceso de fabricación ya completada, puesto que cada letra de máscara o símbolo correspondiente se forma o crea al terminar la etapa específica y concreta del procedimiento de fabricación. Por consiguiente, no puede haber errores en el sentido de repetir una etapa del procedimiento que se haya ya realizado, según lo indicado por la letra correspondiente a la máscara apropiada. Para toda persona versada en la materia ha de resultar evidente que pueden emplearse otros símbolos para indicar la misma función. Además, pueden emplearse también pequeños números o letras de código, en unión de las letras más grandes, para indicar el nivel de realización técnica, de manera que puedan vigilarse y anotarse permanentemente en cada microfragmento los cambios de proyecto y/o trata-

10

15

20

25

30



miento o proceso de ejecución en la fabricación de los microfragmentos.

5 Al fabricar las estructuras metalizadas indicadas en las figuras 5 y 6, se ponen en las cuatro esquinas de cortadura de la rebanada maestra metalizada marcas o señales metalizadas que permiten efectuar con exactitud las operaciones de subdividir o cortar. Estas marcas tienen una configuración en diente de sierra, con diferencias entre una y otra que denotan una dimensión diferente, de manera que el operario que vaya a cortar o subdividir la oblea puede identificar fácilmente los errores que pueda haber en el corte de la oblea, sin más que observar cual ha sido el diente de sierra cortado, cosa que indica el grado de error, puesto que cada diente de sierra está a una distancia fija del eje que recorre longitudinalmente todos los dientes de sierra de una sola marca de alineación. El diseño de metalización ilustrado en las 10 figs. 5 y 6 utiliza el símbolo F para designar que se ha utilizado la máscara de metalización F. A la rebanada maestra metalizada se le aplica otro símbolo metalizado adicional (1X, fig. 5; 2X, fig. 6), para designar el tipo de circuito que se ha fabricado. Este simbolismo resulta extremadamente útil para prevenir los errores en el montaje de dispositivos integrados en un módulo. Además, permite que un personal relativamente poco preparado 15 efectúe diversas operaciones sin cometer errores, merced al empleo de una marca de identificación visual.

20 Otro símbolo de alineación muy útil consiste en las marcas metalizadas situadas a 90° de separación en una o más de las áreas de aplicación de esquina. Estas 25 marcas facilitan las operaciones de protección y grabado



5 fotolitográficos realizados en relación con la máscara G,  
que se usa para practicar aberturas en una capa de vidrio  
producida por bombardeo, a fin de poder efectuar los de-  
pósitos metálicos de terminal sucesivos, para formar la  
totalidad de las áreas de aplicación de terminales P1 a  
10 P12 inclusive. Estas marcas resultan útiles también para  
alinearse las máscaras metálicas H e I que se usan en la  
ejecución de contactos de terminal. El grado de desali-  
neación de las máscaras viene indicado por la forma de  
la marca, que funciona como la marca en diente de sierra  
utilizada para la subdivisión. Sin estas señales de ali-  
neación en las áreas de aplicación de esquina, resulta-  
ría difícil alinear la totalidad de las áreas de aplica-  
ción para asegurar la formación de contactos de terminal  
15 precisos en la totalidad de estas áreas.

Como puede verse por referencia a las figs. 4  
y 20, cada microfragmento o rebanada maestra tiene unas  
áreas de aplicación repartidas de manera que quedan e-  
sencialmente equidistantes entre sí, con la excepción  
20 de disponerse un espacio más largo entre dos pares de  
áreas de aplicación para cada microfragmento maestro. Con  
referencia a la fig. 4, se dispone, entre las áreas de  
aplicación 6 y 7 y entre las áreas de aplicación 11 y 12,  
un espacio más largo que el previsto entre las dos áreas  
25 de cualquier otro par. Con referencia a la fig. 20, se  
dispone entre las áreas de aplicación 6 y 7 y entre las  
áreas de aplicación 15 y 16 un espacio más largo que el  
previsto entre las demás áreas de aplicación de la reba-  
nada maestra. La razón de esta configuración de lugares  
30 de situación de las áreas de aplicación es la de facilitar



5

10

15

la manipulación mecánica de los microfragmentos integrados terminados, con una ranura agrandada dispuesta cruzando cada dispositivo integrado. La ranura está definida por el espacio comprendido entre las áreas de aplicación 6 y 7 y entre las áreas de aplicación 11 y 12 del dispositivo integrado, hecho con el microfragmento de la fig. 4. Para el dispositivo integrado hecho con la rebanada maestra de la fig. 20, la ranura viene definida por el espacio que queda entre las áreas 6 y 7 y las áreas 15 y 16 del dispositivo integrado hecho con la rebanada maestra de la fig. 20. Por tanto, estas ranuras agrandadas para los dispositivos integrados de las formas de realización de las figs. 4 y 20 facilitan la orientación la localización y la entrada de los microfragmentos integrados en el equipo, para colocarlos apropiadamente en un módulo que utilice este mayor espacio a los fines de colocación de los microfragmentos.

20

25

La rebanada maestra de la fig. 20 (véase también la fig. 21) utiliza unos agujeros intermediarios, pasantes y conductivos practicados en la capa de encapsulamiento de vidrio producida por bombardeo, para efectuar la conexión eléctrica a las regiones de tipo de terminales del microfragmento. Estos agujeros intermediarios conductivos se forman de igual manera que las áreas de terminales, y están eléctricamente conectados entre sí como se indica por medio de la línea de conexión de trazo interrumpido, que designa un rellano conductivo formando en la superficie de la capa de vidrio de bombardeo, entre agujeros intermediarios.

30

MASCARAS

9.8.68



Las figs. 7, 8, 9, 10, 11, 12, 13, 14, 15 y 16 representan las máscaras de vidrio y metal que se usan para fabricar una estructura monolítica integrada de esta invención. La fig. 17 ilustra de que modo se ponen en alineación las máscaras durante sucesivas operaciones de protección fotolitográficas.

La fig. 7 es una vista ampliada de la máscara A, utilizada principalmente para difusiones de subcolector para los dispositivos activos y pasivos. Los diseños oscuros de todas las máscaras de vidrio (figs. 7 a 13) sirven para impedir que le llegue la luz a una emulsión fotosensible aplicada como recubrimiento a la oblea. Por tanto, se impide la polimerización de las áreas de la oblea protegidas por las áreas oscuras de la máscara, y por consiguiente estas áreas protegidas o cubiertas desaparecen durante el revelado. En cambio, no desaparecen las áreas fotosensibles de la capa de fotoreserva en las que haya incidido la luz, con lo cual actúan de máscara impidiendo el sucesivo grabado químico del óxido de debajo de esas partes de la capa de fotoreserva. Los recuadros negros CT representan las áreas de difusión de subcolector para los dispositivos de transistor descritos en la fig. 1T. Las marcas negras designadas C2R representan las regiones de subcolector para las resistencias 2R descritas en relación con la fig. 2R. La marca de alineación 70A, contigua a la marca A de designación de la máscara, es una línea normal utilizada en todas las máscaras para comprobar o verificar cada máscara en cuanto a exactitud de dimensiones de las líneas. Dos cuadrados de alineación designados AS se usan a los fines de alineación de la máscara. Uno de estos cuadrados es siempre mayor que el otro, para permitir que la máscara siguiente se alinee de manera apropiada.



5 da. La máscara siguiente invierte los tamaños usados para los cuadrados de alineación de la precedente, y así sucesivamente. El subcolector para la estructura de ensayo de la anchura de base está designado como CTS, y el subcolector para el transistor de ensayo grande se halla designado como CTT.

10 Con referencia a la fig. 8, es ésta la máscara B para la difusión de aislamiento. El área negra es la difusión de aislamiento  $P^+$ . Por esta máscara se aprecia claramente que todas las resistencias 1R tienen un lecho o una región común de tipo N, designado por la referencia N1R.

15 La fig. 9 ilustra la máscara C para las difusiones de tipo P, o de base. El símbolo de referencia 10C identifica los rectángulos negros que representan la difusión de tipo P utilizada para hacer el dispositivo de resistencia 1R descrito con referencia a la fig. 1R. Con 12C se identifican los cuadrados negros que definen la difusión de base para los dispositivos de transistor descritos con referencia a la fig. 1T. Los símbolos 14C y 16C identifican las regiones de base formadas en la estructura de ensayo y en el transistor de ensayo, respectivamente. Con 18C se identifica una región difundida, efectuada en las regiones de aislamiento o separación del transistor de ensayo, para mantener el espesor de óxido en esa región igual al de encima de la región de base, y facilitar la formación de agujeros de contacto. El símbolo de referencia 20C designa la difusión que permite la formación de contacto con el aislamiento de tipo P, desde la alimentación de tensión negativa. El

20

25

30



número de referencia 22C identifica la región difundida para las regiones  $P^{++}$  del paso inferior de la fig. 1U.

5 Con referencia a la fig. 10 (máscara D), se designan con 10D las regiones de emisor para el transistor. Con 12D se designan las dos regiones de contacto de colector para cada transistor. Los símbolos 14D y 15D representan las dos áreas de difusión para dar contacto eléctrico a la región epitaxial de tipo N de cada resistencia 2R. El número 16D identifica las dos regiones de contacto  $N^+$  con la resistencia 3R. El número 18D designa el contacto  $N^+$  con la región epitaxial común de tipo N de todas las resistencias 1R. El número 20D representa la región de tipo de emisor de la estructura de ensayo.

10 Con los símbolos 22D y 24D se identifican las regiones de contacto de emisor y colector del transistor de ensayo.

15

Con referencia a la fig. 11, se usa la máscara El para formar los agujeros de contacto. El símbolo de referencia 10El indica la región de la máscara que se usa para formar el agujero de contacto de aislamiento.

20 . Con 12El se indican las áreas oscuras de la máscara utilizadas para formar los dos agujeros de contacto para las regiones de base de cada transistor. Los números 13El indican las áreas oscuras de la máscara utilizadas para formar los dos agujeros de contacto para las regiones de colector de cada transistor. Los números de referencia 14El designan las áreas oscuras de la máscara utilizadas en la formación de los agujeros de contacto para la parte de emisor de cada transistor. Con 16El se indican las áreas oscuras de la máscara utilizadas en la for-

25

30



19 AGO.

5 mación de los agujeros de contacto para la resistencia  
3R. El símbolo 18El indica la región oscura de la máscara,  
que se utiliza para formar el agujero de contacto para la  
parte de emisor del transistor de ensayo. Con 20El se de-  
signa el área oscura de la máscara, que se utiliza en la  
formación del agujero de contacto con la parte de colec-  
tor del transistor de ensayo. Los números de referencia  
22El indican el área oscura de la máscara que se usa en  
la formación de los agujeros de contacto para la parte  
10 de base del dispositivo transistor de ensayo. Con el sím-  
bolo 24El se indica el agujero de contacto para la región  
de aislamiento del transistor de ensayo. Con 26El se in-  
dican las áreas oscuras de la máscara utilizadas en la  
formación de agujeros de contacto con la estructura de  
15 ensayo alargada. Los números de referencia 28El designan  
cada una de las dos áreas/oscuras de la máscara usadas  
en la formación de agujeros de contacto con las resisten-  
cias 2R. Con 30El se identifican los agujeros de contacto  
del paso inferior U. Los símbolos 32El señalan las áreas  
20 oscuras de la máscara usadas en la formación de agujeros  
de contacto para la resistencia 1R.

Con referencia a la fig. 12, en la máscara E2  
se muestran las regiones de bloqueo para reducir los pro-  
blemas de alineación. Los recuadros negros que bloquean  
25 las áreas de transistor aseguran la obtención de pelícu-  
las de óxido exentas de poros o diminutos orificios mien-  
tras facilitan la alineación de las dos máscaras E. La  
marca E2 puesta en esta máscara se permite por caer direc-  
tamente un recuadro negro debajo de la marca El puesta en  
30 la máscara El de la fig. 11.

8.8.68



Con referencia a la fig. 13, se muestra en ella la máscara F destinada a las interconexiones metálicas. Las áreas oscuras de la máscara se usan para permitir la formación de un diseño de distribución de rellanos de aluminio correspondiente a las partes oscuras de la máscara. Este diseño de interconexión de rellanos de aluminio sirve para conectar entre sí las diversas partes de la estructura monolítica integrada, y sirve asimismo para proporcionar contacto con la estructura de ensayo. Las marcas de subdivisión en diente de sierra también se hacen con esta máscara F. Esta máscara F conecta entre sí los componentes del modo indicado por la fig. 6.

Con referencia a la fig. 14, se ilustra en ella la máscara G destinada a la formación de agujeros de terminal en la capa de vidrio (dióxido de silicio) formada por bombardeo en el diseño de rellanos de interconexión de aluminio. Los símbolos de referencia 140G designan las áreas oscuras de la máscara que permiten la formación de agujeros de terminal en las regiones de área de aplicación de terminal de la estructura monolítica integrada. Todas las máscaras ilustradas en las figs. 7, 8, 9, 10, 11, 12, 13 y 14 están hechas de vidrio que tiene las regiones oscuras opacas.

Con referencia a la fig. 15, se ilustra en ella una máscara metálica H para permitir la formación de rellanos limitativos de Cr-Cu--Au por medio de las aberturas 150H. Como se desprende del exámen de la fig. 15 en relación con la fig. 14, los rellanos limitativos de Cr-Cu-Au para el microfragmento se forman encima de los agujeros de terminal practicados en la capa de vidrio formada por bombardeo.



Con referencia a la fig. 16, se ilustra en ella la máscara metálica final I para formar la estructura monolítica integrada. La máscara de la fig. 16 es para permitir la formación de áreas de aplicación de Pb-Sn, Los caracteres de referencia 160I indican los agujeros de la máscara que permiten la formación de las áreas de aplicación de Pb-Sn encima de los rellanos limitativos de Cr-Cu-Au formados en el microfragmento. Como se observará al examinar la fig. 16, en relación con la fig. 15, los agujeros 160I de la fig. 16 son de diámetro mucho mayor que los agujeros 150H de la fig. 15, lo que es necesario para la operación de recirculación del área de aplicación de plomo-estaño descrita bajo el epígrafe "Metodo de fabricación".

Con referencia a la vista de superposición de máscaras de la fig. 17, se ilustra en vistas parciales una porción de esquina de cada máscara de las representadas enteras en las figs. 7 a 16 inclusive. La fig. 17 indica cómo se alinean entre sí partes de las máscaras, para dar a entender la manera de formarse la estructura monolítica integrada de la fig. 6. De igual modo, otras máscaras adecuadamente proyectadas y construídas pueden constituir las estructuras integradas metalizadas de las figs. 5 y 21 a partir de la rebanada maestra de las figs. 4 y 20, respectivamente.

#### Descripción de los circuitos

Con referencia a la fig. 10, que es una representación en esquema eléctrico del circuito lógico generalmente conocido como seguidor de emisor con interrupción de corriente (o de lógica de acoplamiento por emisor),



el funcionamiento del circuito lógico es como sigue:

Se aplica un potencial negativo a la área de aplicación P9 que está conectada a una resistencia IRS, proporcionando así una alimentación de corriente a los emisores de los transistores T1, T1 y t2, que están en común. A una u otra, o a ambas, de las áreas de aplicación P1 y P12 se aplican unos potenciales de entrada. Si los potenciales de entrada a las áreas P1 y/o P12 son positivos respecto al potencial de base aplicado a T2, hay entonces un paso de corriente desde la fuente de alimentación IRS, a través del transistor T1, o de ambos transistores T1 si están los dos polarizados con potencial positivo. Recíprocamente, si el potencial de entrada aplicado a ambas áreas P1 y P12 es negativo respecto al aplicado a la base del transistor T2, sólo el transistor T2 conducirá entonces corriente procedente de la fuente de alimentación IRS.

En el caso de que estén conduciendo uno u otro de los transistores T1, o ambos, se produce una caída de potencial en la resistencia IRa, que está eléctricamente conectada a un potencial positivo (área de aplicación P3), dándose así lugar a la aplicación de un potencial reducido a las bases de los transistores T3 (seguidor de emisor). Esto dá por resultado el paso de una reducida intensidad de corriente por los transistores T3, reduciéndose así la tensión o el potencial de salida en el área P11. Los emisores de los transistores T3 están eléctricamente conectados juntos a una fuente de suministro de corriente compuesta de una resistencia LR que está eléctricamente conectada al área de aplicación P9, que es la de potencial



5 negativo. La salida por el área P11, salida desfasada, es indicativa de un cero lógico; y la salida por el área de aplicación P8, que es la salida en fase, indica un uno lógico (véase asimismo la fig. 2C, que muestra el esquema lógico).

10 De la misma manera en el caso en que esté conduciendo el transistor T2, tiene lugar la misma operación arriba descrita, pero empezando con la resistencia 1RB. La salida por el área P8 es indicativa de un cero lógico, y, por el área P11 lo sería de un uno lógico (véase también la fig. 2C, que muestra el esquema lógico). Es ventajoso utilizar una pluralidad de transistores T3 conectados de la manera indicada en la fig. 1C, para así reducir las densidades de corriente que dé lo contrario sería necesario que transportaran los rellanos o los transistores. De esta manera, los transistores que no se usen en la rebanada maestra con fines de circuitos lógicos pueden emplearse como transistores T3 mediante conexión eléctrica.

20 Con referencia a la fig. 3C, que representa una variante de circuito lógico con muchas características comunes a las del circuito de la fig. 1C, se repiten las mismas designaciones de referencia comunes a ambos circuitos. La diferencia fundamental entre los dos circuitos lógicos estriba en que en el circuito de la fig. 3C se usa un solo transistor T3 en seguidor de emisor, que coopera con el transistor T4 en el establecimiento o fijación de un límite para el potencial más negativo aplicado a la base del transistor T3. Esta disposición en seguidor de emisor así fijada se describe más claramente en la solicitud

25

30

19 AG



5 de patente de EE. UU. nº 606.939, presentada el 3-1-67  
bajo el título de "Un circuito numérico con elementos de  
carga de colector antisaturación", del inventor Joseph R.  
Cavaliere y cedida al mismo cesionario de la presente in-  
vención. La fig. 4C da el esquema lógico del circuito de  
la fig. 3C.

10 A los fines del conexionado, el área de aplica-  
ción P3 puede conectarse sea directamente, como se ilustra  
en la fig. 3C, sea, como alternativa, por medio de un par  
de resistencias 2R conectadas en paralelo (véase la indi-  
cación en línea de trazo interrumpido de esta disposi-  
ción en la fig. 3C).

15 La fig. 5C es una representación en esquema  
eléctrico del microfragmento metalizado de la fig. 5. La  
fig. 5C es fundamentalmente una combinación de dos cir-  
cuitos como el indicado en la fig. 1C, distinguido el se-  
gundo de ellos con un índice o apóstrofo. Las designacio-  
nes simbólicas utilizadas como referencia en la fig. 5C  
son las mismas que en la fig. 1C.

20 La fig. 6C es una representación en esquema eléc-  
trico del microfragmento metalizado de la fig. 6. La fig.  
6C es fundamentalmente una combinación de cuatro circui-  
tos como el de la fig. 3C, con la diferencia de emplear-  
se un solo transistor de entrada T1 por circuito, y de  
25 que dos circuitos comparten un mismo seguidor de emisor  
fijado común. Esto se logra uniendo entre sí justamente  
los dos colectores de los dos transistores T1, uno de ca-  
da circuito, y uniendo luego entre sí precisamente los  
dos transistores T2, uno de cada circuito, respectiva-  
30 mente a los nudos designados 1J y 2J en la fig. 3C. Ade-



más, ambos seguidores de emisor sincronizados por cada juego de dos circuitos comparten un área de aplicación de salida común, y una resistencia  $1R$  común. La fig. 6C ilustra de qué modo se sitúan y conectan funcionalmente cuatro circuitos en un microfragmento. Los índices o apóstrofes de designación indican la distinción entre los diferentes circuitos. Por ejemplo,  $T1$  es un transistor de uno de los circuitos  $T1'$  es un transistor del segundo circuito,  $T1''$  es un transistor del tercer circuito y  $T1'''$  es un transistor del cuarto circuito. Asimismo, la letra  $J$  puesta detrás de ciertos componentes identificados indica que estos componentes son compartidos por dos circuitos, como más arriba se ha explicado al hablar de la co-participación en los seguidores de emisor sincronizados. La designación usada en la fig. 6C para mostrar los componentes compartidos entre el circuito 1 y el circuito 2 fué la de emplear la letra  $J$  tras un componente designado como parte del circuito 1 (sin apóstrofo). De igual modo, los componentes compartidos por los circuitos 3 y 4 se designan mediante la adición de  $J$  como sufijo tras el símbolo de un componente señalado como formando parte del circuito 3 (doble apóstrofo).

La fig. 6C ilustra la conexión del par de resistencia  $2R$  en paralelo, indicada con líneas de trazo interrumpido en la fig. 3C. Estas resistencias  $2R$  se identifican mediante la adición de la letra  $J$ .

Con referencia a la fig. 22, que es una representación en esquema eléctrico de la rebanada maestra metalizada de la fig. 21, se muestran en ella cuatro circuitos. Cada uno de los circuitos está designado con el símbolo de referencia utilizado en la fig. 3C, ya que el esquema eléctrico de la fig. 22 es una combinación de cuatro



13

5 circuitos esencialmente idénticos al fundamental de la fig. 3C. Por tanto, las designaciones de referencia utilizadas en la fig. 3C son idénticas a las utilizadas en la fig. 22. La única diferencia está en que cada circuito se halla designado por un símbolo sea sin apóstrofo (circuito 1), sea con simple apóstrofo (circuito 2), sea con doble apóstrofo (circuito 3), sea con triple apóstrofo (circuito 4). Al contrario que en el esquema eléctrico de la fig. 6C, que tenía un solo transistor de entrada T1, se usan dos transistores de entrada T1 para cada uno de los cuatro circuitos. Por tanto, cada uno de los cuatro circuitos de esta figura es en esencia idéntico al de la fig. 3C, con la única diferencia de que los circuitos designados sin apóstrofo, con uno solo y con dos apóstrofos (circuitos 1, 2, y 3, respectivamente) no hacen uso de la salida de seguidor de emisor fijada en fase. En otros términos, el colector de cada transistor T2 está eléctricamente conectado por medio de la resistencia 1RB al área de terminal positivo o de masa P11. Esta salida en fase no es necesaria para los tres circuitos citados de este microfragmento lógico.

10

15

20

#### EMPAQUETADO

En relación con el "empaquetado" del microfragmento monolítico integrado representado en la forma de ejecución de la fig. 6, las figs. 18 y 19 muestran la manera de montar los microfragmentos individuales en un diseño o pauta de distribución de rellanos conductivos formado de preferencia en un substrato cerámico.

25

Con referencia a la fig. 18, hay un par de microfragmentos monolíticos integrados 180 y 182 (el 182

30



representado con partes desprendidas para que se vea la construcción subyacente) colocados en un diseño de rellanos impresos correspondientes a las posiciones de áreas de aplicación en el microfragmento. El diseño de rellanos impresos está situado en una superficie 184 de un módulo cerámico 185. Entre las puntas de una pluralidad de rellanos impresos hay formada una pluralidad de diques de vidrio 188. La formación de rellanos y diques de vidrio está descrita en la mencionada solicitud de patente afín de Lew Miller. Unos apéndices o "dedos" 189 de los rellanos de la superficie cerámica 184 se usan para proporcionar contacto eléctrico entre los rellanos del substrato cerámico y las áreas de aplicación de plomo-estaño de cada microfragmento. Unos rellanos conductivos 190 y 191 conectan las áreas P9 comunes de los microfragmentos 182 y 180 respectivamente a un terminal exterior común A situado en la superficie 184 del módulo 185, que forma parte de la patilla 13. Muchos de los terminales exteriores de la superficie 184 del módulo cerámico 185 están eléctricamente conectados a unas patillas que se extienden a través del módulo cerámico y permiten la interconexión según convenga, a una placa exterior de circuitos impresos (no representada). Las áreas P2, P5 y P8 no están unidas a patillas.

De igual modo, las patillas 11, 12, 1, 2, 16, 9 y 10 están eléctricamente conectadas a las áreas de aplicación P1, P4, P6, P7, P10, P11 y P12, respectivamente, del microfragmento 180. Las patillas 5,6,7,8, 3 y 4 están eléctricamente conectadas a las áreas de aplicación P1, P4, P6, P7, P11 y P12, respectivamente, del microfragmento



to 182. Unos rellanos conductivos (no representados) situados en el otro lado del módulo 185 conectan eléctricamente las áreas P3 de cada microfragmento a la patilla P14 por medio de cada conductor de patilla pasante Con. A . De igual modo, el área P10 del microfragmento 182 está eléctricamente conectada a la patilla P16 por medio del conductor Con.B. De ser necesario, se disponen patillas de terminal en blanco para el módulo.

Con referenciá ala fig. 19, el microfragmento monolítico integrado 182 se representa situado en el módulo cerámico 185. Como claramente se pone de manifiesto en esta figura, el microfragmento 182 está provisto de un soporte separador positivo, a causa de las áreas de aplicación, para sostener el microfragmento separado de la superficie del módulo 185. También se representa en esta figura el dique de vidrio 188.

Con referencia a la disposición de empaquetado de la fig. 23, que es para el microfragmento integrado metalizado de la fig. 21, se emplea un módulo 230, como el módulo 185 de la fig. 18, para tener comunicación eléctrica entre el microfragmento y una ficha de circuitos impresos "hija" o "madre" que contiene un número de tales módulos. Las columnas, 1, 2, 3 y 4 y las filas A, B, C y D identifican las patillas que van eléctricamente conectadas a las áreas de aplicación de terminales del microfragmento . Acada patilla individual del módulo le corresponde una sola área del microfragmento, a la que vá conectada. Las áreas de aplicación P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15, y P16 del microfragmento van respectivamente conectadas a las patillas del módulo designadas como de columna (col.)2-fila D, col. 1-fila D, col.2-filaC, col.1-fila C, col.1-filaB, col.1-fila A,



col.2-fila B, col.2-fila A, col.3.-fila A, col.4-fila A,  
col.3-fila B, col.4.-fila B, col.4.-fila C, col.4.-fila D,  
col.3-fila C, y col.3-fila D. De esta manera, el diseño  
de despliegue en abanico de las líneas conductivas que sa-  
5 len del microfragmento en la superficie del módulo tiene  
una configuración de "sol flameante".

Si bien la invención se ha descrito e ilustrado en  
particular con referencia a unas formas preferidas de eje-  
cución de las mismas, se sobreentiende para las versadas  
10 en la materia que pueden hacerse en ellas los indicados  
y otros cambios de forma y de detalle sin por ello salirse  
del ámbito ni apartarse del espíritu de la invención.

Esta solicitud que corresponde a la presentada en  
Estados Unidos de América, el día 23 de Mayo de 1967, bajo  
15 el Nº 640.610, se acoge a los beneficios del artº 51 del  
vigente Estatuto sobre Propiedad Industrial.

- N O T A -

20 Los puntos de invención propia y nueva que se pre-  
sentan para que sean objeto de esta solicitud de Patente  
de Invención en España, por VEINTE años, son los siguien-  
tes:

25 1.- Un dispositivo de microfragmento semiconductor  
monolítico integrado que comprende, en combinación: un  
substrato semiconductor monocristalino que tiene unas  
áreas de aplicación de terminal espaciadas y repartidas  
en torno a la parte periférica de dicho microfragmento;  
30 unos componentes activos y pasivos situados en el área del



semiconductor definida por dichas áreas de aplicación de terminal; y unos caminos conductivos metálicos que conectan entre sí eléctricamente a unas áreas de terminal específicas menos de la totalidad de dichos componentes activos y pasivos situados en el área definida por dichas áreas de aplicación de terminal.

5

2.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 1, en el que dos de dichas áreas de aplicación de terminal suministran a dicho microfragmento potenciales de polaridad opuesta, y están dispuestas en posición sensiblemente central entre partes marginales o de borde paralelas de dichos microfragmentos.

10

3.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 1, en el que dos áreas de aplicación de terminal espaciadas contiguas, situadas en cada lado de unos lados paralelos opuestos de dicho microfragmento, están entre sí a mayor distancia de separación que la existente entre otras dos áreas de aplicación de terminal cualesquiera contiguas.

15

20

4.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 2, en el que un primer grupo de un determinado tipo de elemento de resistencia está situado muy cerca de y elásticamente conectado a dicha área de aplicación de terminal que es positiva respecto a la otra de dichas dos áreas de aplicación de terminal que suministran a dicho microfragmento potenciales de polaridad opuesta, y un segundo grupo de dicho determinado tipo de elemento de resistencia está situado muy cerca de y eléctricamente conectado a la otra de di-

25

30

chas dos áreas de aplicación de terminal que suministran  
a dicho microfragmento potenciales de polaridad opuesta.



5 5.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 1, en el que dichos componentes activos y pasivos seleccionados e interconectados definen por lo menos dos circuitos de tipo lógico, que tienen interruptores o conmutadores de corriente.

10 6.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 5, en el que dichos circuitos de tipo lógico son unos circuitos del tipo de seguidor de emisor con interrupción o conmutación de corriente.

15 7.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 5, en el que dichos circuitos de tipo lógico son unos circuitos del tipo de seguidor de emisor sincronizados con interrupción o conmutación de corriente.

20 8.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 5, en el que dos de dichas áreas de aplicación de terminal suministran a dicho microfragmento potenciales de polaridad opuesta; dichas dos áreas de aplicación de terminal están dispuestas en posición central entre partes marginales paralelas de dicho microfragmento; habiendo un primer grupo de elementos de resistencia de un determinado tipo situados en posición accesible y eléctricamente conectados a dicha  
25 área de aplicación de terminal positiva respecto a la otra de dichas dos áreas de aplicación de terminal que  
30 suministran a dicho microfragmento potenciales de polari-



dad opuesta, y un segundo grupo de elementos de resistencia de dicho tipo determinado situados en posición accesible y eléctricamente conectados a la otra de dichas dos áreas de aplicación de terminal que suministran a dicho microfragmento potenciales de polaridad opuesta.

5  
9.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 8, en el que dicho segundo grupo de elementos de resistencia de dicho tipo determinado son unas resistencias de alimentación de corriente que suministran corriente a los emisores comunes de dichos interruptores o conmutadores de corriente, y dicho primer grupo de resistencias de dicho tipo determinado está eléctricamente conectado a los colectores de dichos interruptores o conmutadores de corriente.

10  
15  
20  
10.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 9, en el que cada una de las resistencias de dicho tipo determinado pertenecientes a dicho primer grupo están conectadas por separado a dicha área de aplicación de terminal positivo.

25  
11.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 1, en el que dos áreas de aplicación de terminal espaciadas contiguas, situadas en cada lado de unos lados paralelos opuestos de dicho microfragmento, están entre sí a mayor distancia de separación que la existente entre otras dos áreas de aplicación de terminal cualesquiera contiguas.

30  
12.- Un dispositivo de microfragmento semiconductor monolítico integrado según la reivindicación 11, en el que son iguales dichas distancias de separación entre dos

áreas de aplicación de terminal cualesquiera contiguas,  
y dichas áreas de aplicación de terminal definen una con-  
figuración de lados paralelos.



5 13.- Un dispositivo de microfragmento semiconductor  
monolítico integrado según la reivindicación 12, en el que  
por lo menos un área de aplicación de terminal de esquina  
de dicha configuración de áreas de aplicación de terminal  
de lados paralelos tiene unas marcas de alineación meta-  
lizadas, dispuestas a 90° una de otra.

10 14.- Un dispositivo de microfragmento semiconductor  
monolítico integrado según la reivindicación 13, en el  
que dichas marcas de alineación metalizadas tienen esen-  
cialmente una configuración en diente de sierra.

15 15.- Un dispositivo de microfragmento semiconductor  
monolítico integrado.

Tal y como se ha descrito en la Memoria que antecede,  
representado en los dibujos que se acompañan y con los fi-  
nes que se han especificado.

20 Esta Memoria consta de setenta y seis hojas escritas  
a máquina por una sola cara.

Madrid, 29 MAY. 1969  
P.A.

Alberto de Elizaburu  
Por Poder

29.4.69  
A.F.A.

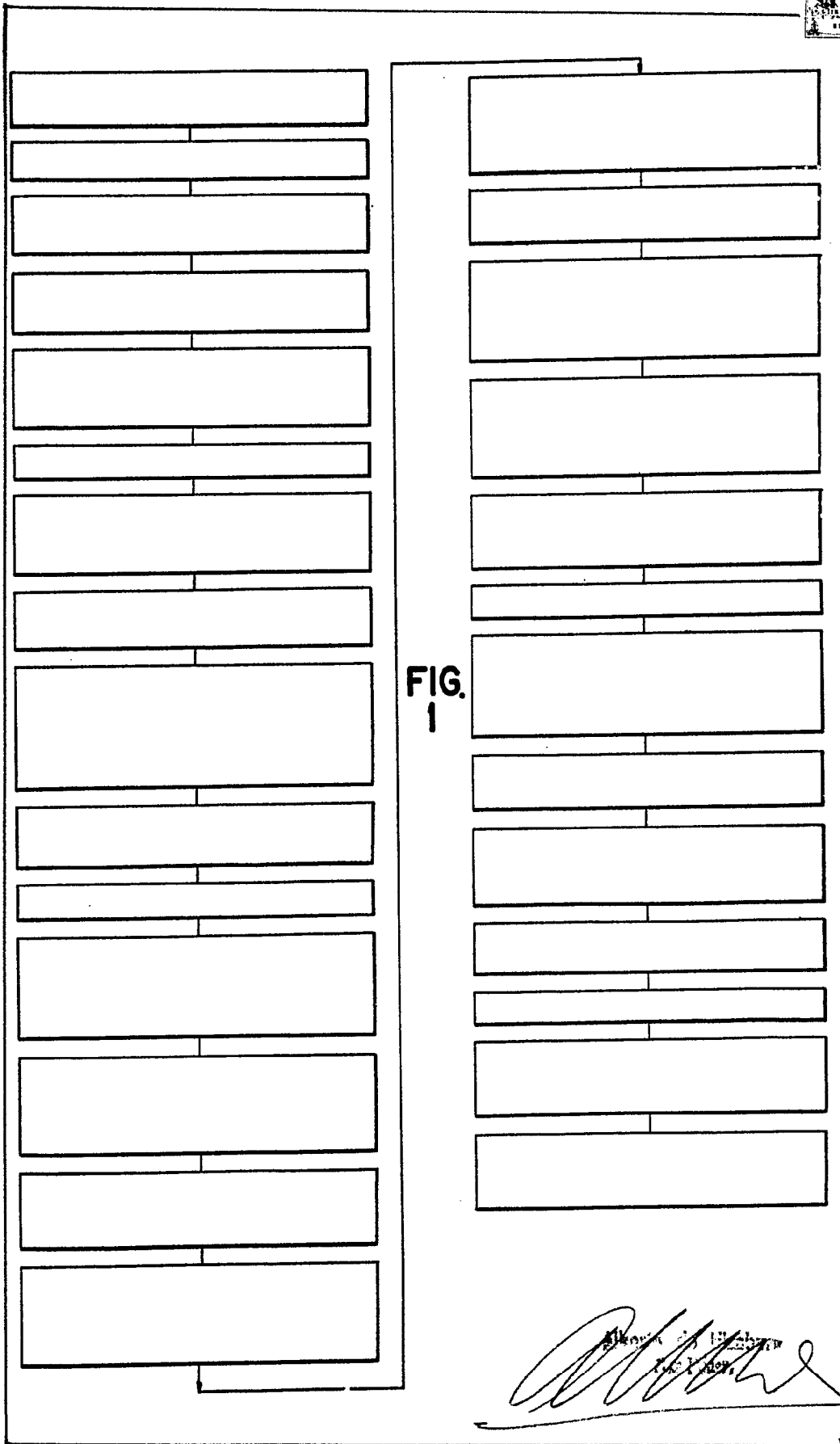


FIG. 1

*[Handwritten signature]*  
Director of Research  
IBM Corp.

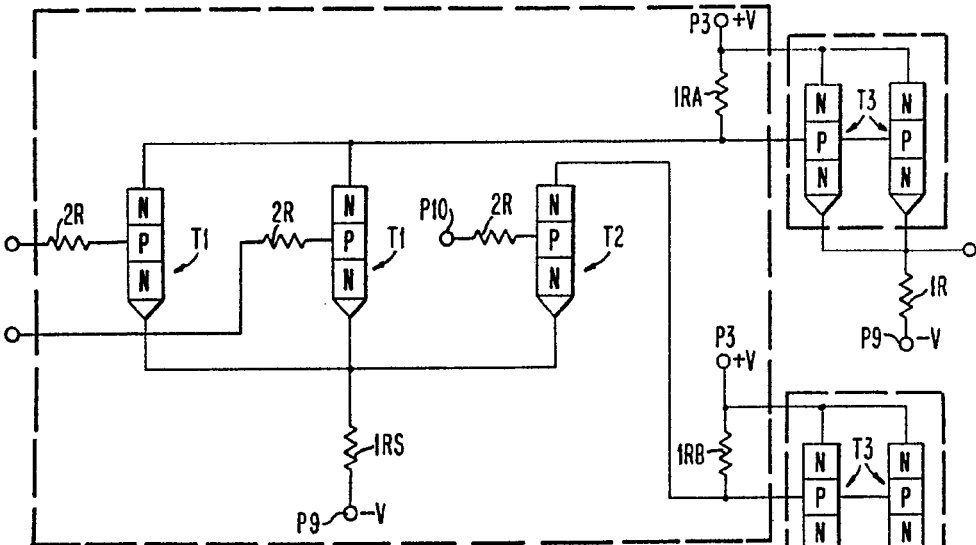


FIG. 1C

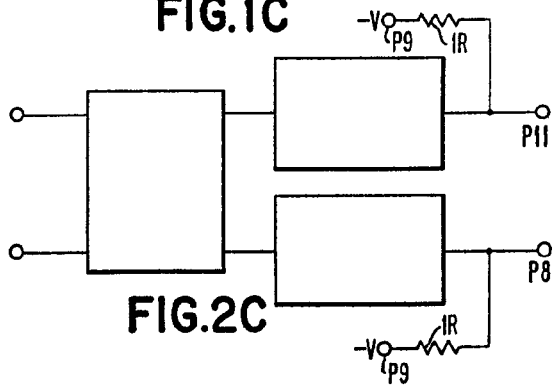


FIG. 2C

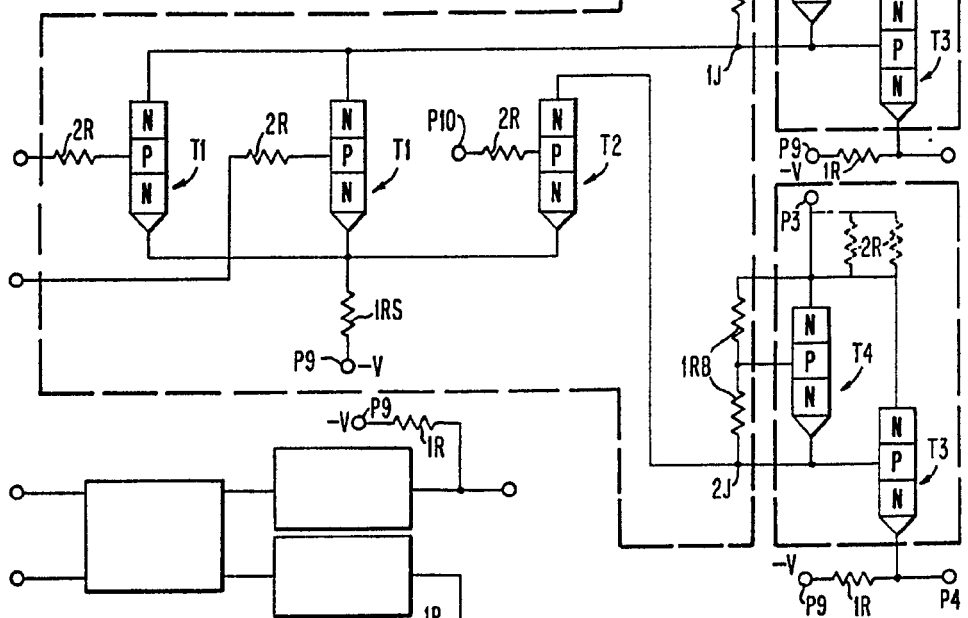


FIG. 4C

FIG. 3C

Alberto de Pizzari  
Per Esce

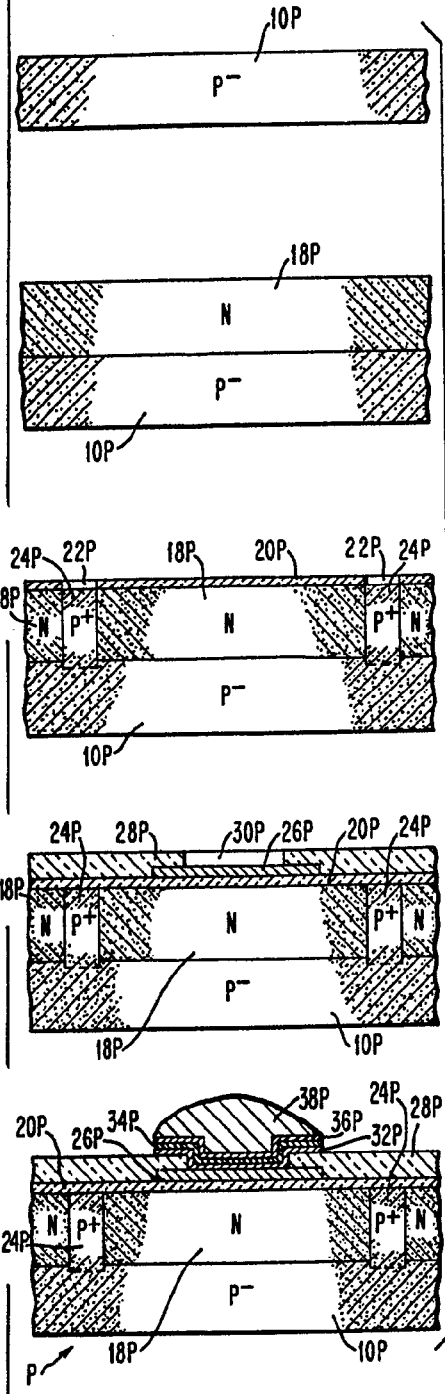


FIG. 1P

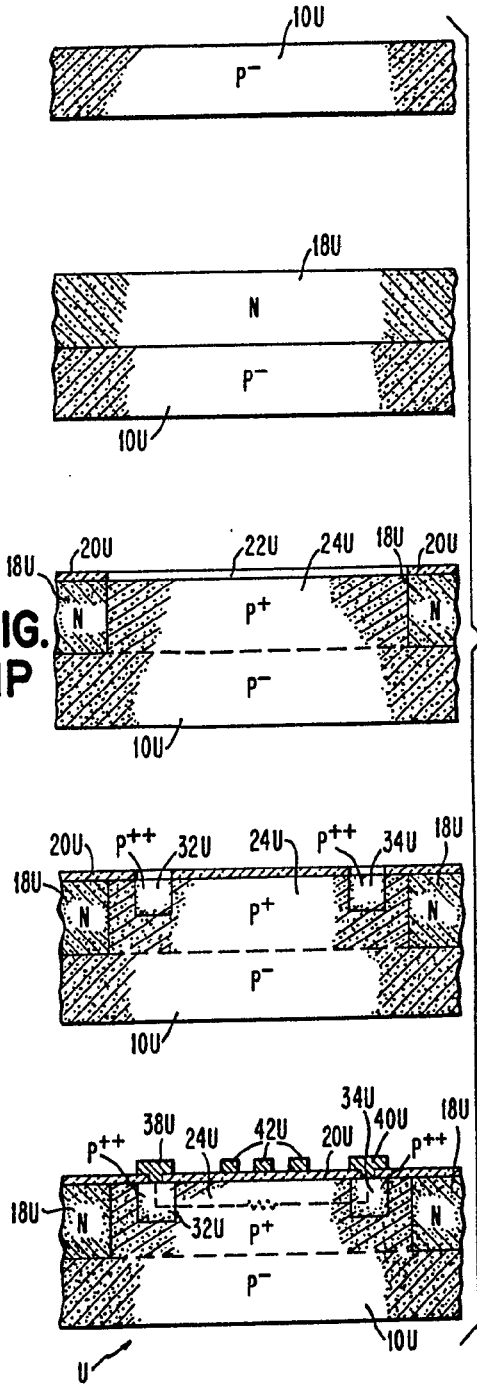


FIG. 1U

Mano de Elzabre  
Pat. 2573

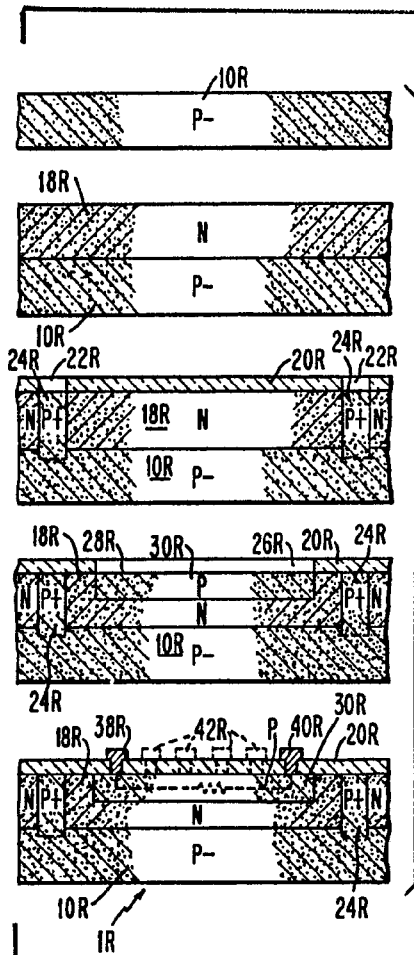


FIG. 1R

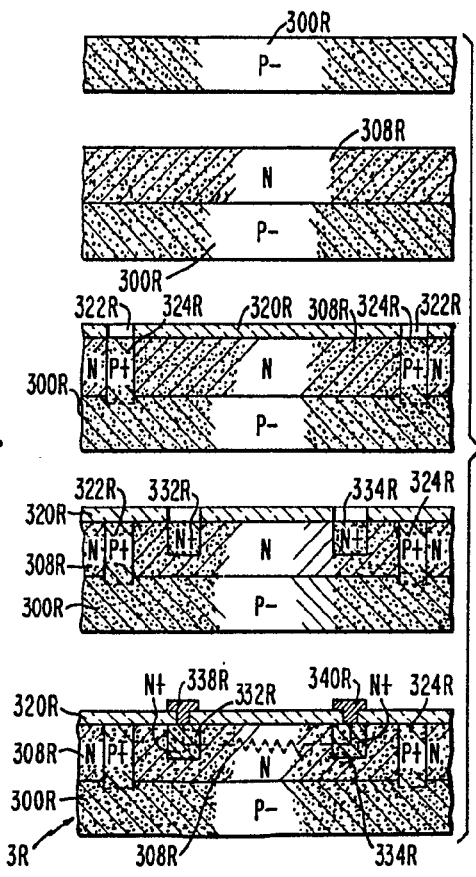
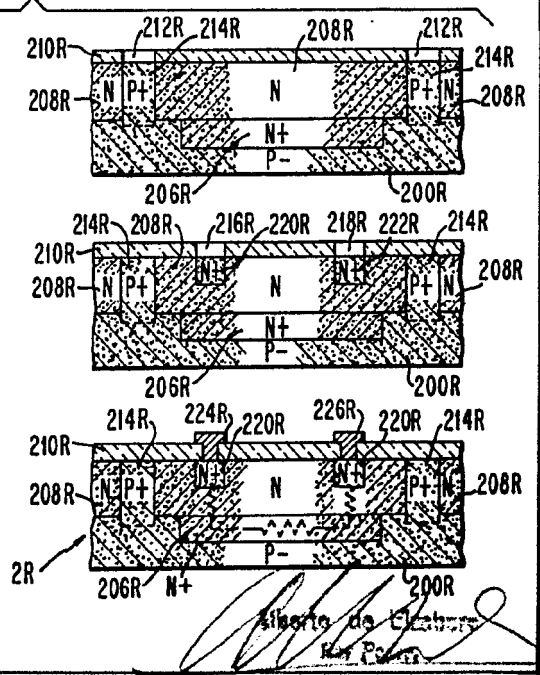
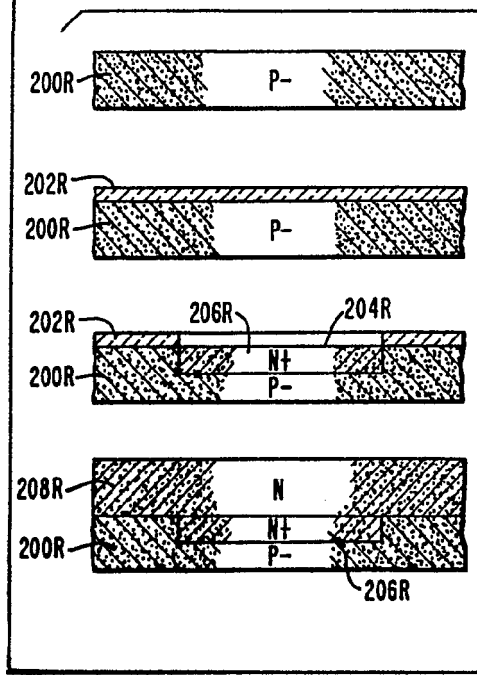


FIG. 3R

FIG. 2R



*Alberto de Castro*  
IBM Corp.

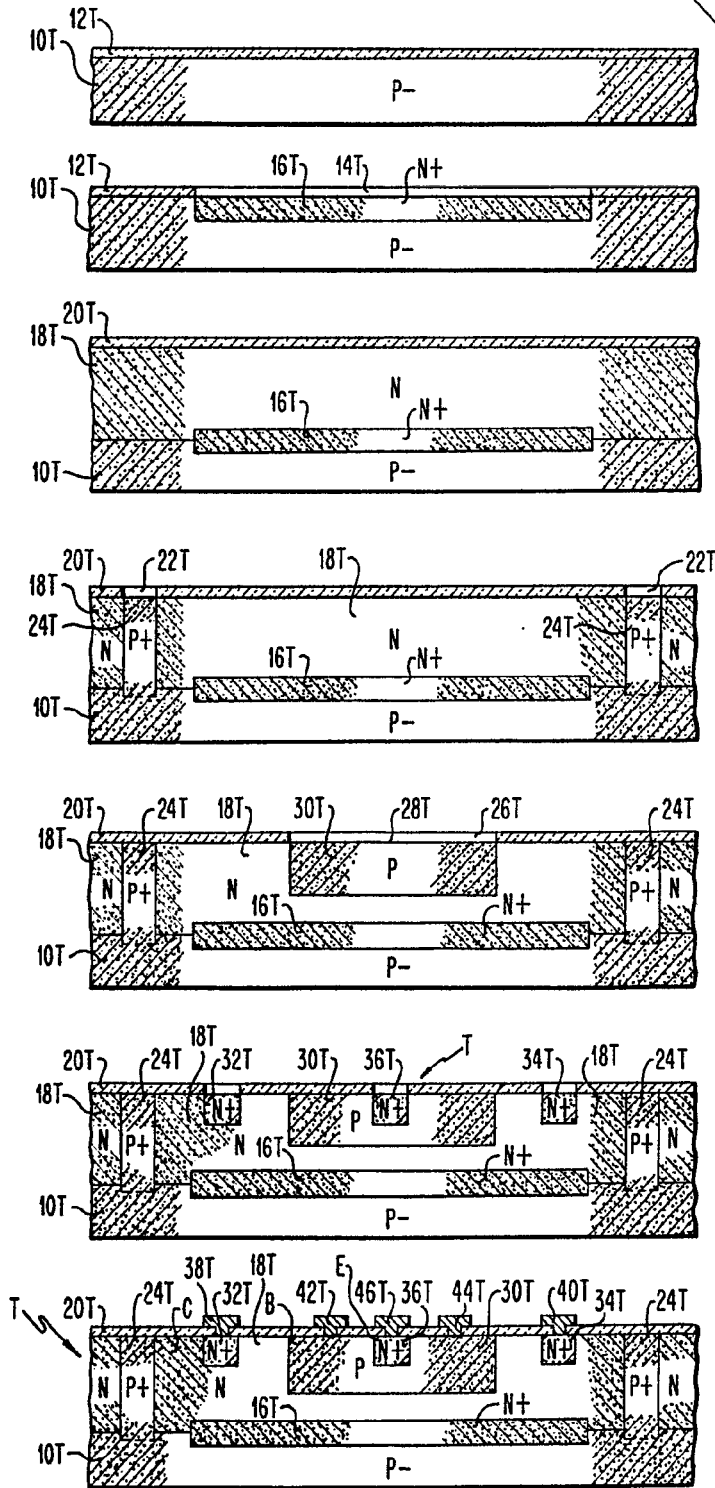


FIG. 1T

FIG. 2T

Alberto de Ferranti  
Per F. C.



FIG. 1R'

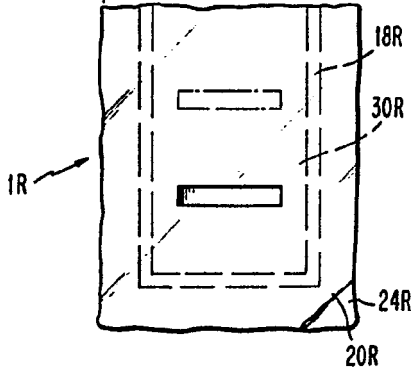


FIG. 2R'

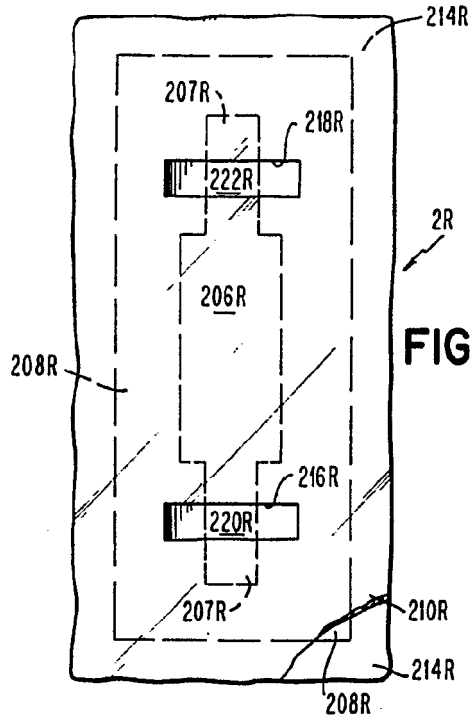


FIG. 3T

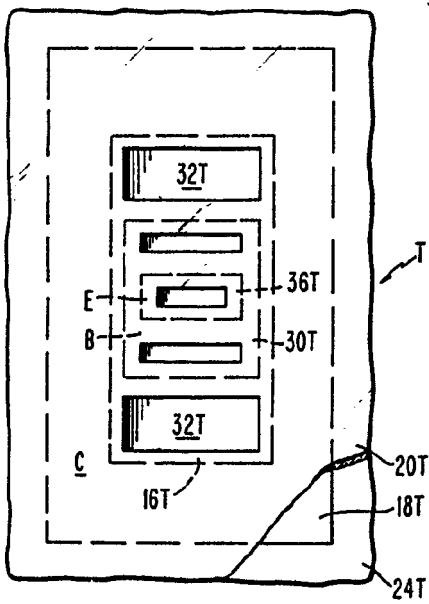


FIG. 3R'

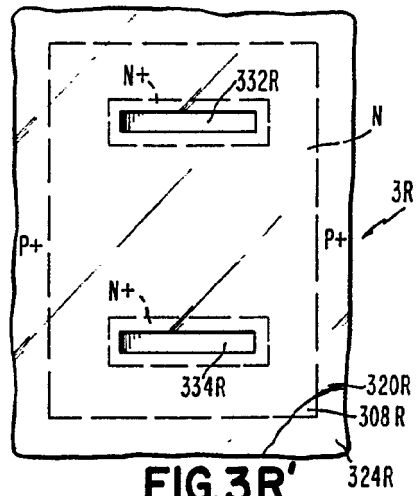
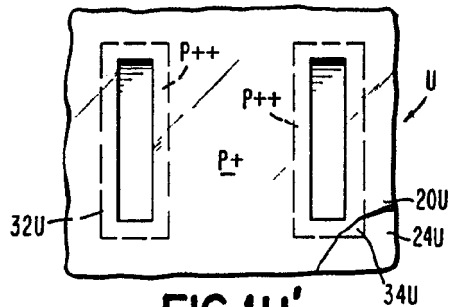


FIG. 4U'



*[Handwritten signature or scribble]*



*Handwritten signature or initials in the top right corner.*

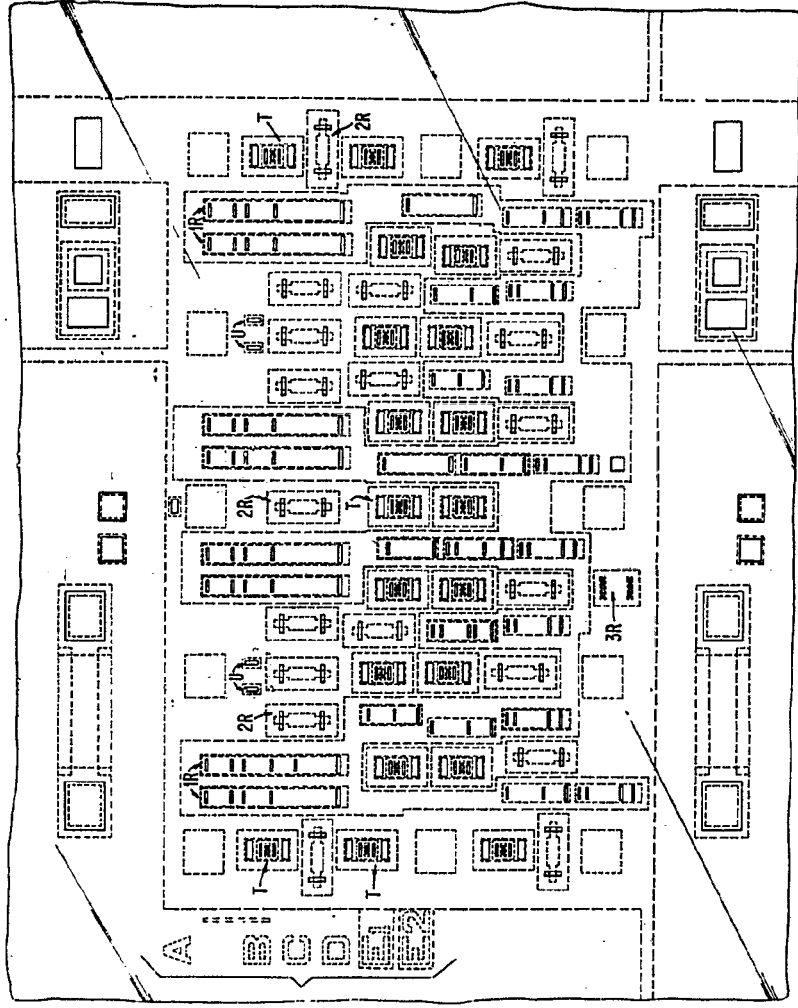
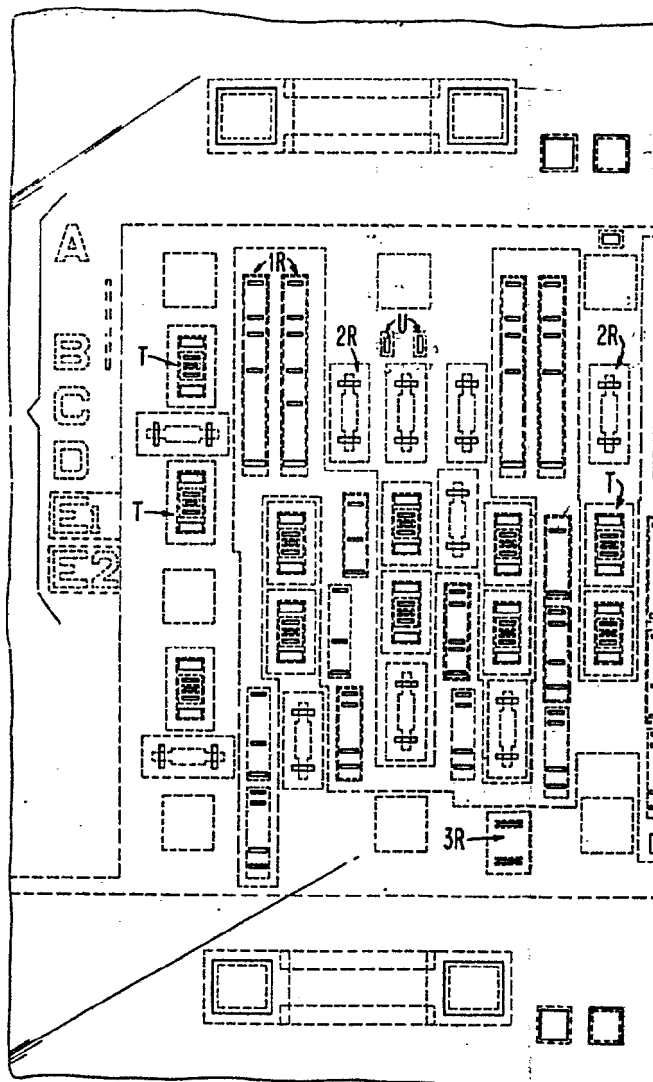
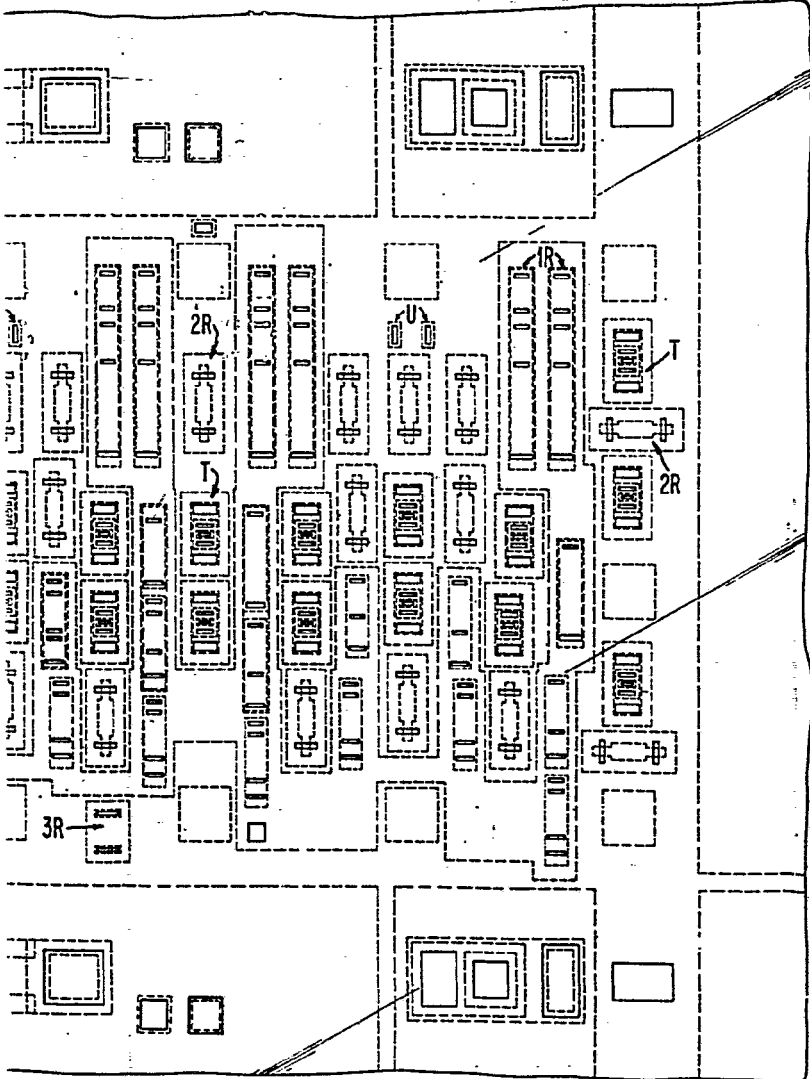


FIG. 4

FIG. 4





*[Handwritten signature]*  
All rights reserved  
© 1950  
U.S. GPO



FIG. 4'

FIG. 4A

FIG. 4A	FIG. 4B
------------	------------

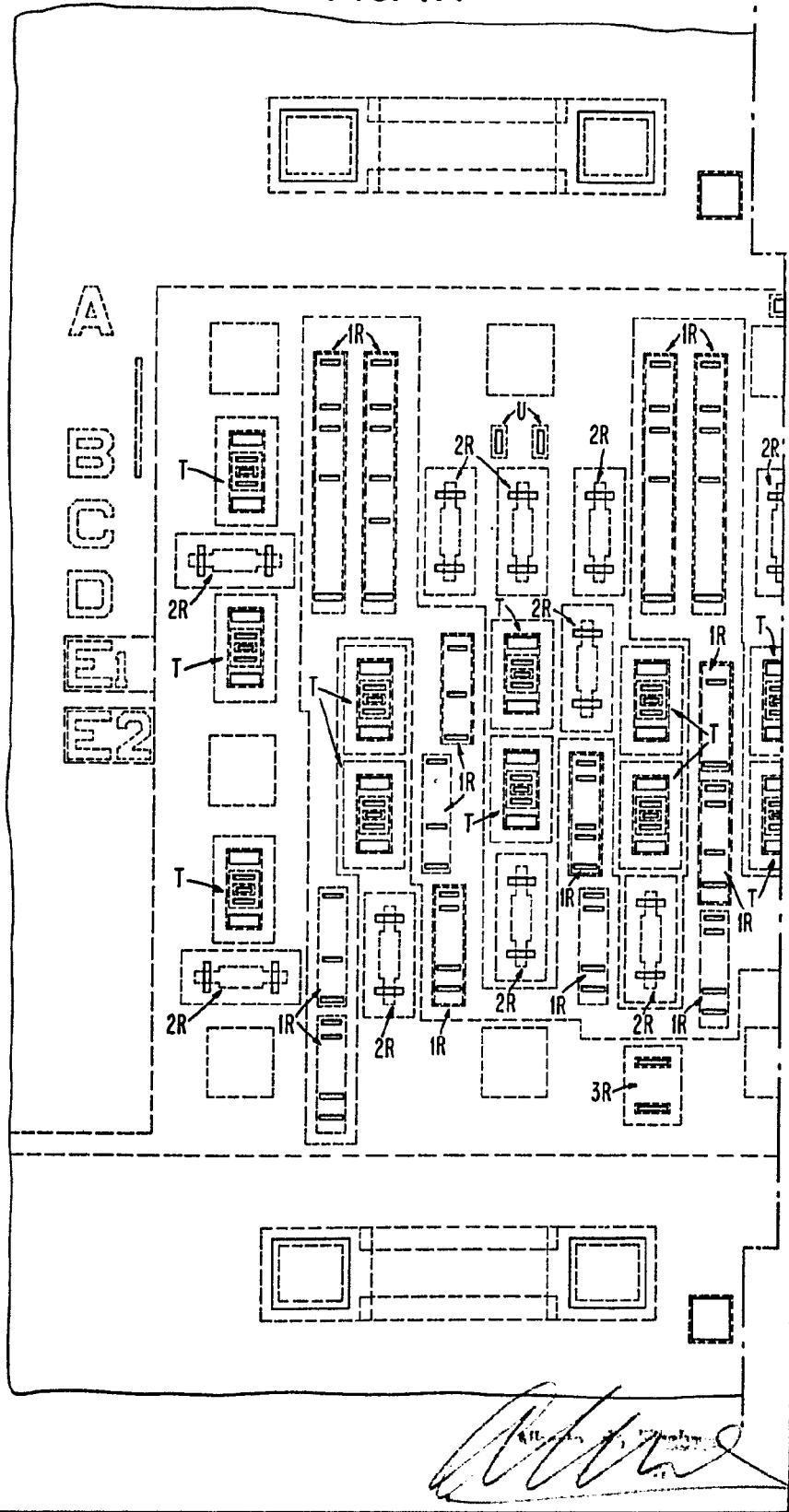




FIG. 4B

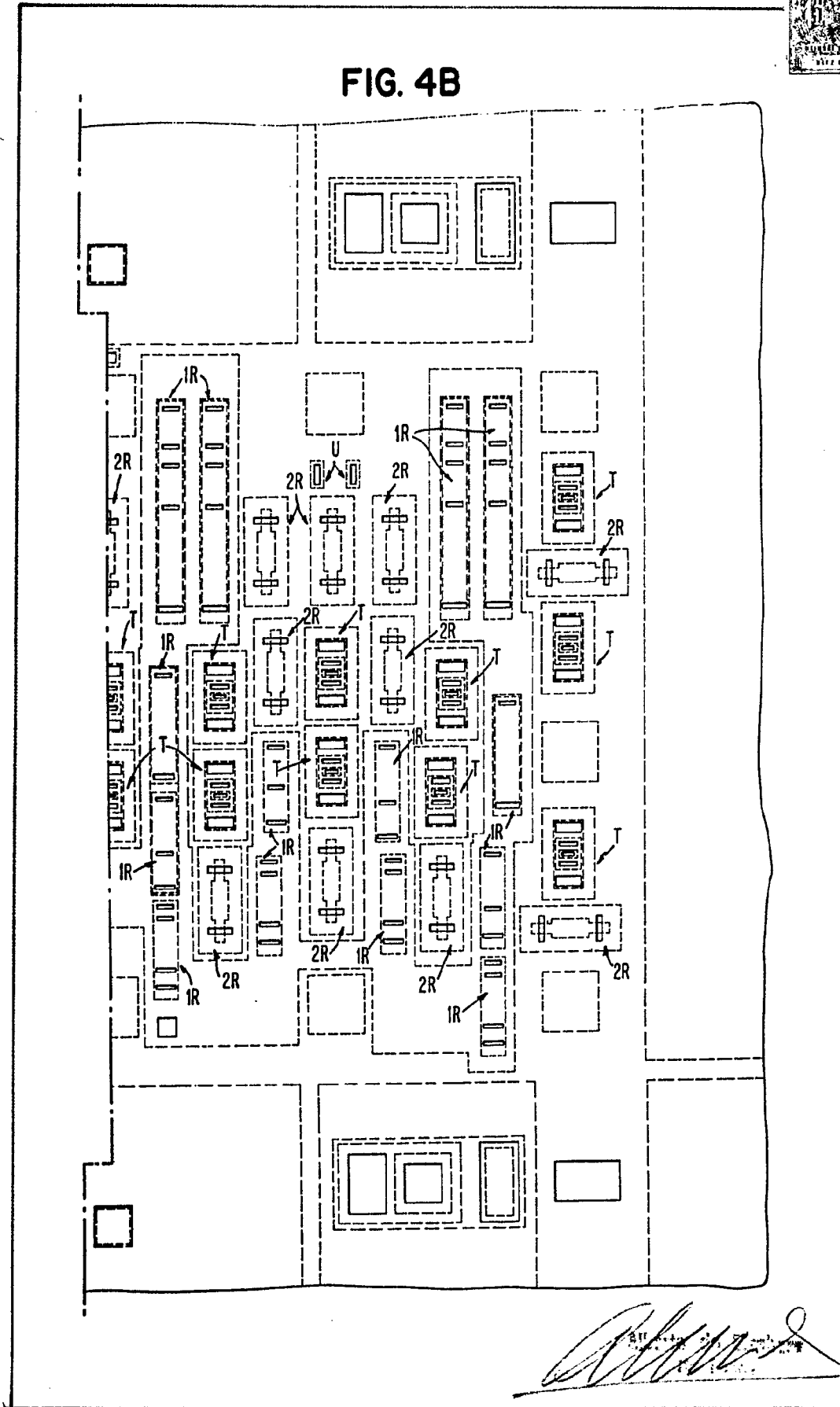
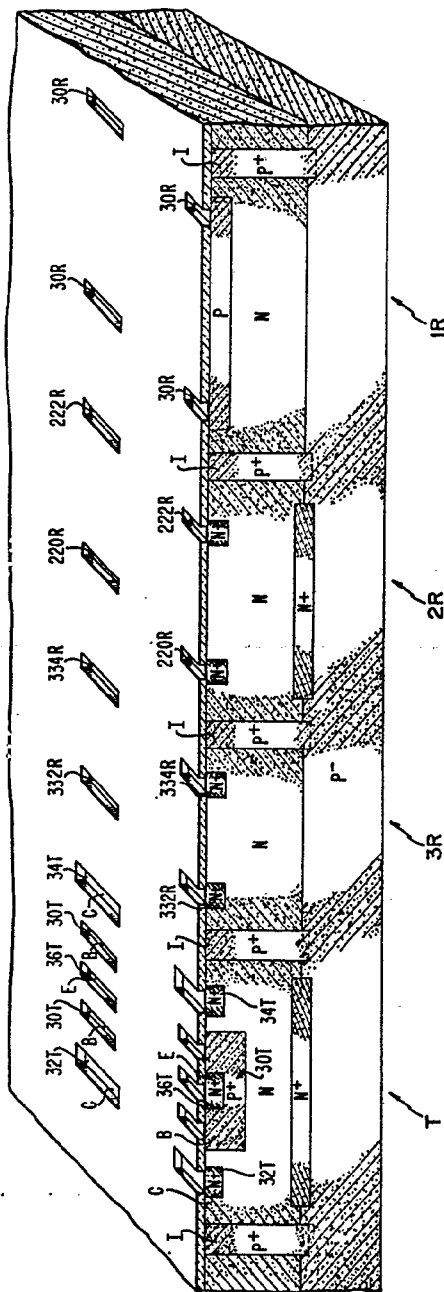




FIG. 4D



*Handwritten signature or initials.*

FIG. 4D

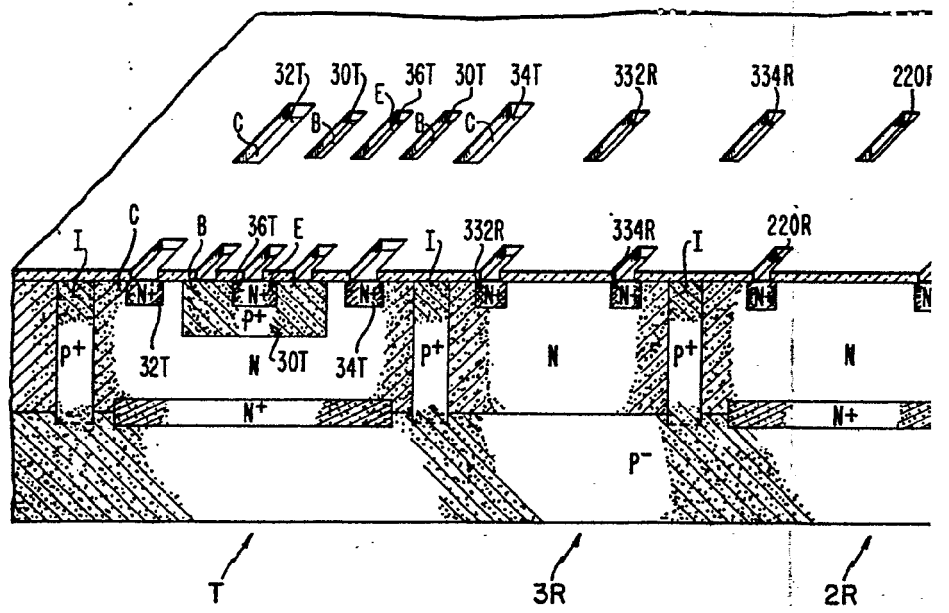
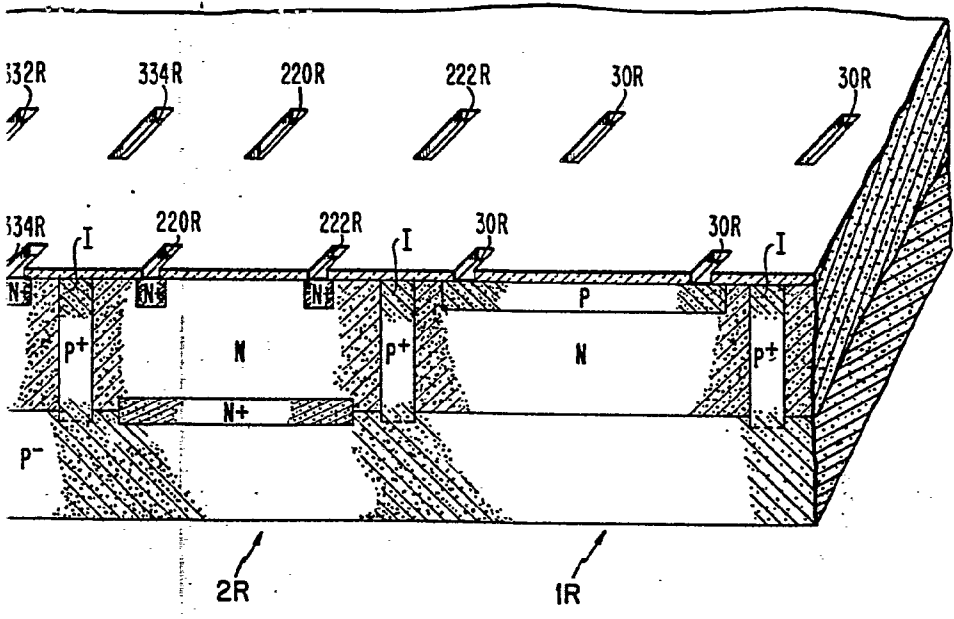




FIG. 4D



A handwritten signature is located in the bottom right corner of the page. The signature is written in a cursive style and is enclosed within a rectangular box.



*Handwritten signature or initials in the top right corner.*

11736

INTERNATIONAL BUSINESS MACHINES CORPORATION

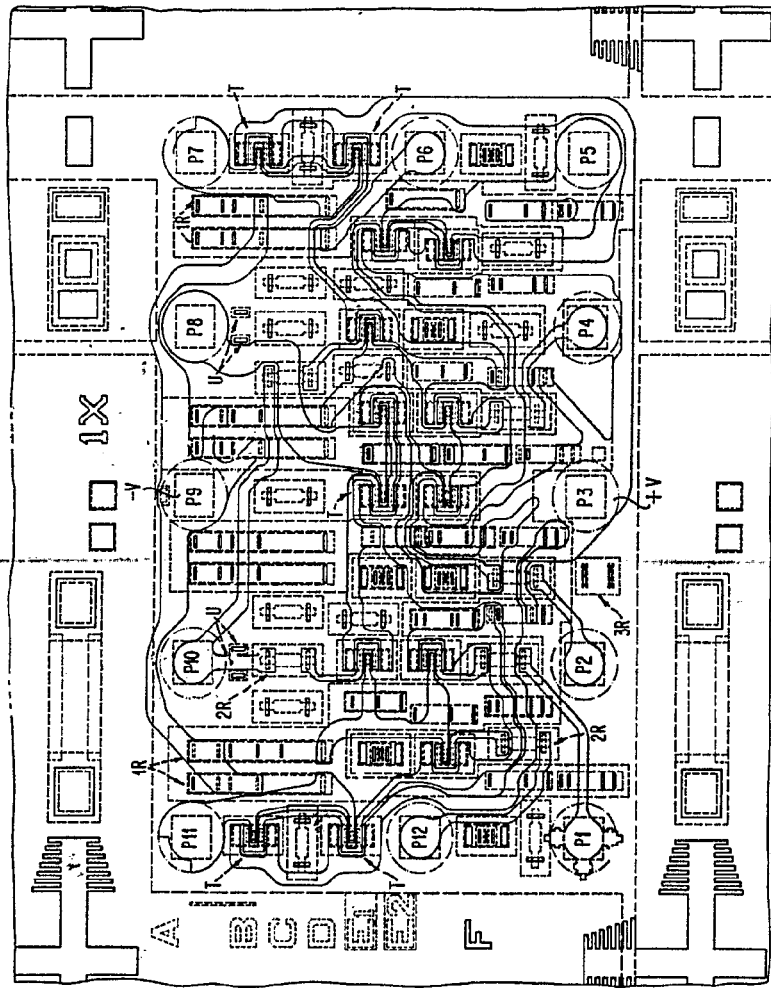
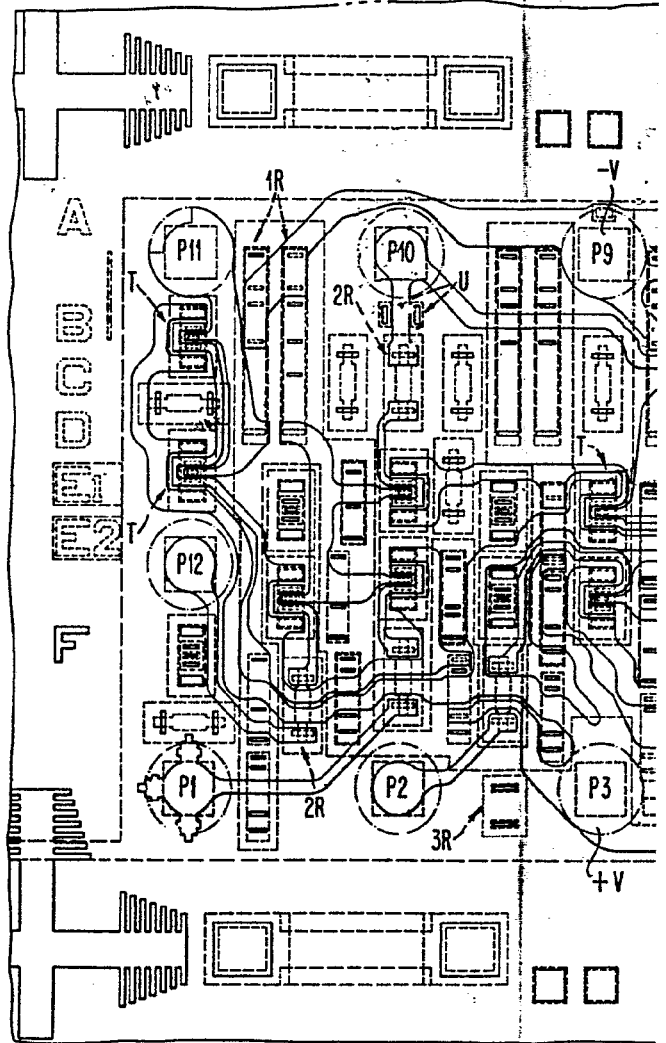
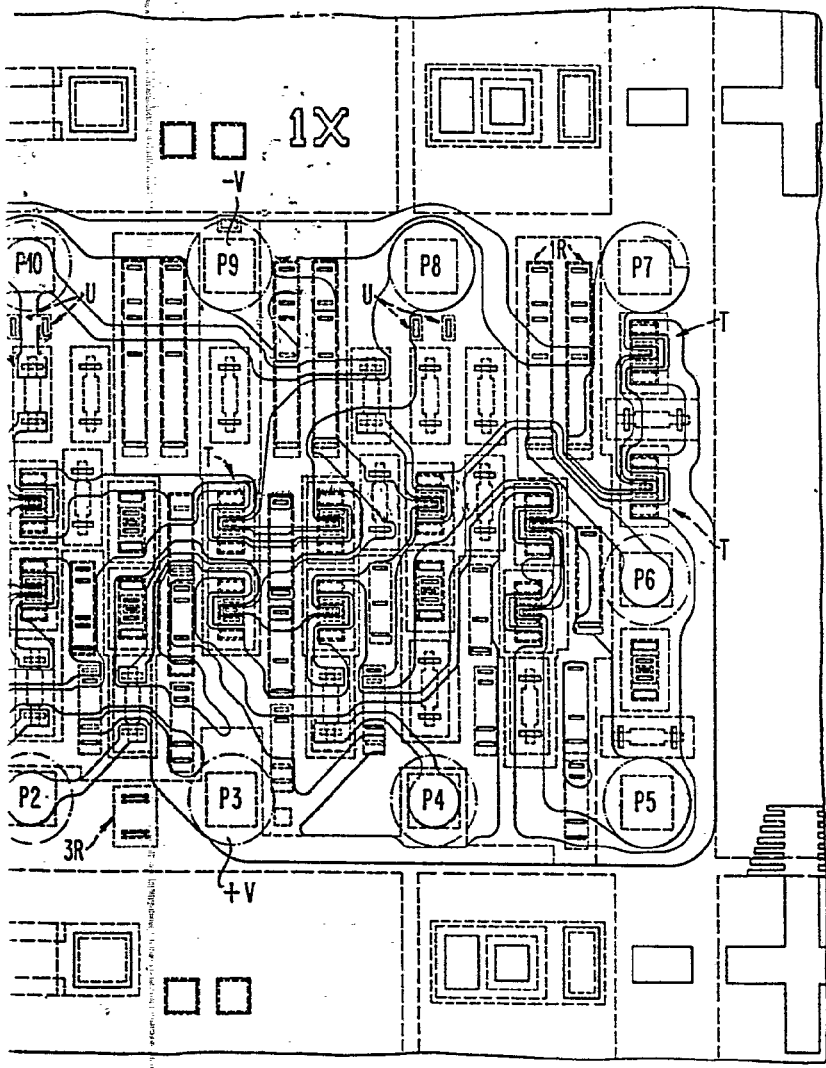
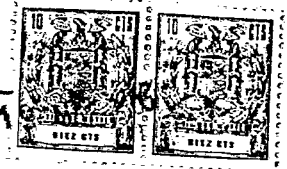


FIG. 5

FIG.5





*[Handwritten signature]*



FIG. 5'

FIG. 5A

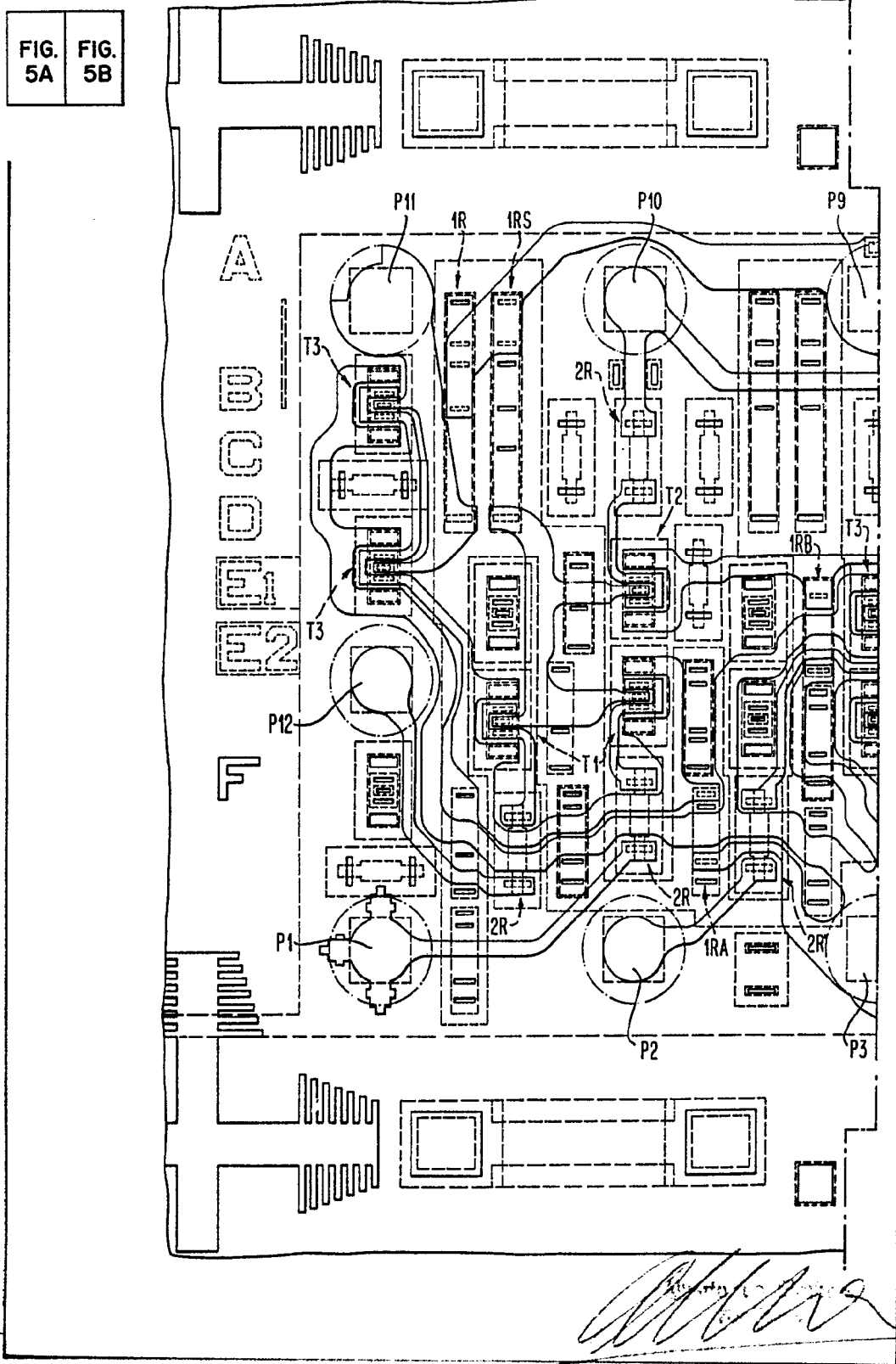
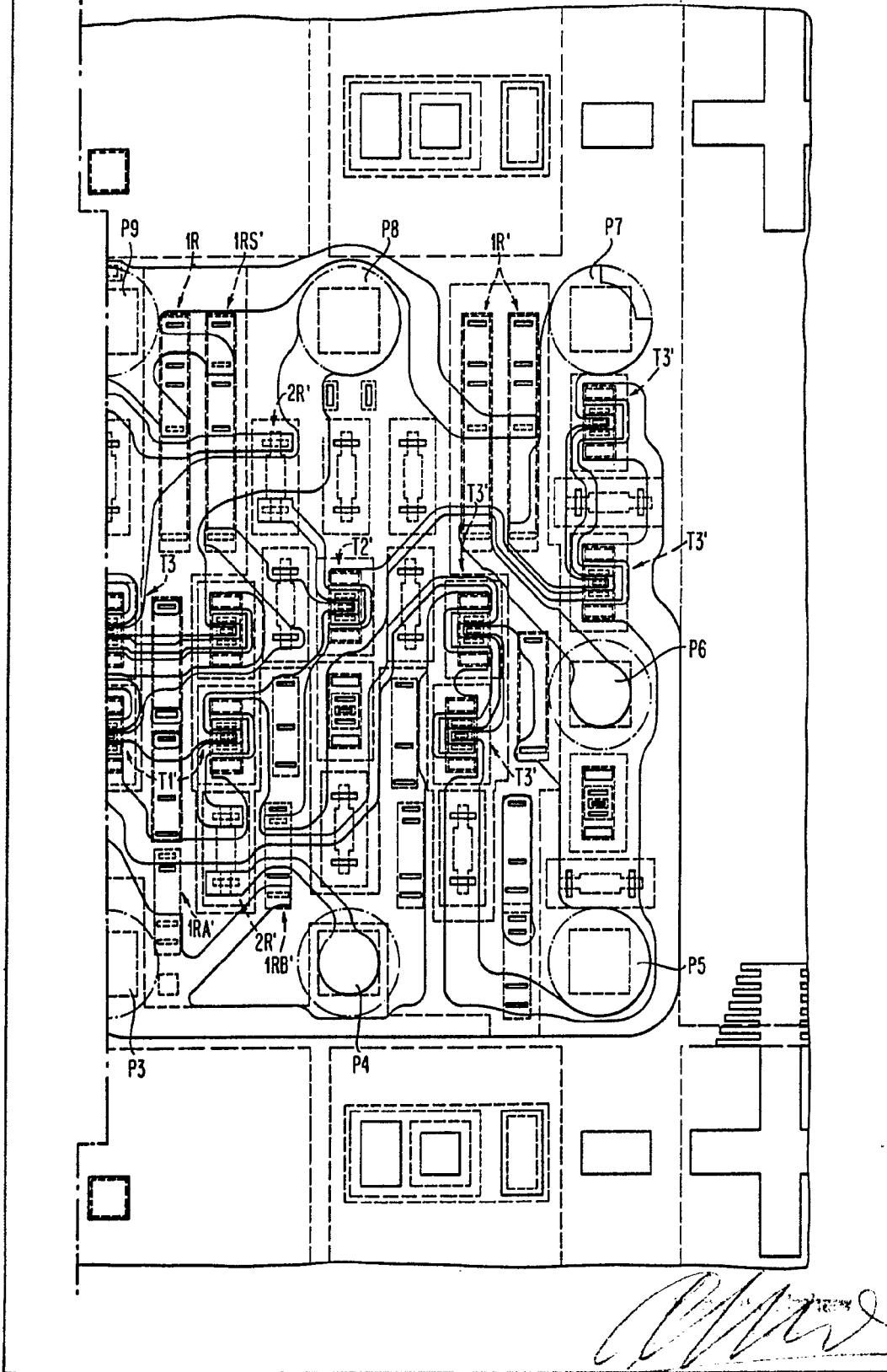




FIG. 5B



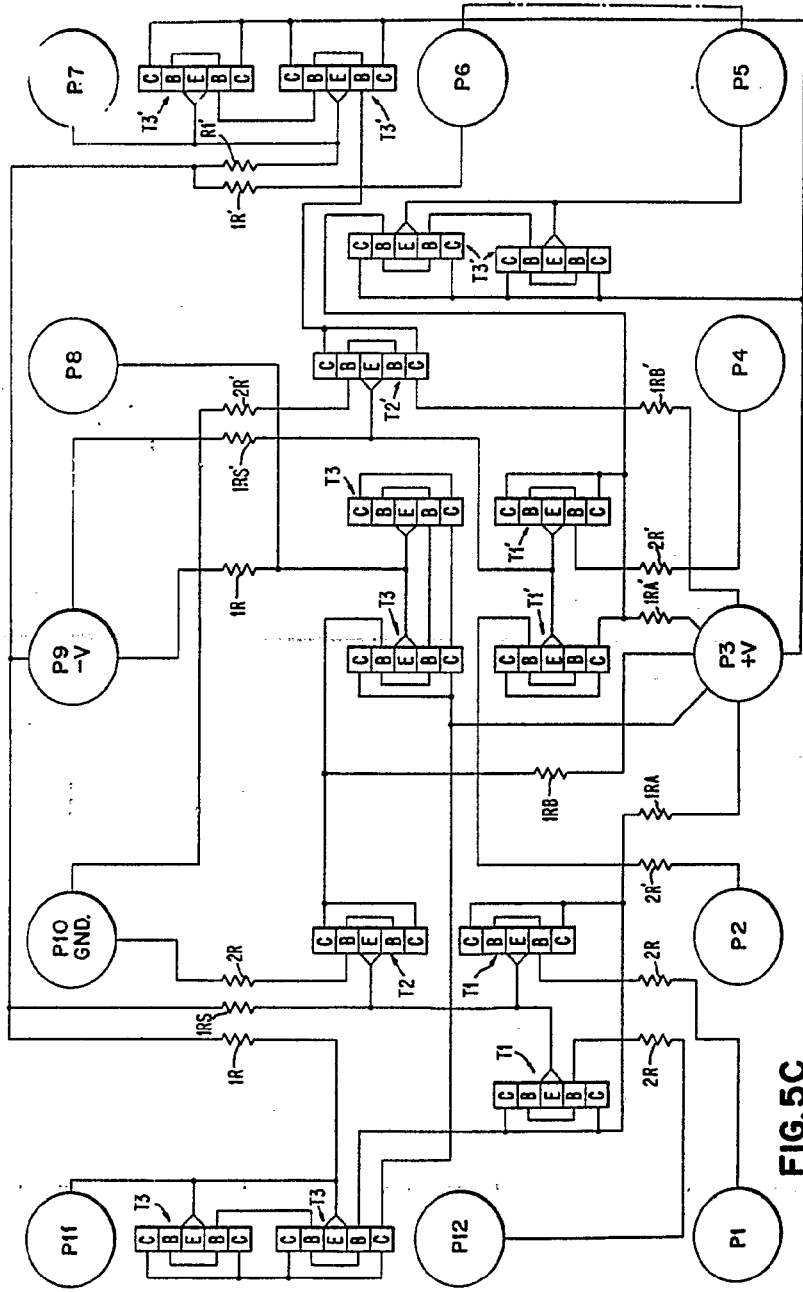


FIG. 5C

*Handwritten signature or initials in the bottom right corner of the page.*

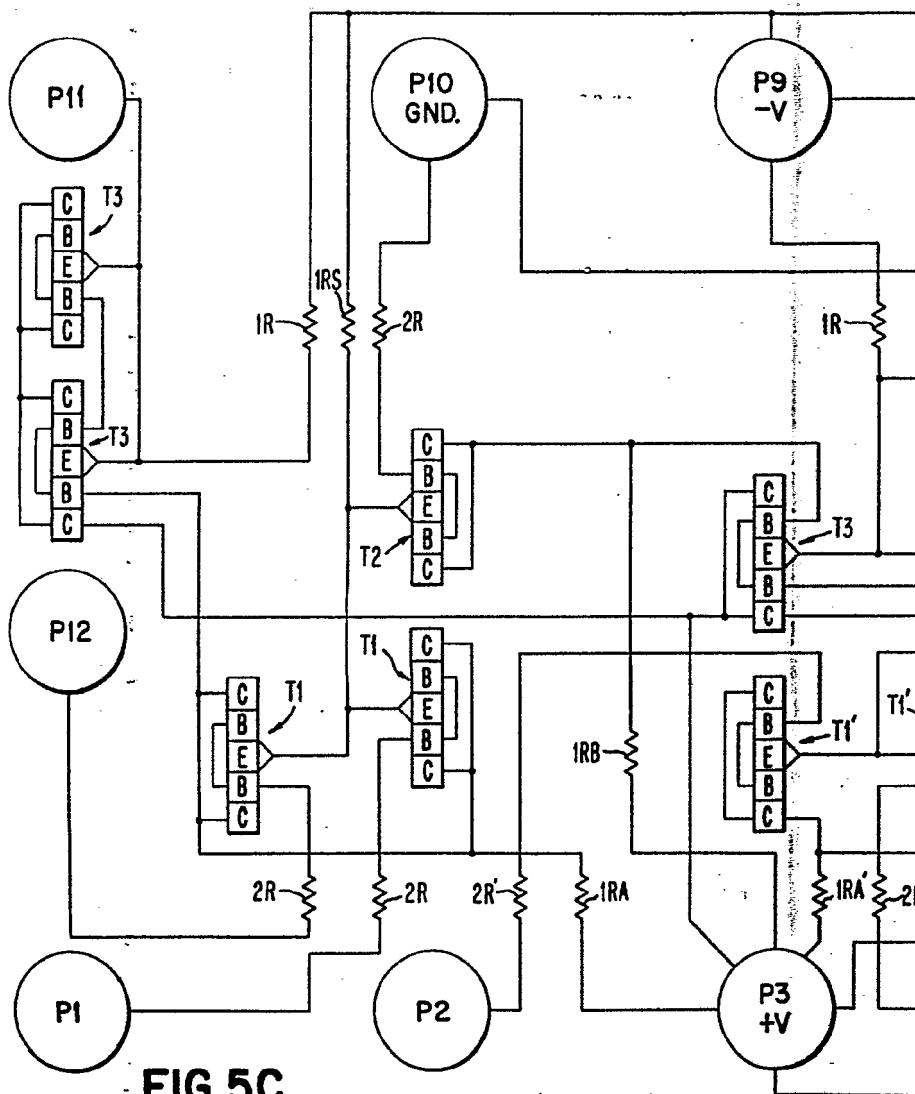
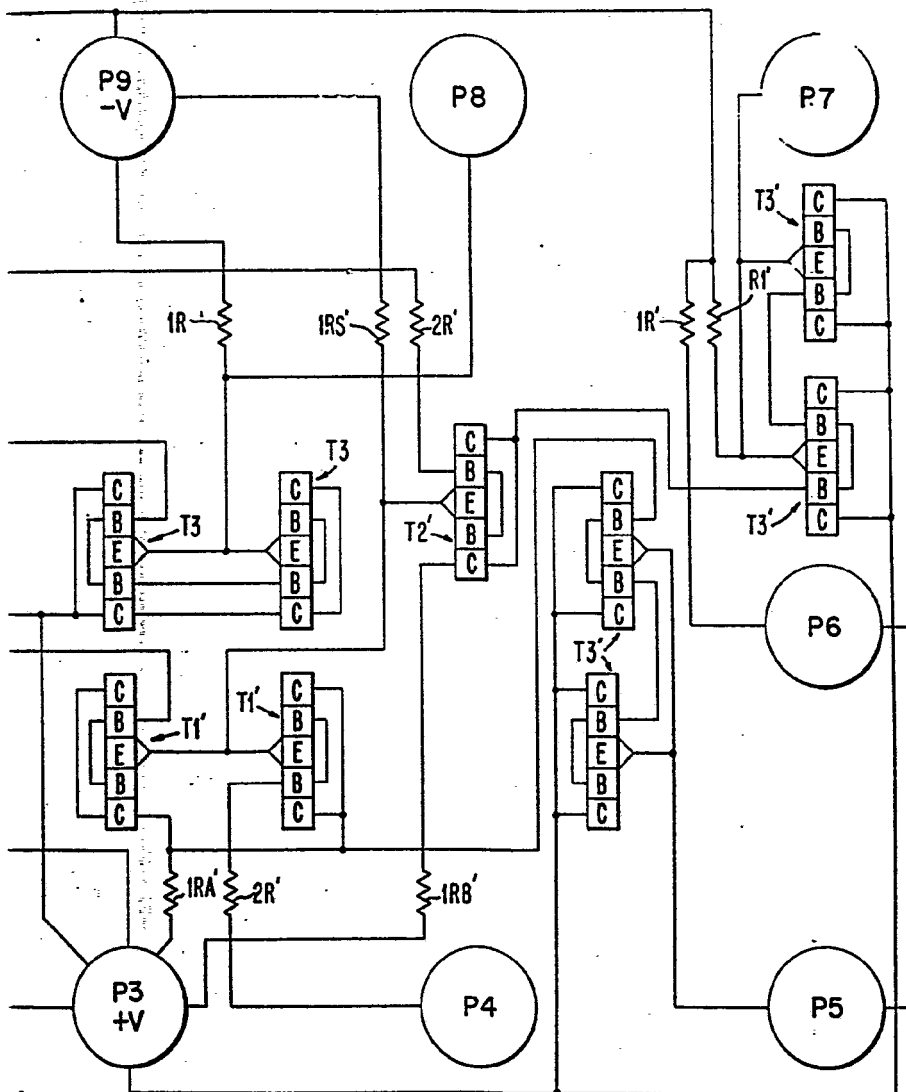
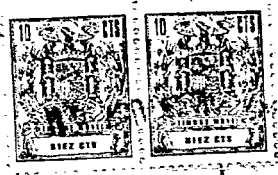


FIG. 5C

10 001 0



*Handwritten signature*



*M. S.*

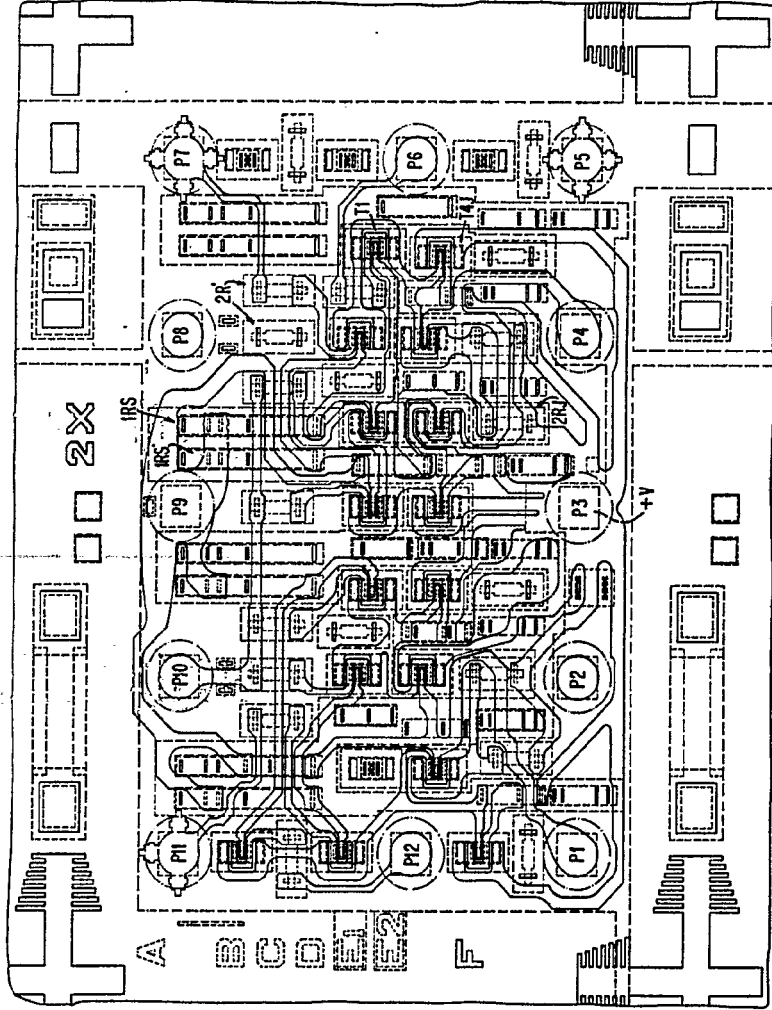
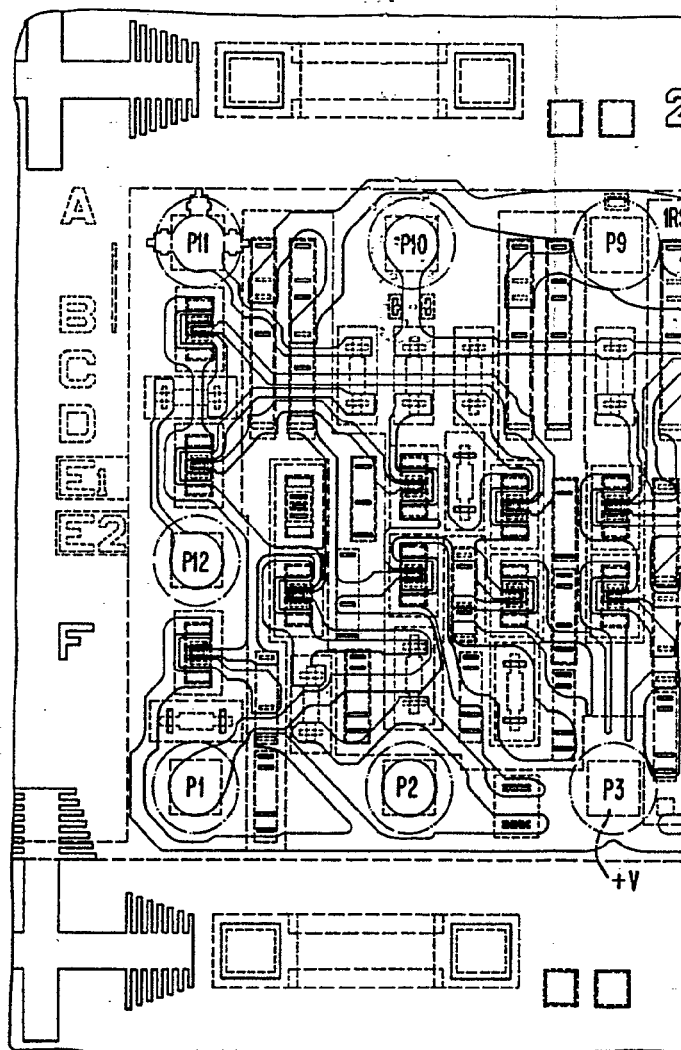
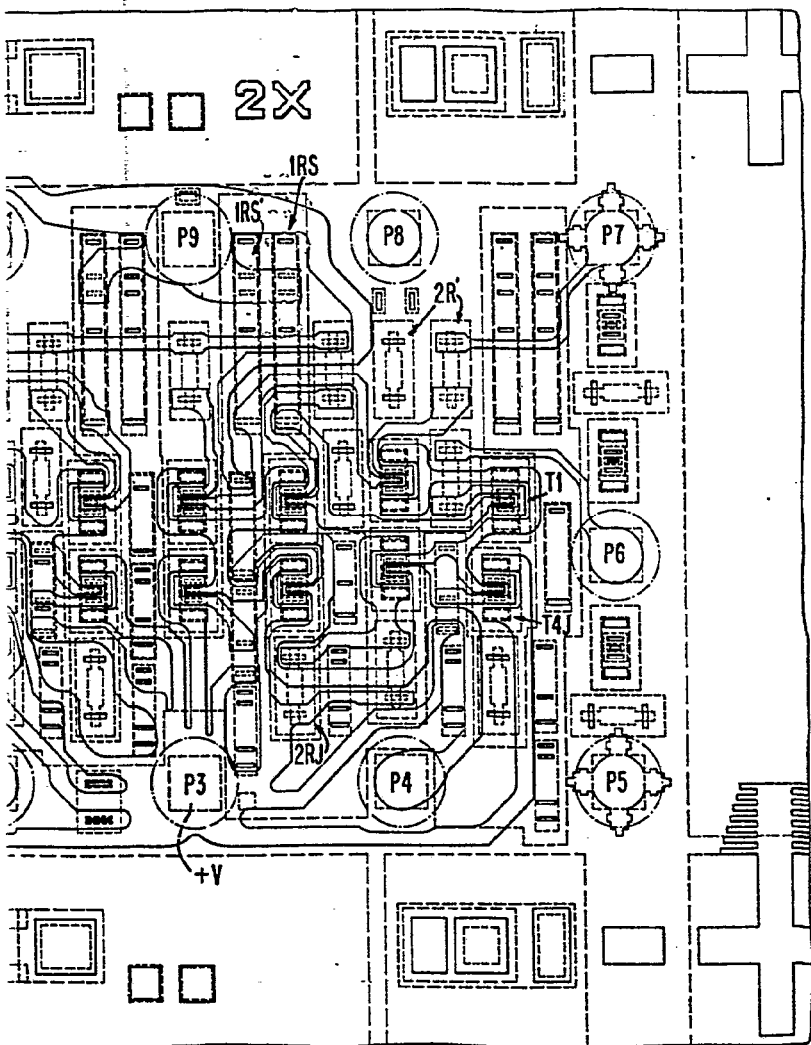
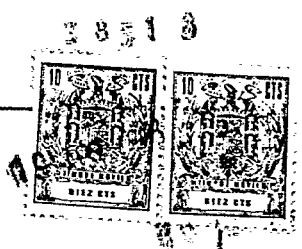


FIG. 6

FIG. 6





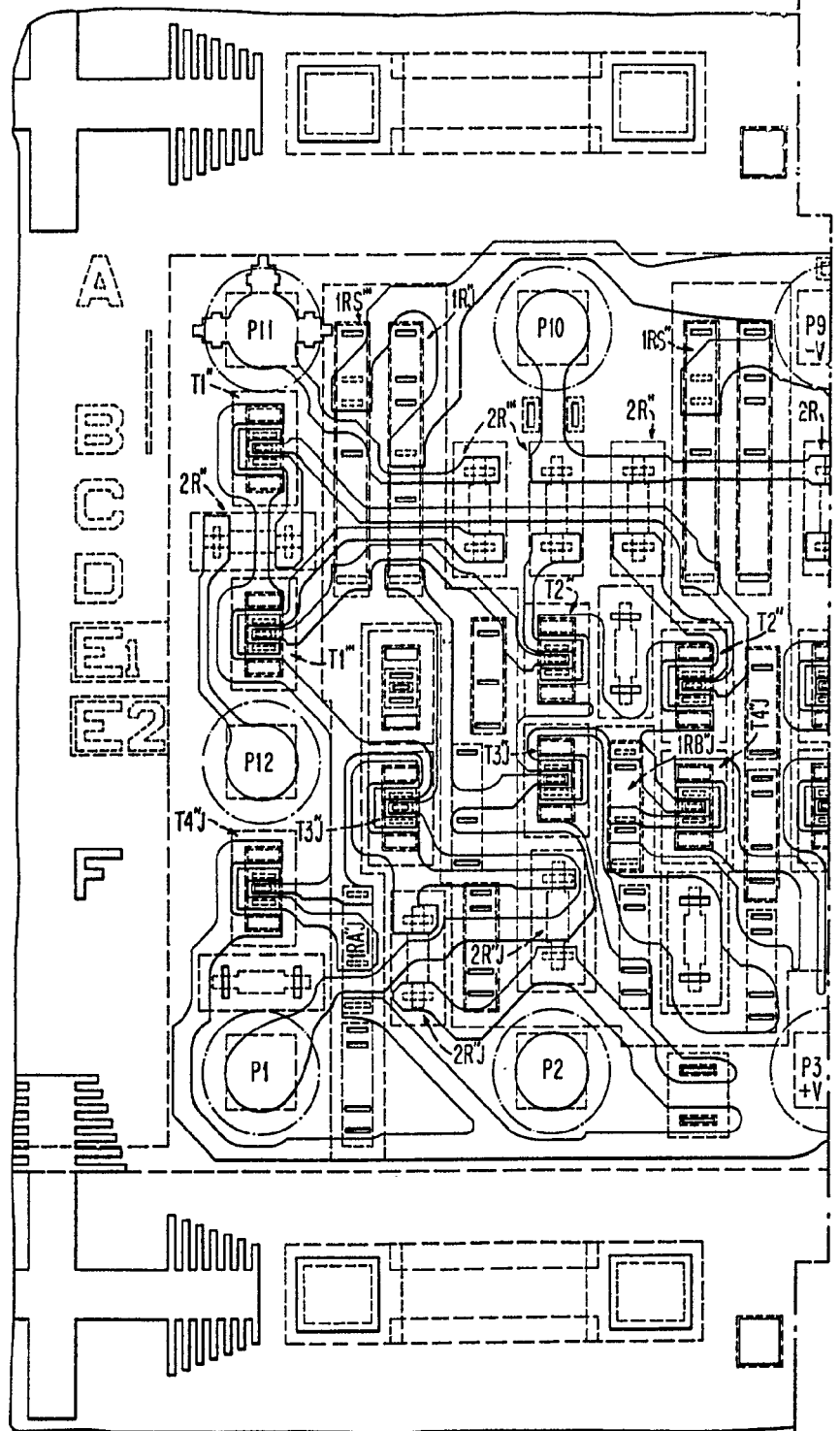
*Handwritten signature or initials.*



FIG. 6'

FIG. 6A

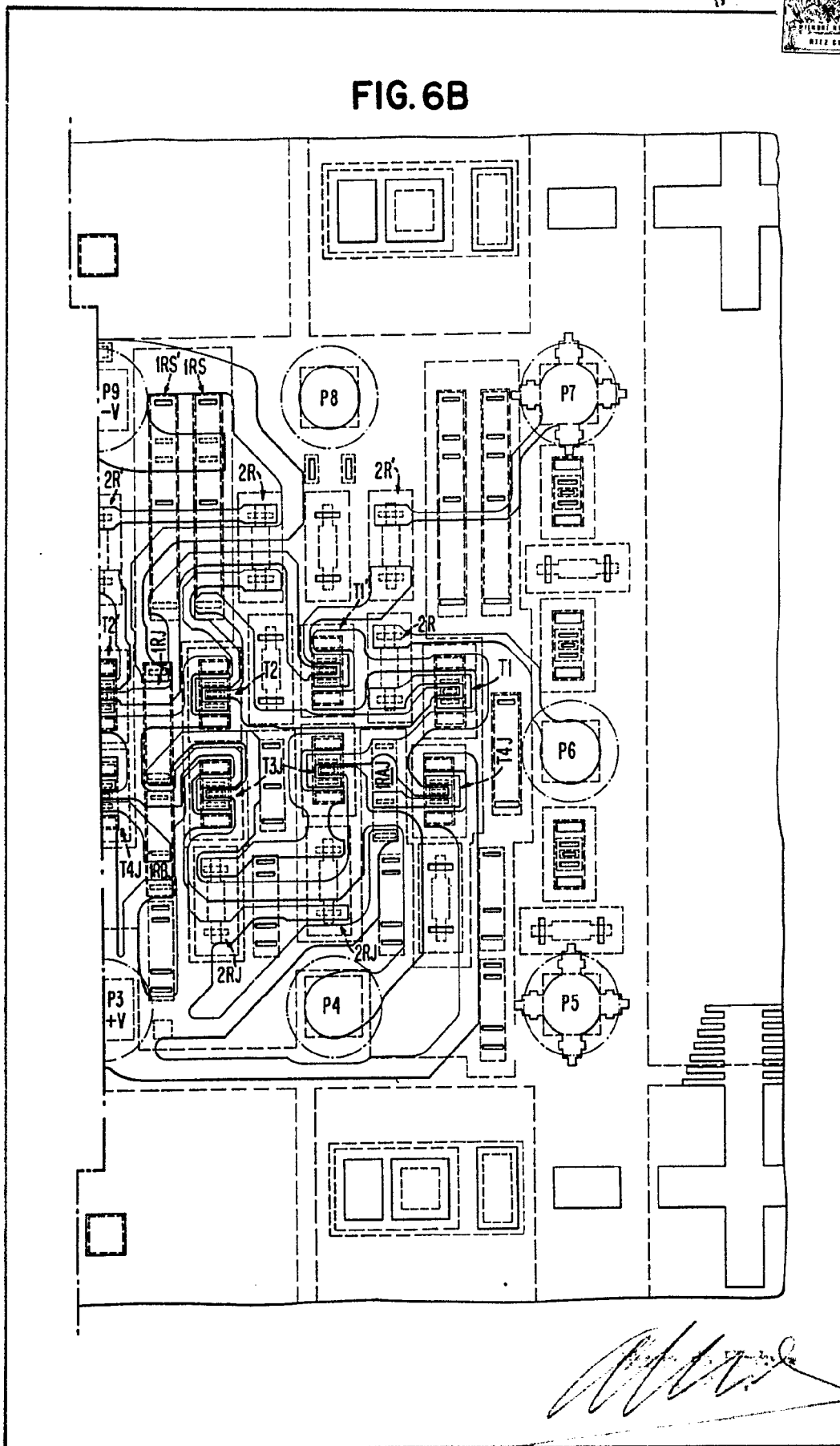
FIG. 6A	FIG. 6B
---------	---------



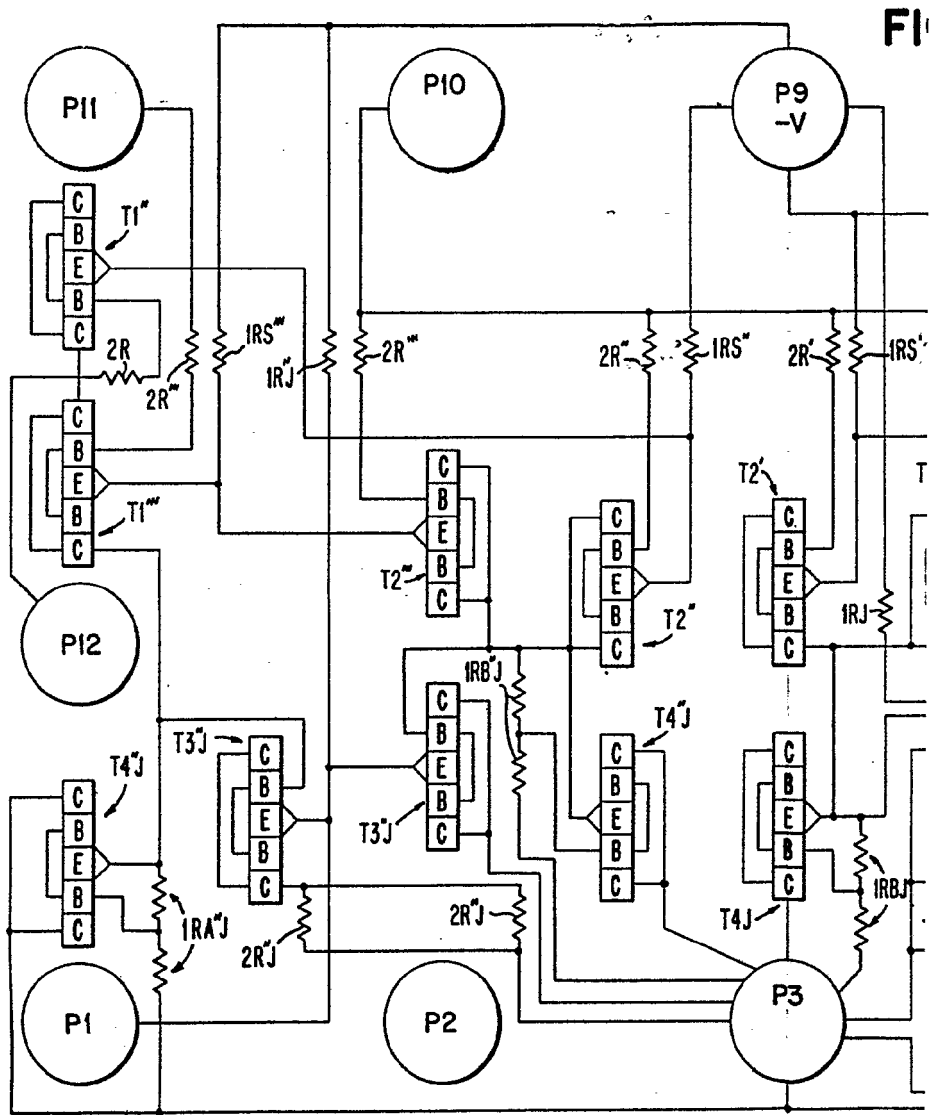
*Handwritten signature or initials.*



FIG. 6B









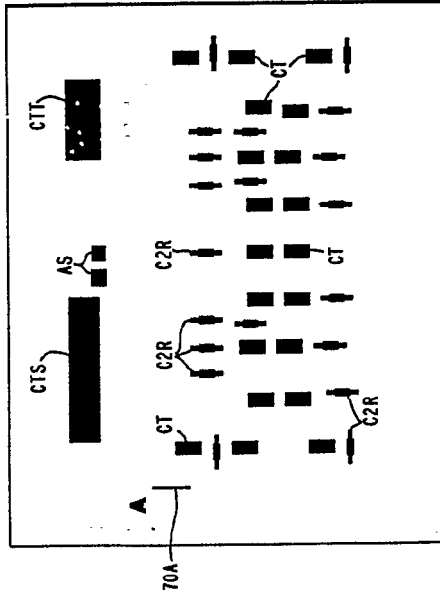
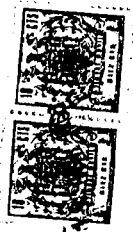


FIG. 7

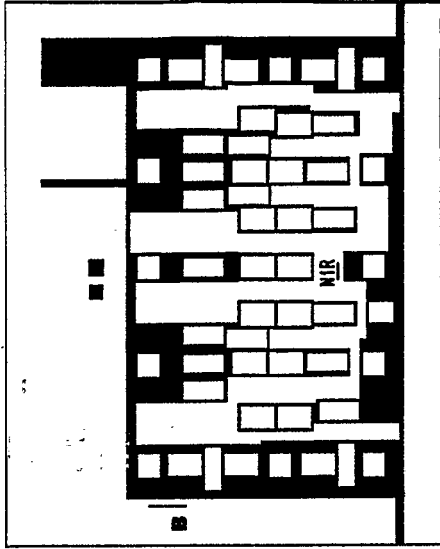


FIG. 8

*Handwritten signature or initials in the bottom right corner of the page.*

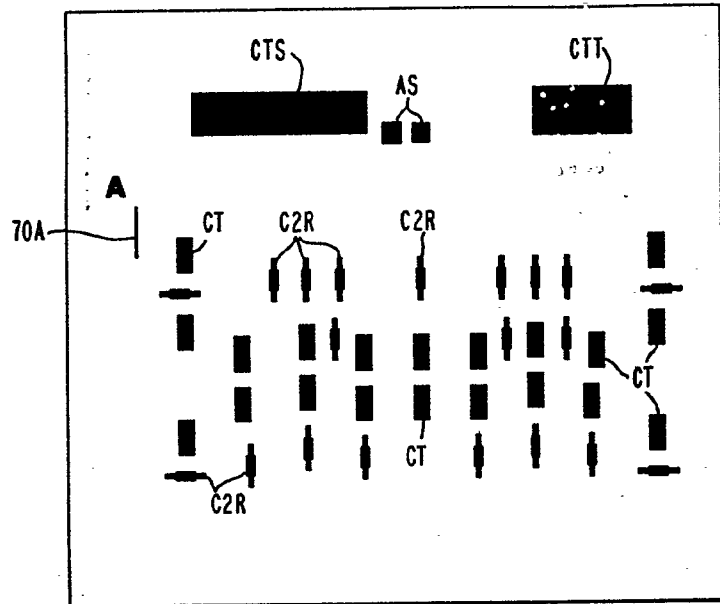
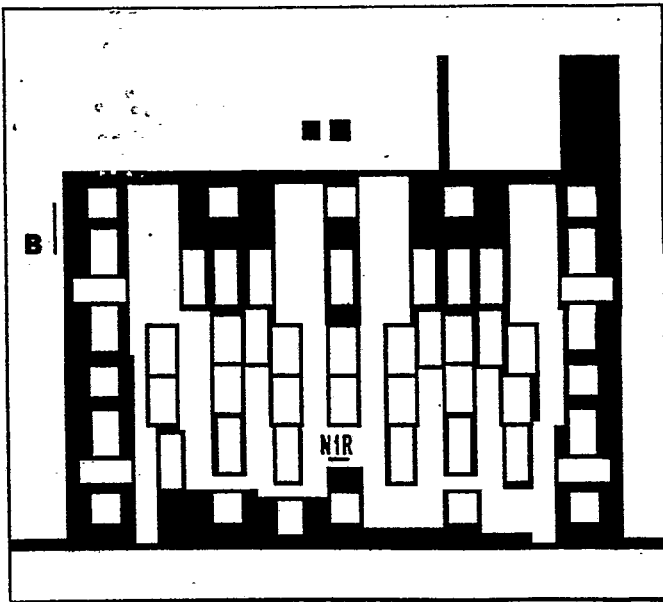
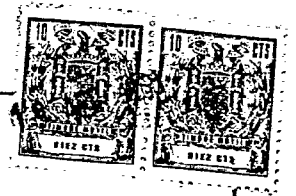
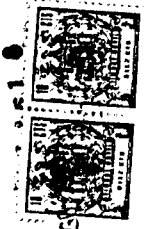


FIG. 7



**FIG. 8**



49 15

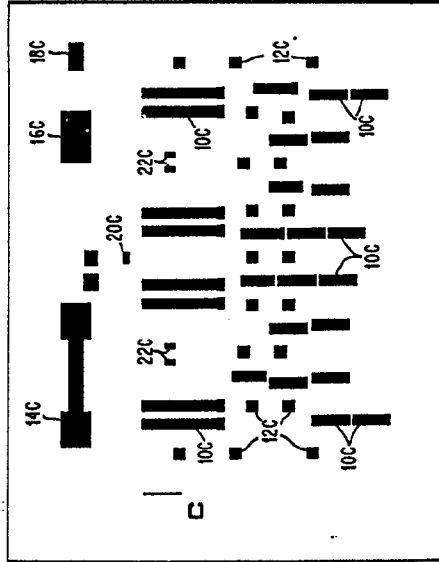


FIG. 9

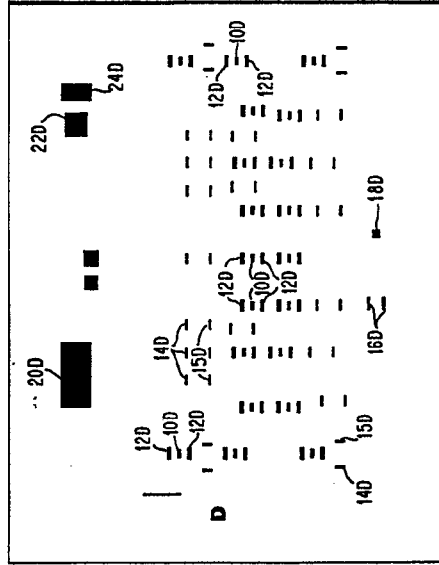


FIG. 10

*M. M. C.*

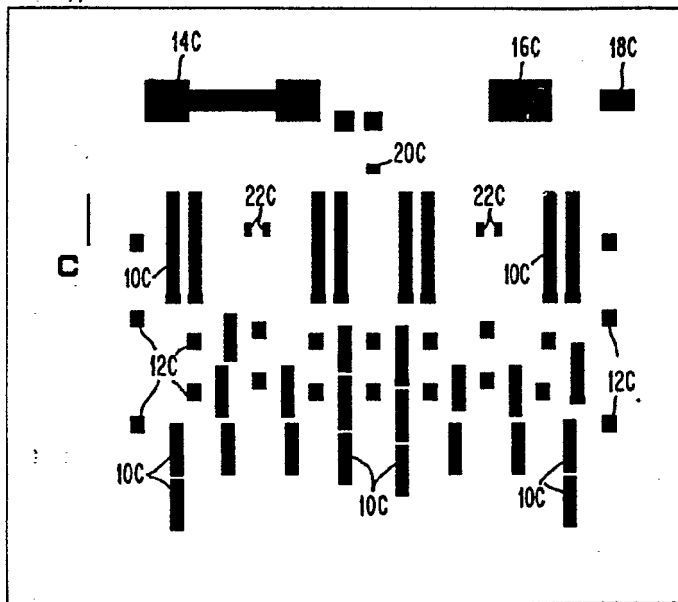


FIG. 9

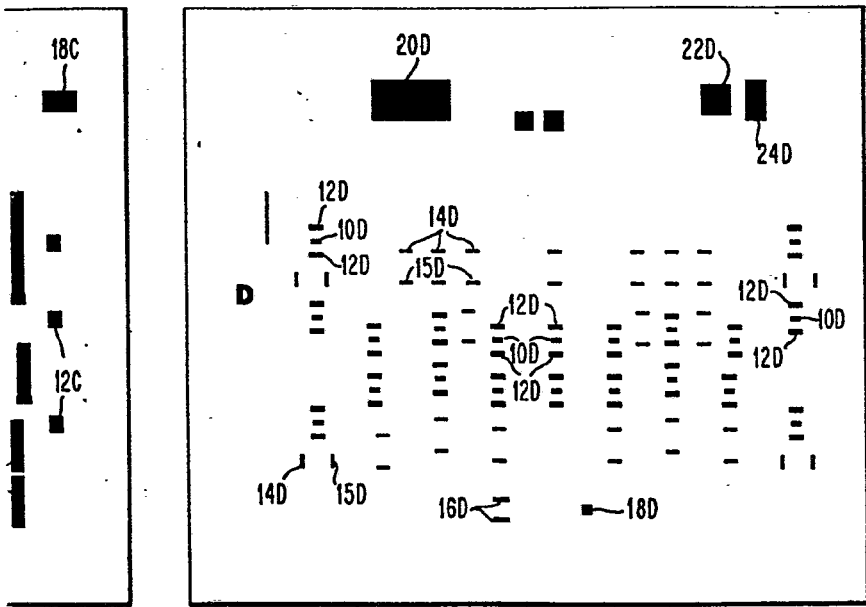
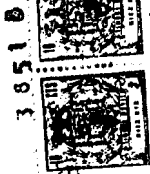


FIG. 10

A handwritten signature in black ink, located in the bottom right corner of the page. The signature is stylized and appears to be 'A. W. W.'.



19

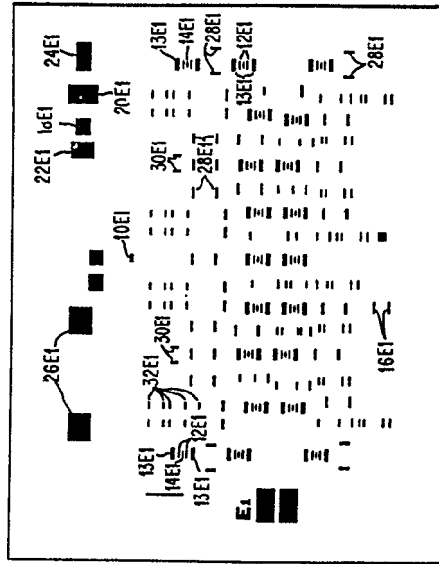


FIG. 11

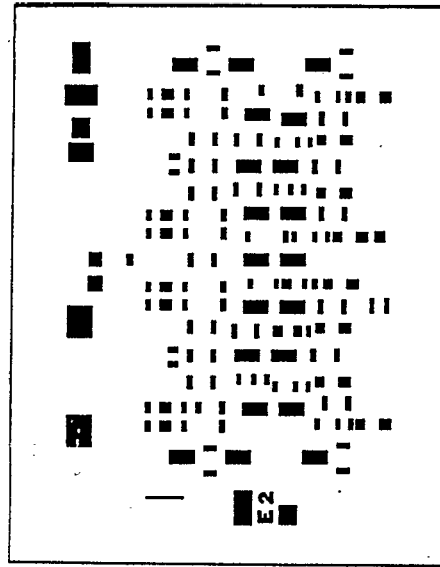


FIG. 12

*MMS*

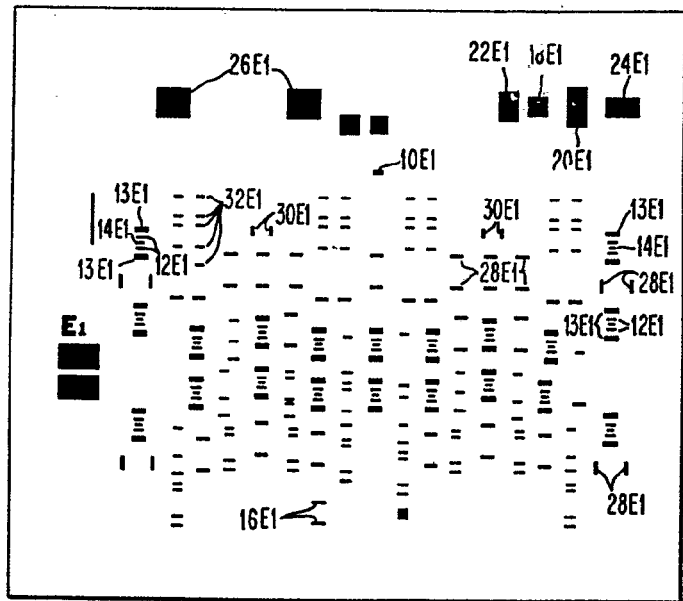


FIG. 11

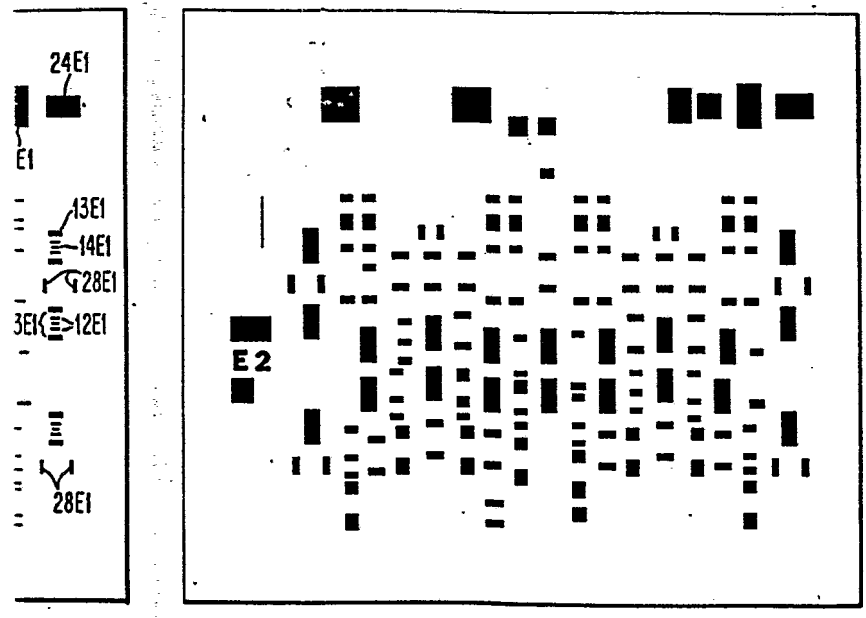
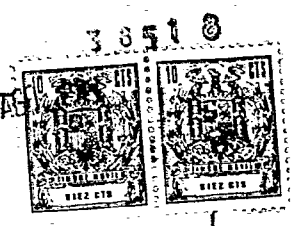


FIG. 12

*Handwritten signature or initials.*



AS

22,730

INTERNATIONAL BUSINESS MACHINES CORPORATION

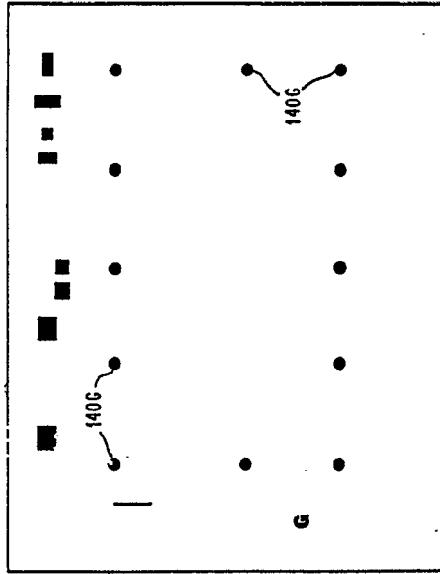


FIG. 14

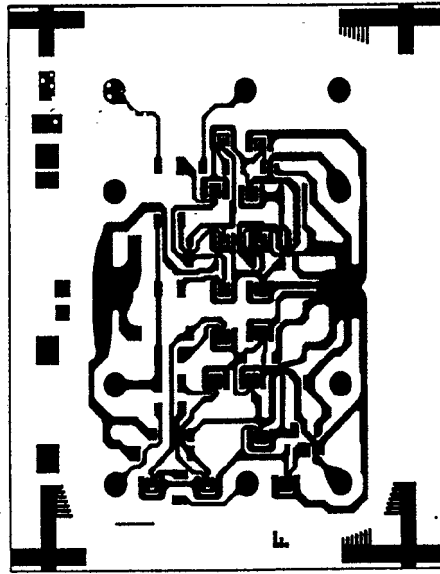


FIG. 13

*[Handwritten signature]*

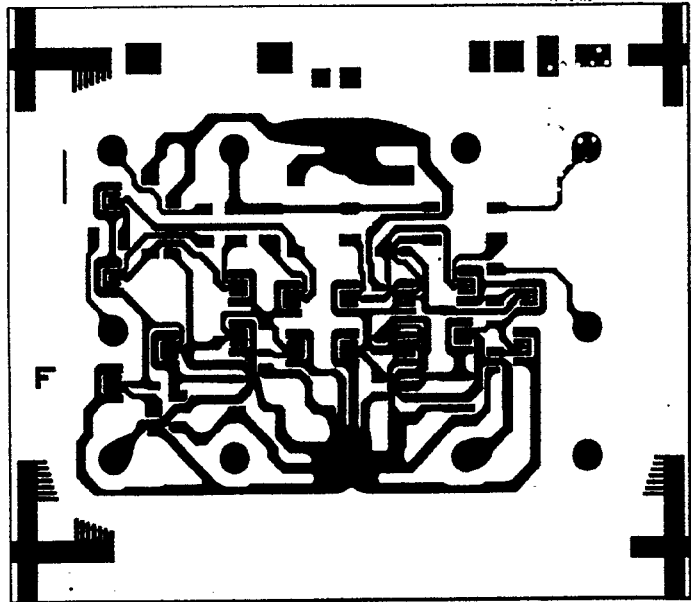
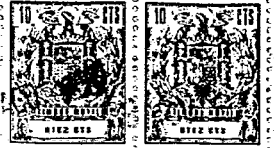


FIG.13

138510



10

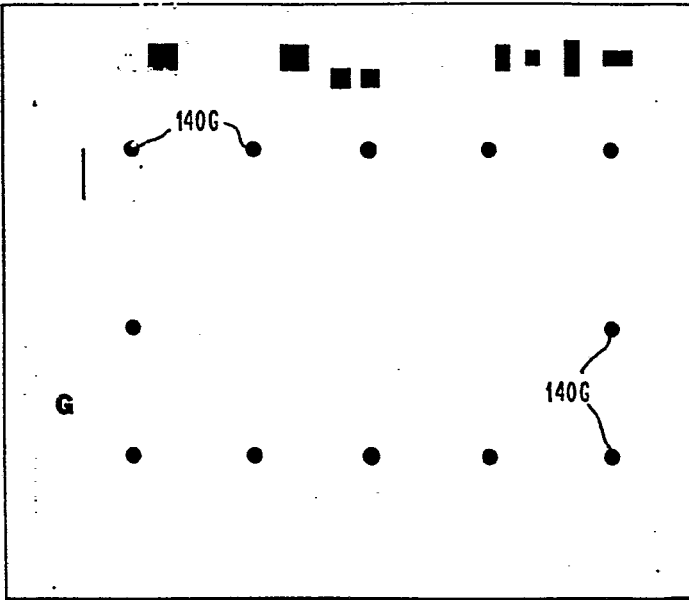


FIG. 14



FIG.15

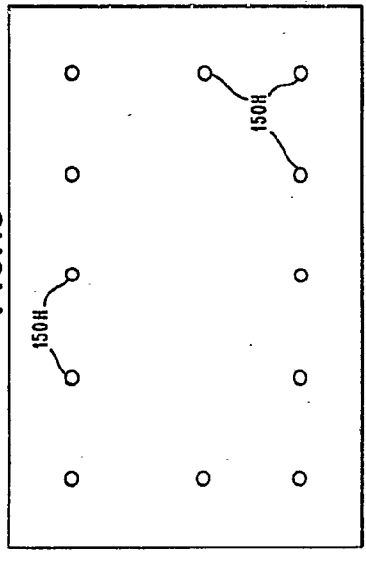


FIG.16

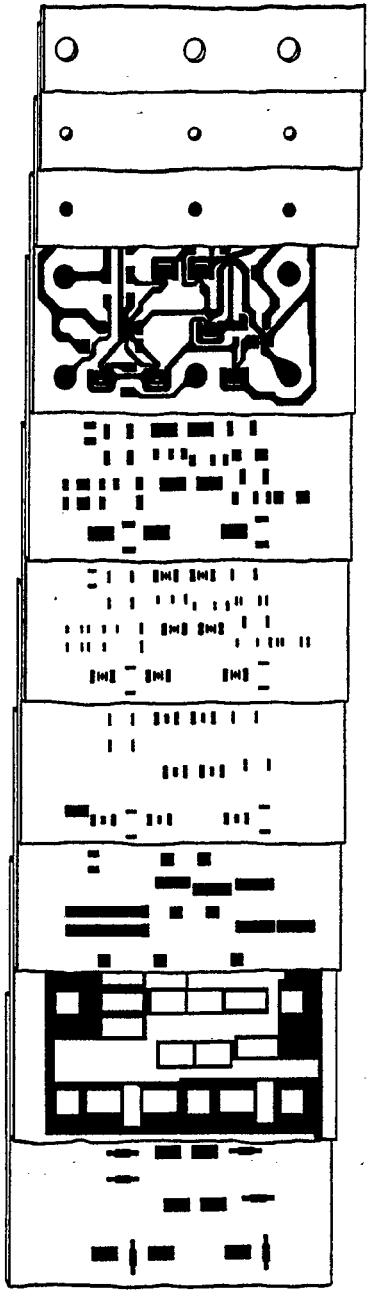
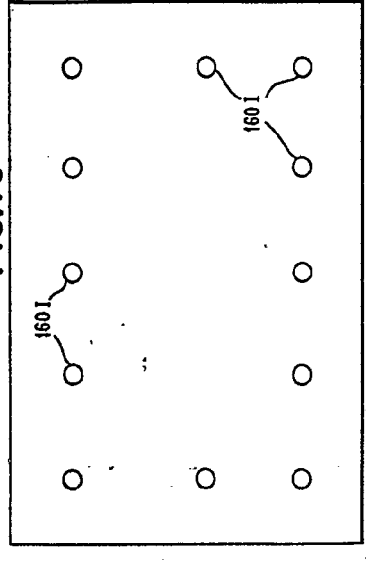


FIG.17

*[Handwritten signature]*

FIG.15

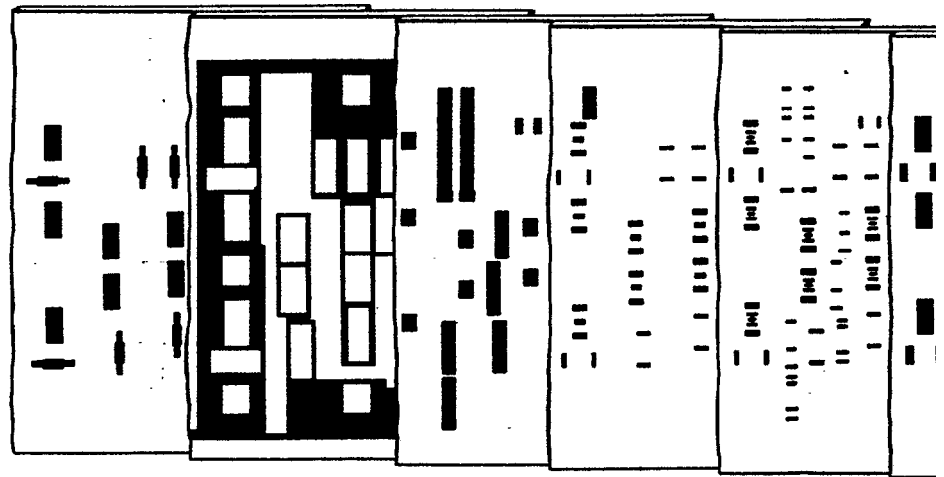
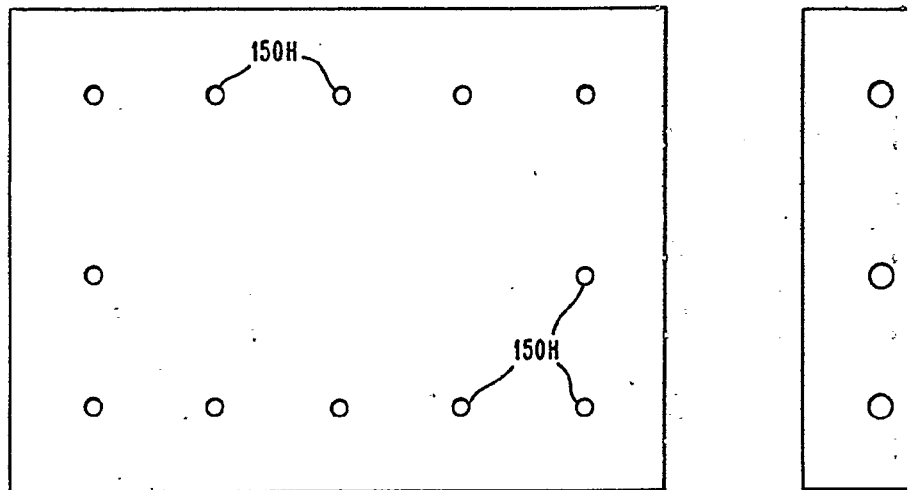


FIG.17

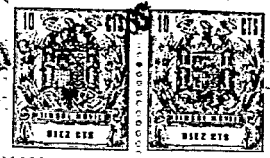
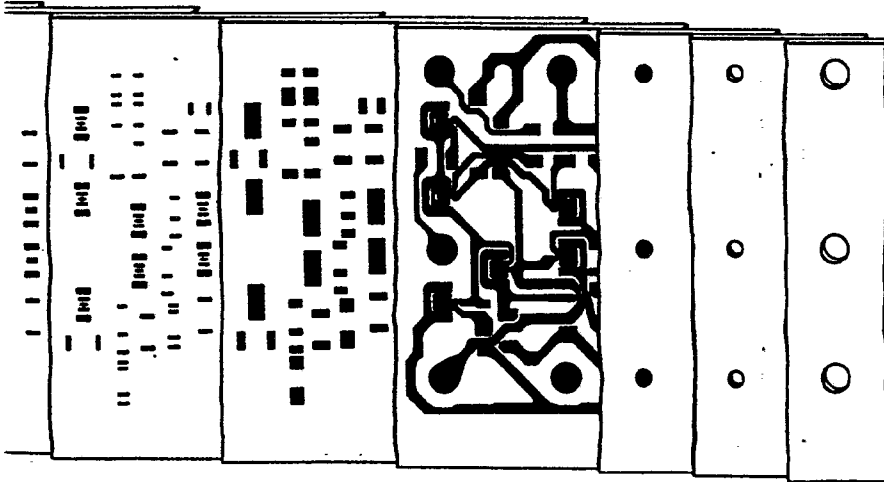
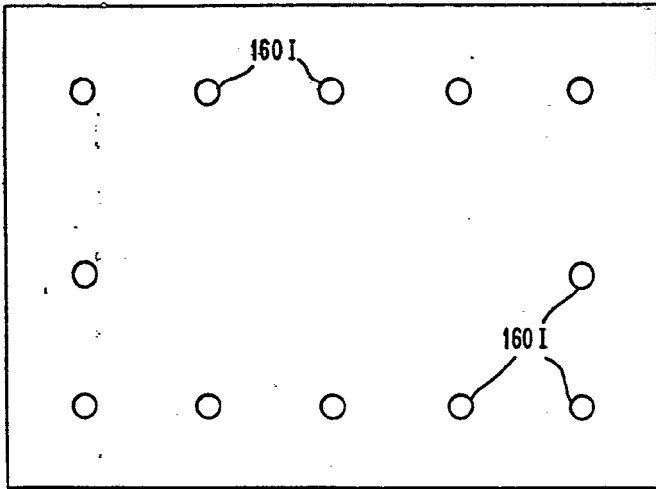


FIG.16



*[Handwritten signature]*



FIG. 18

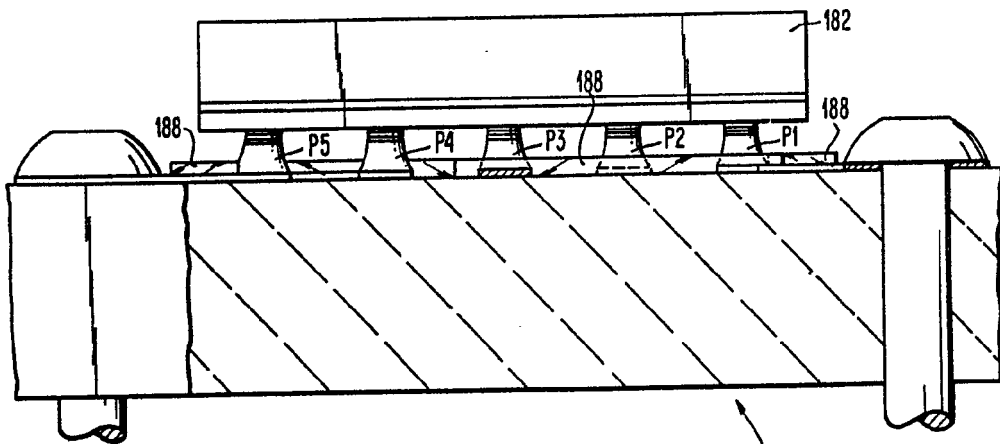
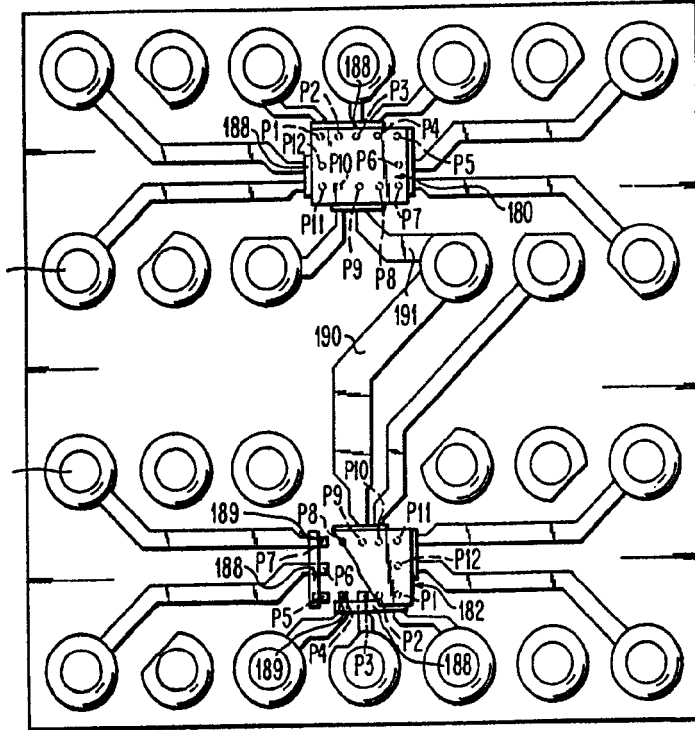
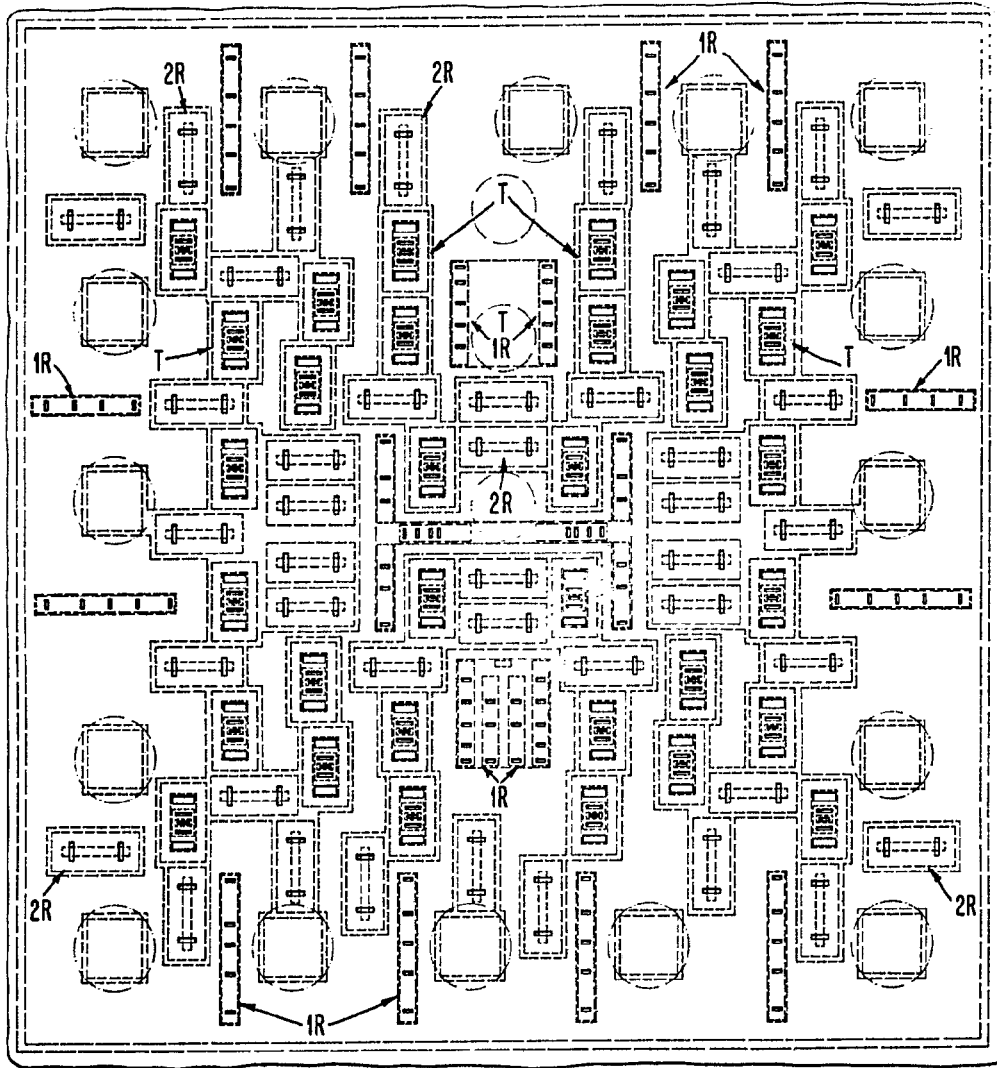


FIG. 19

*[Handwritten signature]*



FIG. 20



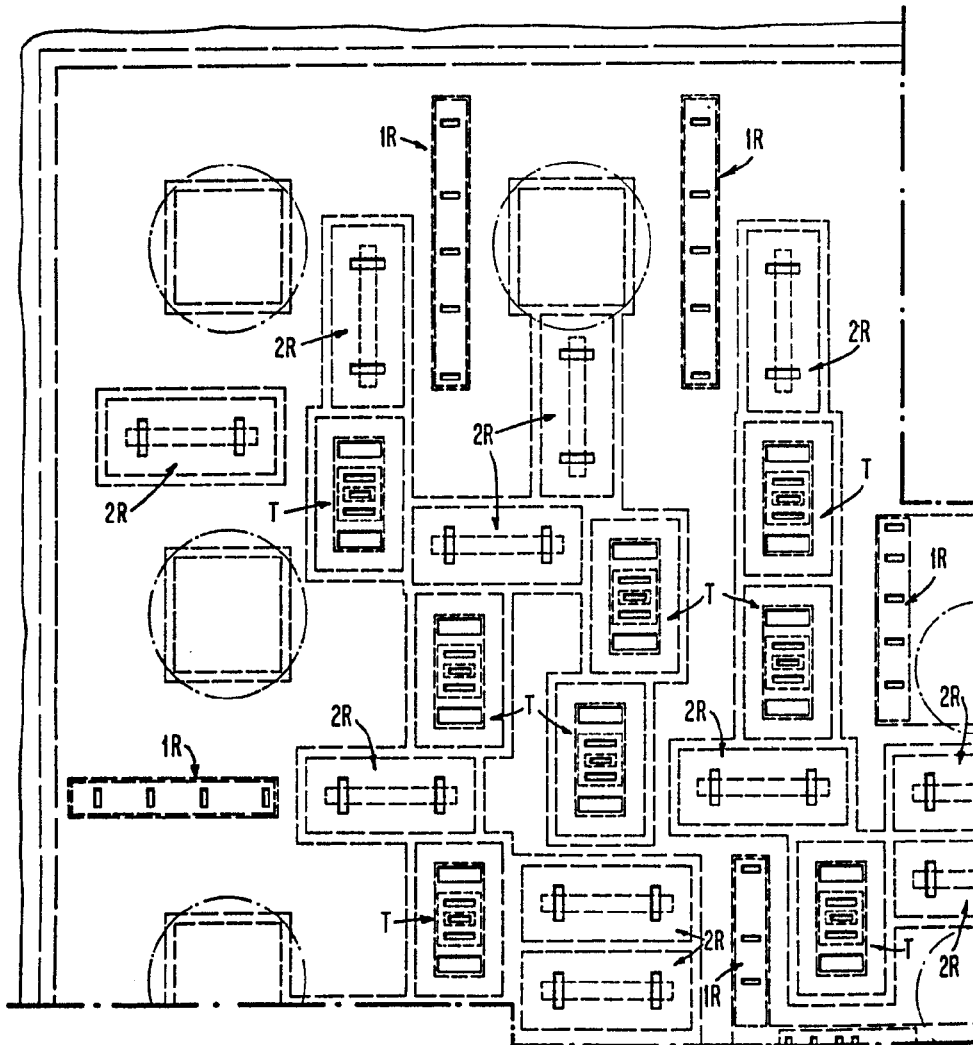
*[Handwritten signature]*



FIG. 20'

FIG. 20A	FIG. 20B
FIG. 20C	FIG. 20D

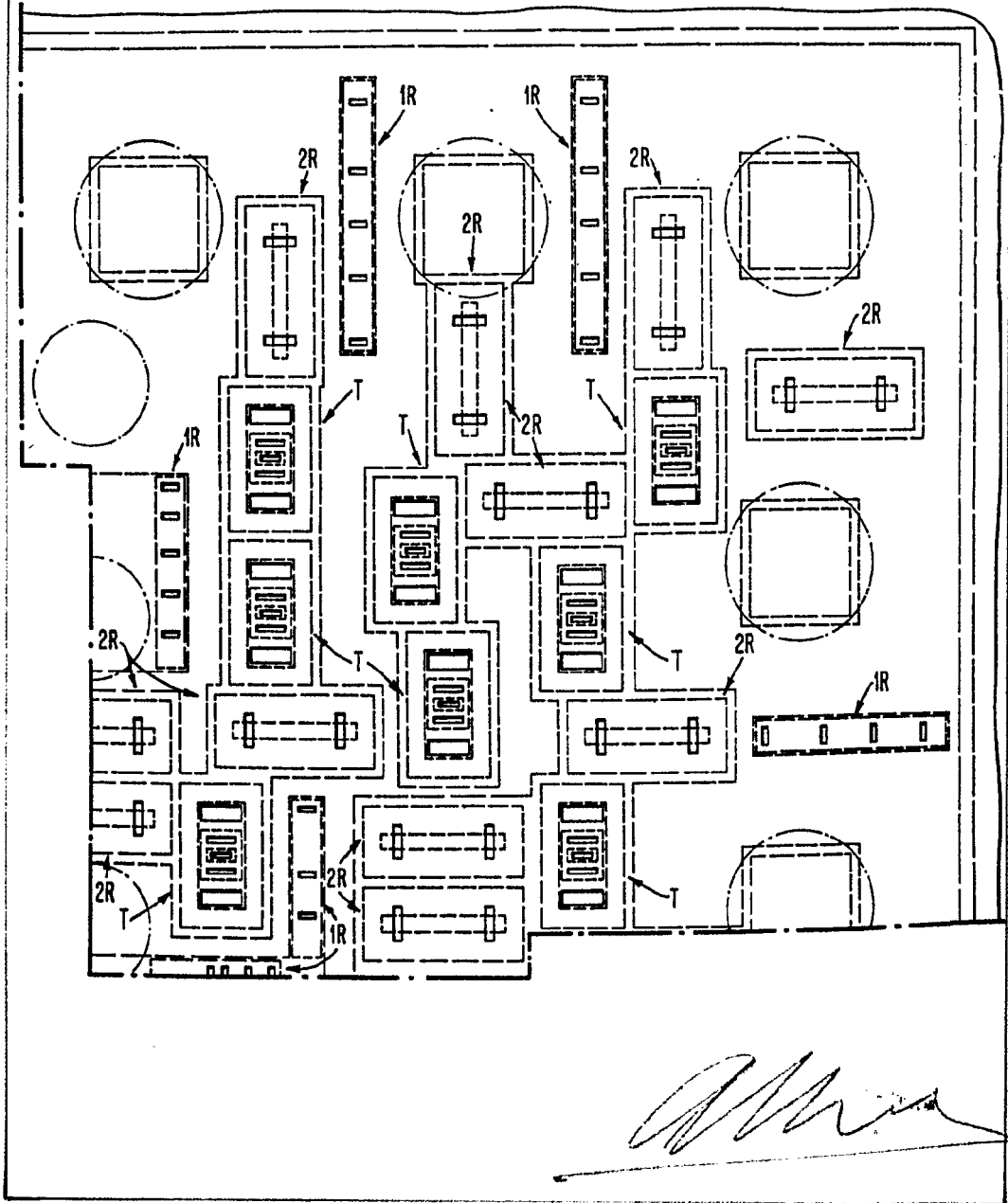
FIG. 20A



*[Handwritten signature]*



FIG. 20B



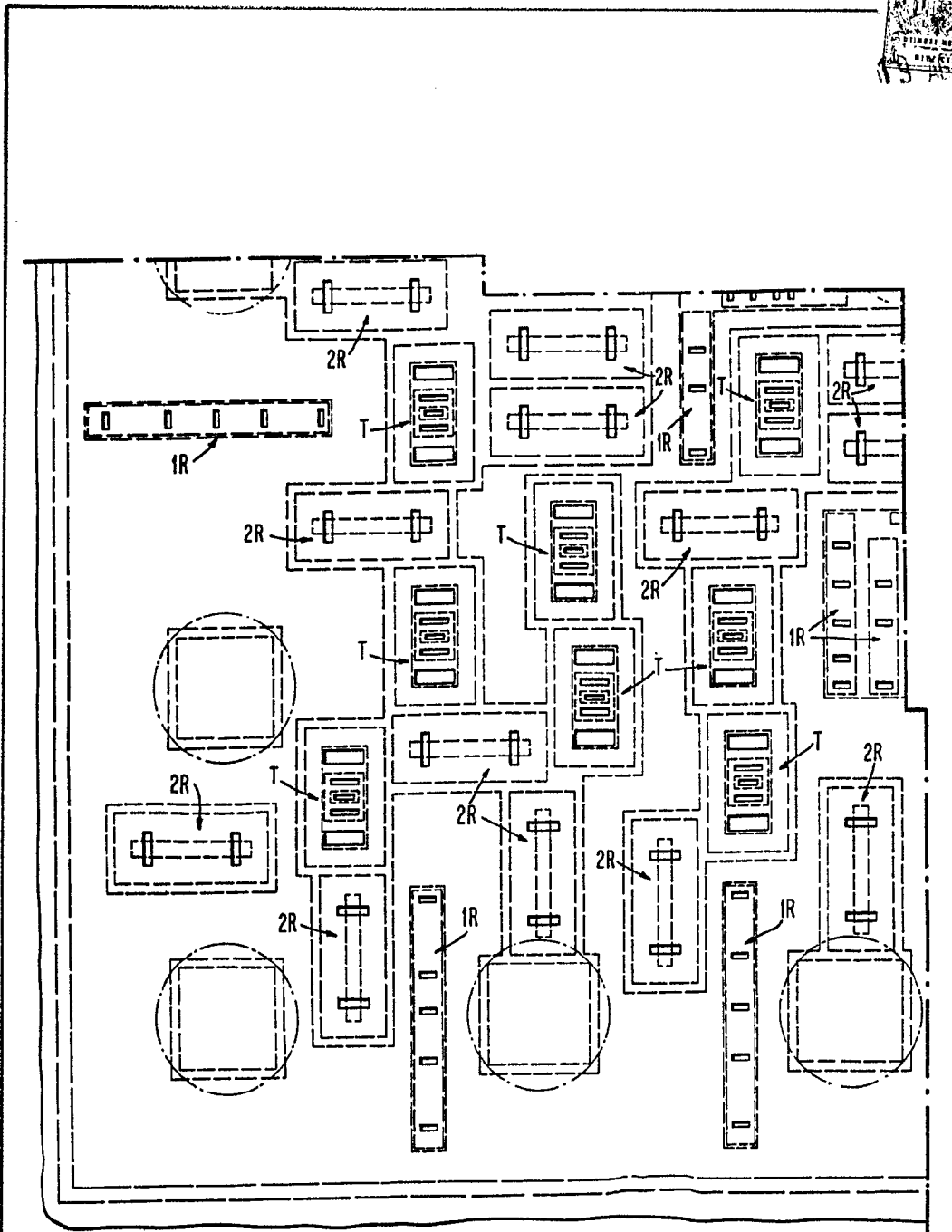


FIG. 20C

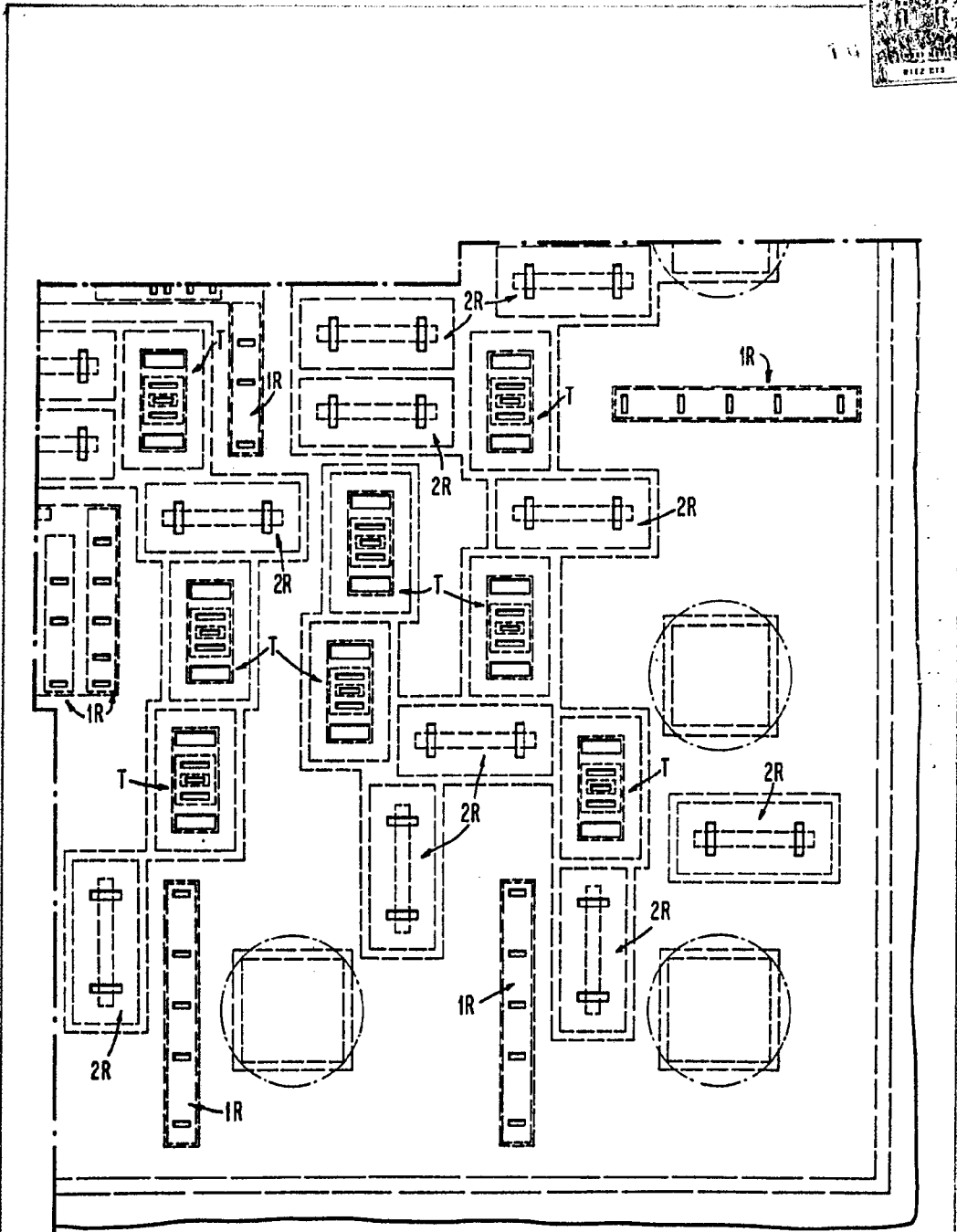


FIG. 20D

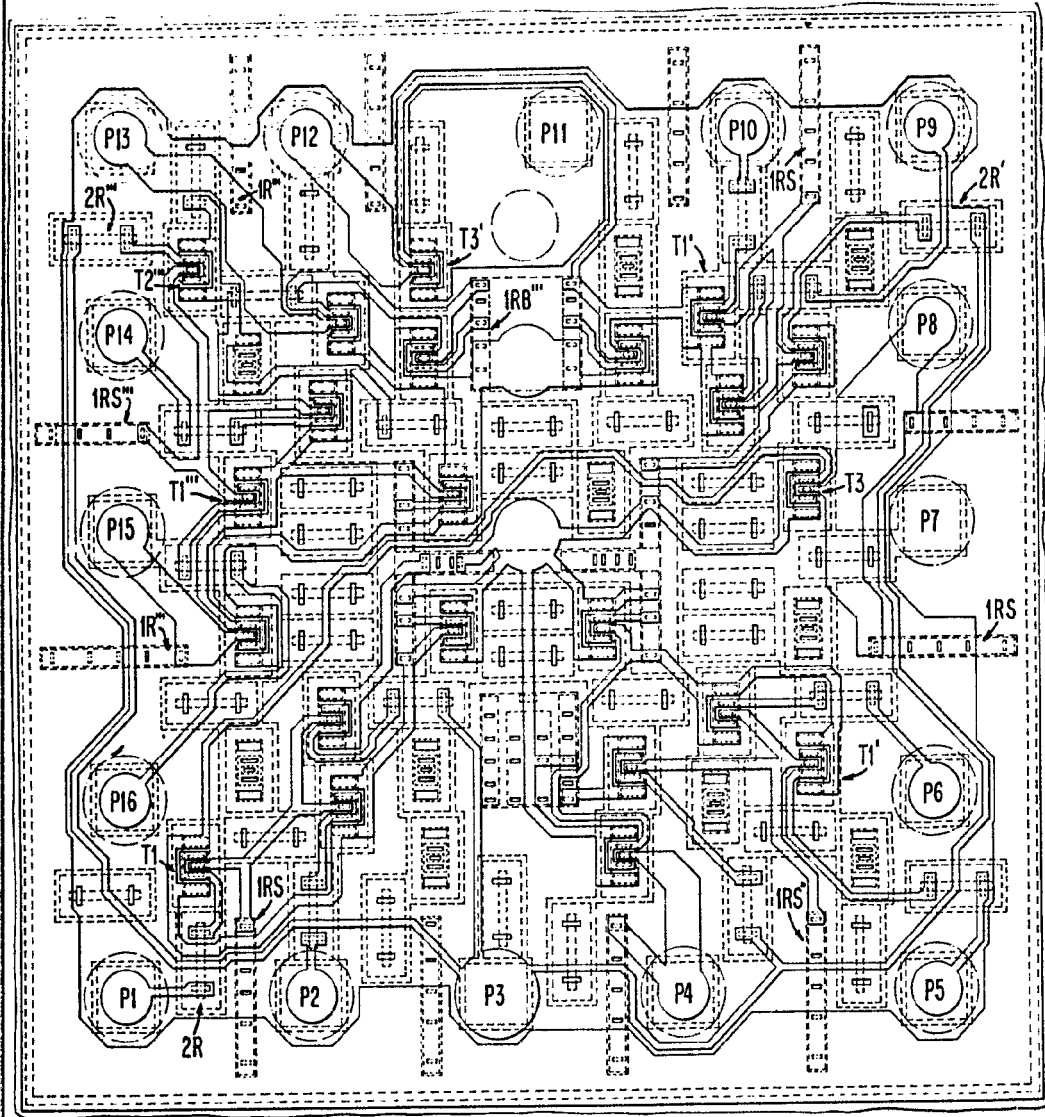
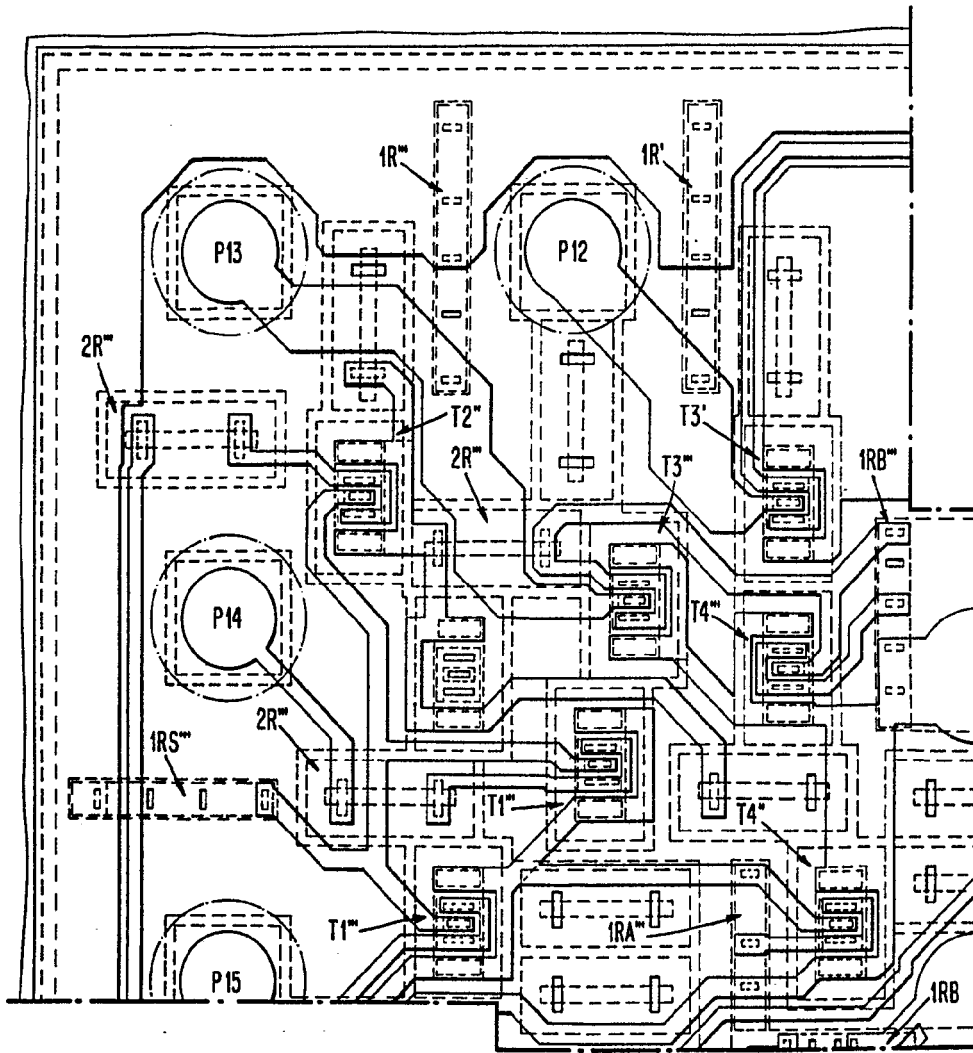


FIG. 21



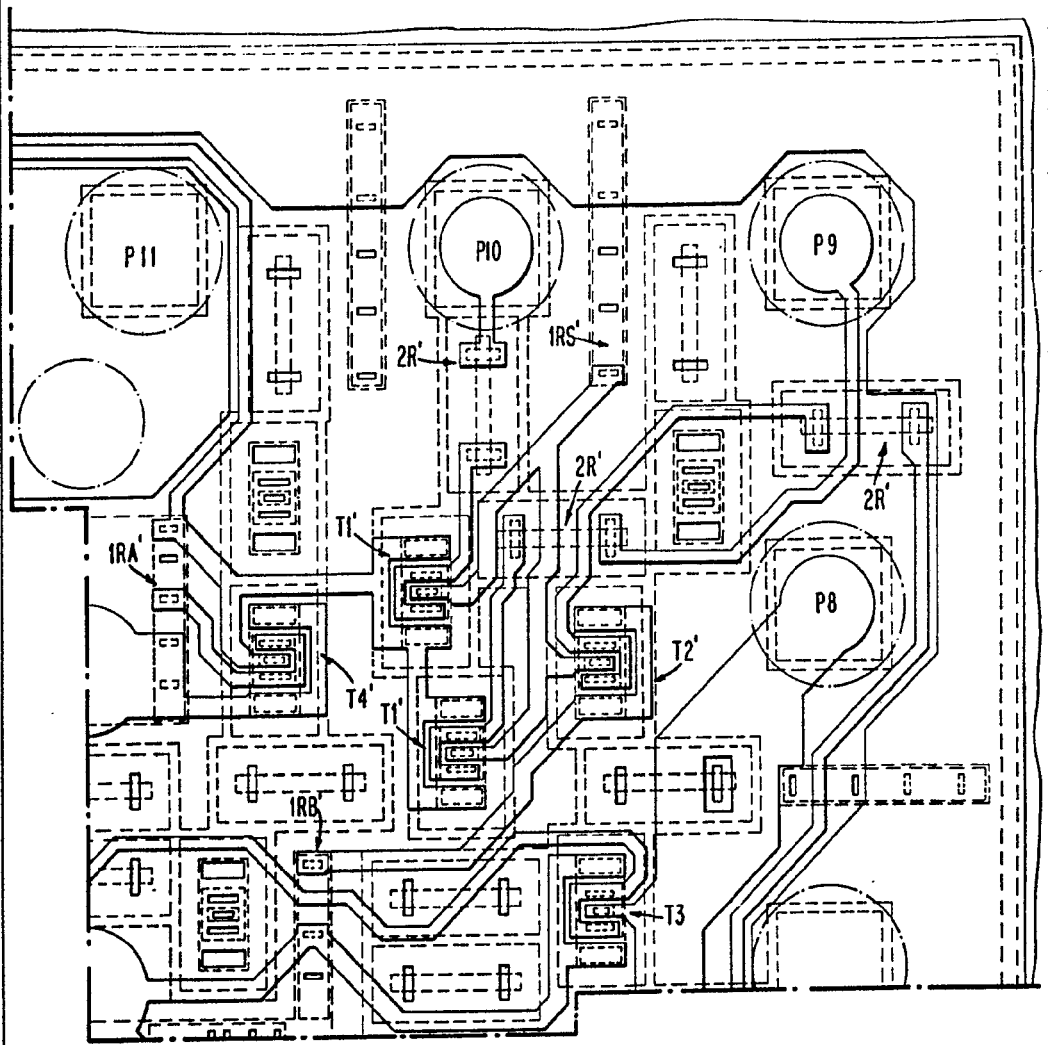
FIG. 21A



*Alberta Co. Inc.*  
Pat. Eng.



FIG. 21B



*[Handwritten signature]*  
IBM Corp.  
Armonk, N.Y.

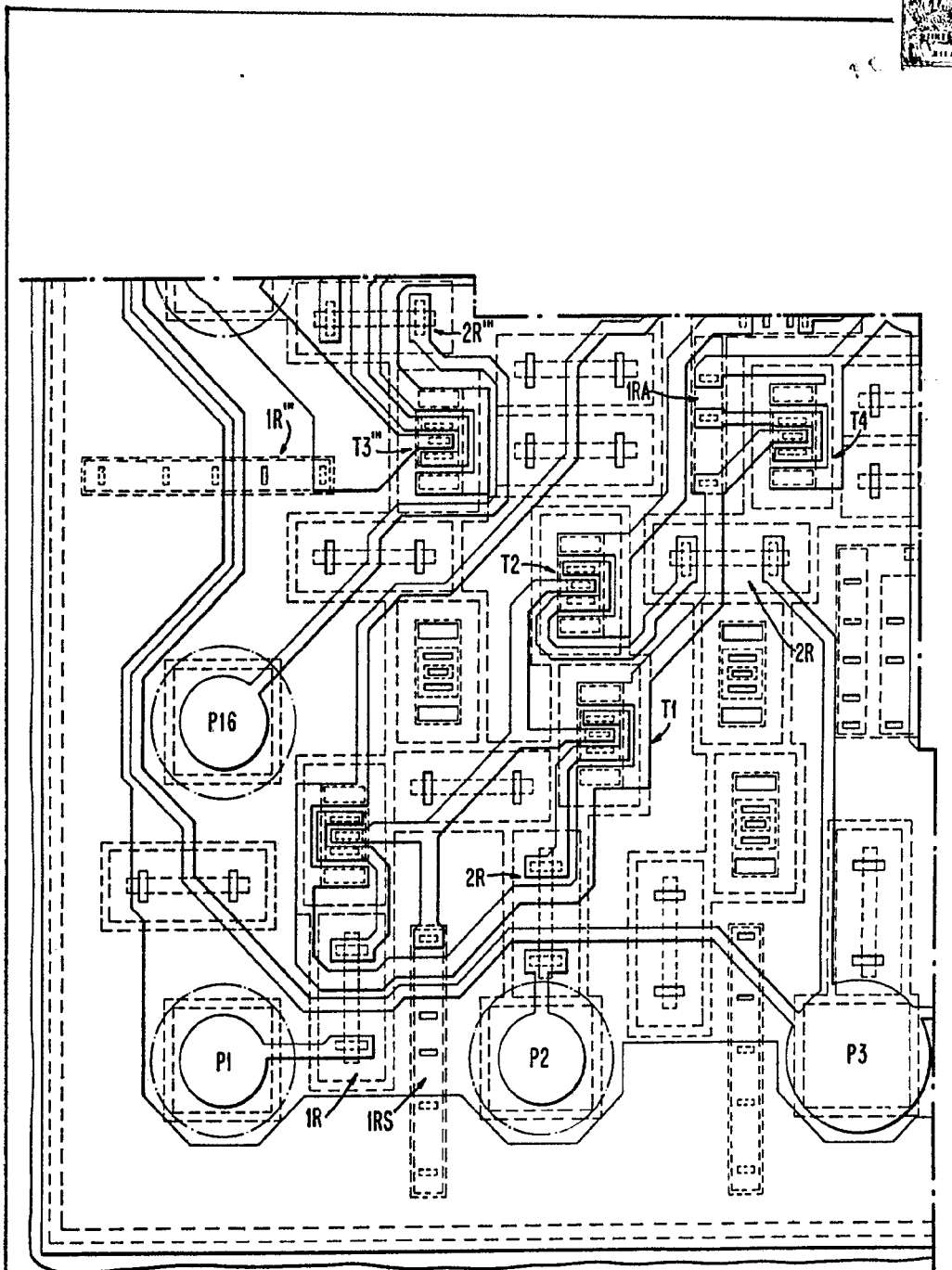
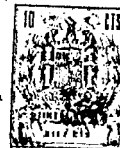


FIG. 21C

*Albert G. ...*  
IBM Corp.

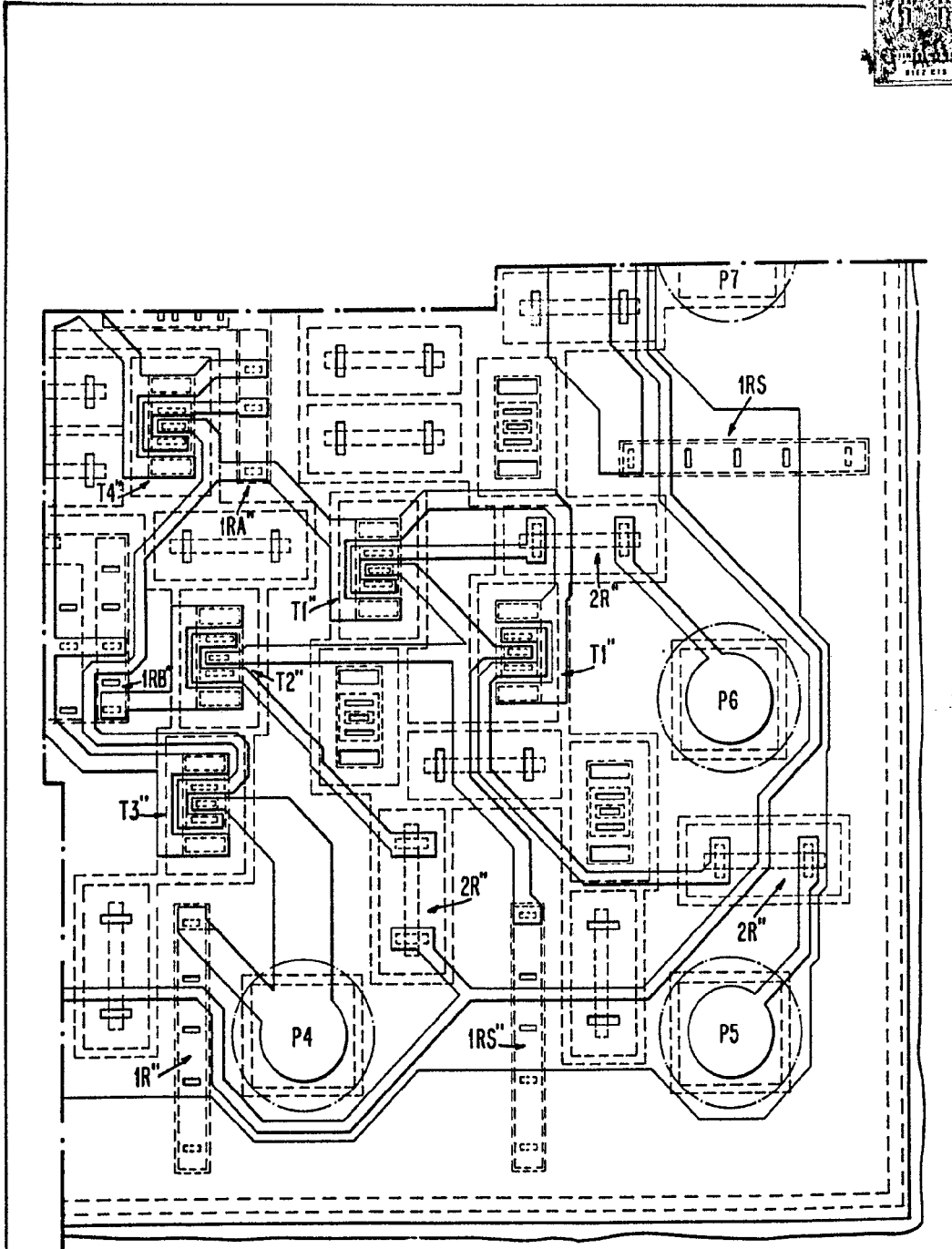


FIG. 21D

*[Handwritten signature]*  
3851

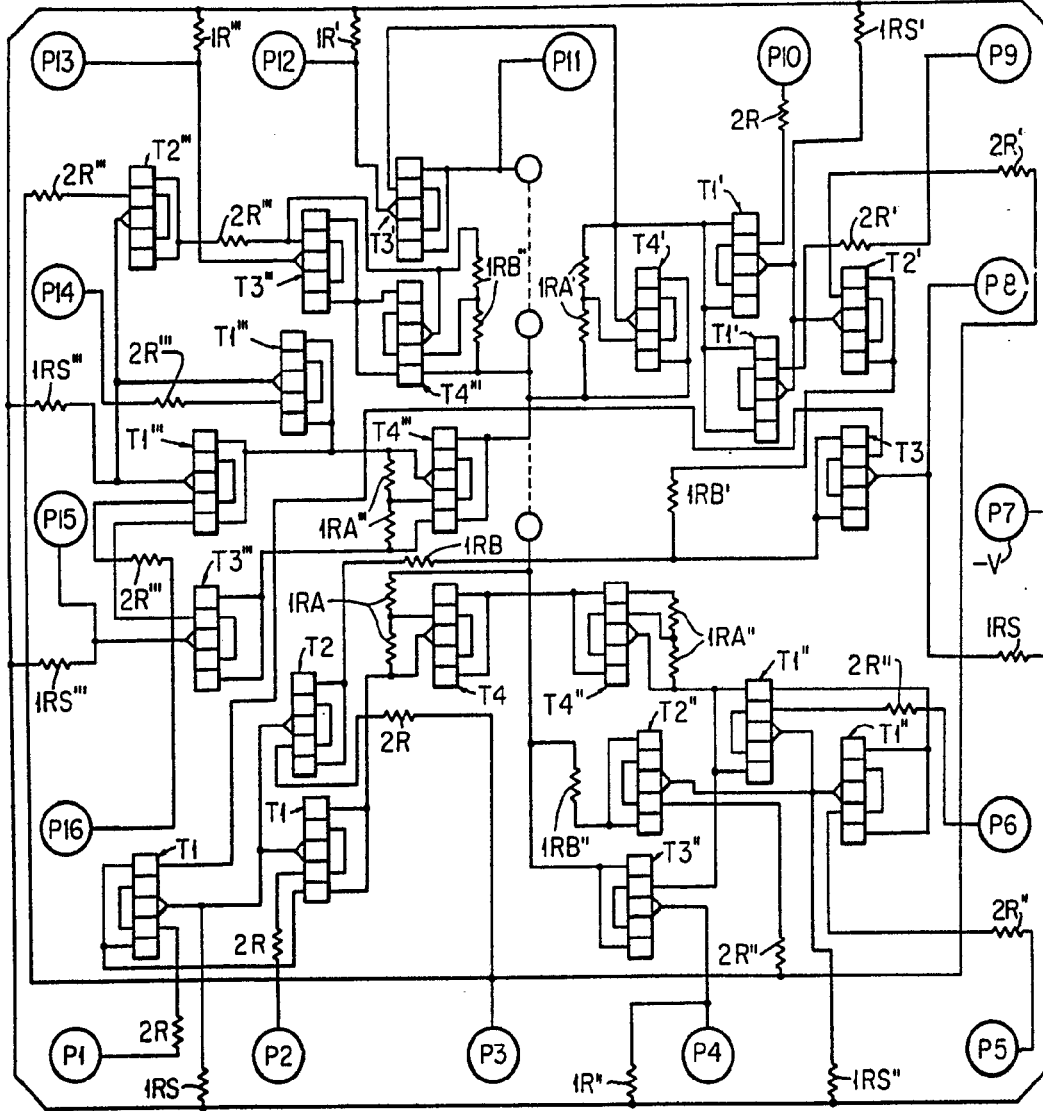


FIG. 22



19 100

230

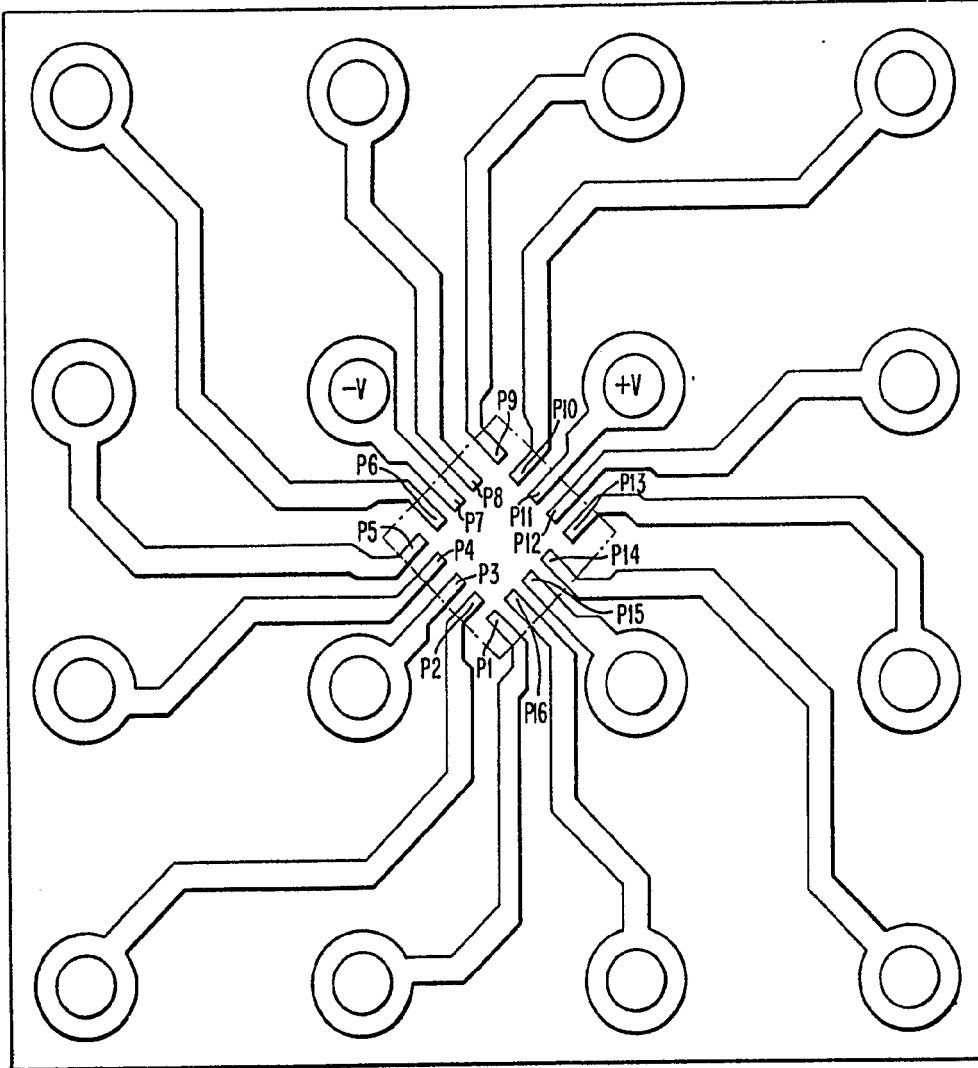


FIG. 23

*Handwritten signature*  
John de Elizabeth  
IBM