

352681

P - 38.042

IBM Docket GE

9-67-037

31 MAY



Memoria descriptiva

para solicitar PATENTE DE INVENCION en ESPAÑA por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, Nueva York, Estados Unidos de Améri
ca

por: "DISPOSICION PARA MULTIPLICAR DOS NUMEROS DECIMALES"
(Clase Internacional G06f)



La presente invención se refiere a una disposición de multiplicación que comprende medios de formar y acumular múltiplos del multiplicando.

5 En las disposiciones de multiplicación ya conocidas que funcionan basadas en el método de adición repetitiva simple ("over-and-over") del multiplicando se utiliza, sea el multiplicando, sea el doble del multiplicando, para formar el producto por acumulación (véase R.K. Richards: "Arithmetic Operations in Digital Computers" 10 ("Operaciones aritméticas en calculadoras numéricas"), Nueva York, 1955, pp. 252 a 255). A este fin se produce el multiplicando dos veces, y se determina el número de adiciones necesarias para el multiplicando o para el multiplicando duplicado, en función del dígito multiplicador sobre el que se opere en cada caso. A continuación, el 15 producto parcial formado se desplaza en relación con el campo del multiplicando, y se opera con el dígito multiplicador siguiente. De ese modo se efectúa la multiplicación de un multiplicando por 6 como multiplicador mediante 20 adición en tres veces del doble del multiplicando, en lugar de tener que añadir el multiplicando seis veces, como sucede con el método de adición repetitiva simple. En otras disposiciones ya conocidas se utilizan otros múltiplos del multiplicando, del mismo modo descrito, para 25 reducir el número de adiciones necesarias por dígito multiplicador.

30 En tales disposiciones, se reduce aún más el número de operaciones sumando o restando a discreción, de un producto parcial formado, el multiplicando o su múltiplo, según que el dígito de multiplicador a



5 tratar sea menor que seis o mayor que cinco (véanse pp. 260-261 del citado libro de R.K. Richards). Cuando se reste el multiplicando del producto parcial, se añade una unidad al dígito inmediato superior del multiplicador, de modo que, por lo que respecta al dígito multiplicador a tratar para la resta, es como si se sumara el multiplicando diez veces.

10 Hay además otras disposiciones de multiplicación que funcionan a base de multiplicarse simultáneamente un solo dígito del multiplicando por varios multiplicadores (v. libro cit., pp. 266-267). Los productos parciales formados se reúnen en un acumulador. La operación de multiplicar se completa después de haber sido tratados todos los dígitos del multiplicando.

15 Se ha pensado en construir un dispositivo de multiplicación para funcionamiento en paralelo, en el que los dígitos de dos operandos de varios dígitos se multipliquen simultáneamente por medio de un número de tablas de uno por uno (v., por ejemplo A.P. Speiser: "Digitale Rechenanlagen" ("Calculadoras numéricas"), Berlín 1961, pp. 199, 200). Ahora bien, los circuitos de conmutación e interrupción necesarios para tal dispositivo serían excesivos.

20 Es objeto de la presente invención una disposición de multiplicación que, sin utilizar un equipo esencialmente más complicado que el de las disposiciones de sumar o de sumar/restar repetitivas simples, permita obtener mayores velocidades de trabajo.

25 La disposición propuesta, en la cual se tratan dos dígitos de multiplicador en paralelo, ofrece



ce la ventaja de reducir considerablemente las operaciones de sumar y de sumar/restar, así como el número de desplazamientos de dígitos entre el producto parcial formado y el campo del multiplicando.

5

De las reivindicaciones pueden deducirse ventajosas formas de ejecución del invento. En la descripción que sigue se dan detalles ilustrativos de dos formas de realización del invento con referencia a los dibujos adjuntos, en los cuales:

10

- la figura 1 es un esquema funcional de conjunto o por bloques de una disposición de multiplicación con arreglo al presente invento, que opera sumando repetidamente el multiplicando o ciertos múltiplos;

15

- la figura 2 es un esquema funcional de detalle de un regulador de tiempos para uso en la disposición de la fig. 1;

- la figura 3 es un diagrama de impulsos del funcionamiento de las disposiciones de las figs. 1 y 2;

20

- la figura 4 indica la relación existente entre las figuras 4a y 4b;

- las figuras 4a y 4b son en conjunto el esquema funcional de otra forma ventajosa de realización de la disposición del presente invento que opera sumando o restando repetidamente a discreción el multiplicando o ciertos múltiplos;

25

- la figura 5 es un esquema funcional de detalle de un regulador de tiempos para uso en la disposición de las figs. 4a y 4b; y

30

- la figura 6 es un diagrama de impulsos



del funcionamiento de las disposiciones de las figs. 4a, 4b y 5.

5 La forma de realización de la disposición de multiplicación del presente invento ilustrada en la fig. 1 comprende un sumador 1, un registro acumulador 2, una memoria 3 y varios registros 4 a 6 que sirven para tener acceso a la memoria 3. La memoria 3 puede ser la de trabajo del ordenador central (CPU) que use la disposición multiplicadora. Su salida va enlazada por medio de una barrera 7 con una de las entradas de operando del sumador. La salida del registro acumulador va conectada por medio de una barrera 8 a la otra entrada de operando del sumador 1, y por medio de una barrera 9 a la entrada de la memoria 3. En el ejemplo ilustrado, el sumador 1 está proyectado y construido como sumador binario decimal en paralelo que comprende tantos órdenes como dígitos contienen los factores a multiplicar. Cada orden decimal comprende cuatro órdenes binarios. El número de hilos o conductores incluido en las líneas de entrada de la fig. 1 corresponde al cuádruplo de los dígitos de operando. Cada uno de los hilos va asociado por separado a una barrera, en los circuitos de barrera 7 y 8. El registro acumulador 2, ideado y construido como registro de desplazamiento, comprende un número de etapas de registro para dar acomodo a los dígitos de salida procedentes del sumador 1. La línea de transferencia, representada por una sola línea, desde la salida del registro 2 a la entrada de la memoria, incluye un número de hilos que corresponde a un múltiplo de las posiciones de registro. Cada hilo va asociado por separado a una barrera, en el circuito de barrera 9. Por medio de un impulso de regulación de tiempos t_{3B} , el contenido del registro 2 es desplazado en dos dígitos decimales o en



dos tetradas binarias a la derecha.

5 La salida de la memoria 3 está también
enlazada con dos registros contadores 12, 13 por medio de
una barrera 11. Cada uno de los registros contadores sir-
ve para dar acomodo a un dígito del multiplicador. El re-
registro 12, denominado en lo que sigue registro de a, sir-
ve para dar acomodo al dígito de orden superior; y el re-
registro 13, denominado en lo que sigue registro b, sirve
para recibir el dígito de orden inferior de un par de dí-
gitos de multiplicador tomados simultáneamente de la memo-
ria 3 por medio de la barrera 11.

10 La memoria 3 , además de otros varios
campos de almacenaje, comprende cinco campos necesarios
para el funcionamiento de la disposición de multiplicación
15 indicada. Los campos en cuestión son el de multiplicar Mr,
un campo de producto Pt y tres campos de multiplicando Md-I,
Md-II y Md-III. Conforme a la invención se ponen en trata-
miento simultáneamente dos dígitos de multiplicador a, b.
Al principio de cada multiplicación, se introduce el mul-
tiplicando 1,0 Md en el campo de multiplicador Md-I, y en
20 los campos de multiplicando Md-II y Md-III se introducen
respectivamente valores iguales a 0,1 y 1,1 veces el mul-
tiplicando. Uno de estos valores es seleccionado según el
valor de los dos dígitos a, b del par de dígitos multipli-
cadores a tratar. Si los dos dígitos a, b son distintos
de cero, se selecciona el campo Md-III. Si es cero el dí-
gito de orden inferior (b) de los dos, y el de orden su-
perior (a) es distinto de cero, se elige el campo Md-I del
multiplicando. En cambio, si $a = 0$ y $b \neq 0$, se selecciona
25 el campo Md-II, de múltiplo 0,1. Finalmente, si $a \neq 0$ y b



31
≠ 0, se elige el campo Md-III, de múltiplo 1,1. La selección se efectúa por medio de dos etapas individualmente controladas 22, 23 del registro 6 que, por medio de la barrera 21, se usa para tener acceso a los campos de multiplicando.

5
Los campos de multiplicando Md-I, Md-II y Md-III están dispuestos en la memoria 3 de manera que sus direcciones de acceso difieren en sólo-dos órdenes binarios, en tanto que los órdenes de acceso restantes son comunes a los tres campos. Estos dos órdenes binarios están asociados a las etapas de registro 22,23 que, aunque se corresponden con las restantes etapas del registro 6, se activan independientemente de estas últimas, mediante líneas de entrada 24, 25 por separado. Todas las otras etapas de registro 6 son ajustadas por medio de una barra de acceso 26. Las etapas de registro 22, 23 corresponden de preferencia a los dos dígitos binarios de orden más bajo de la dirección de acceso de un vocablo de la memoria, de manera que los tres campos de multiplicando de la memoria 3 ocupan vocablos de almacenaje contiguos. Al designarse con V el contenido de la etapa de registro 22 y con W el contenido de la etapa de registro 23, se obtiene la relación siguiente:

<u>VW</u>	<u>Campos de multiplicando</u>	<u>Múltiplos de multiplicando</u>
10	Md-I	1,0
01	Md-II	0,1
11	Md-III	1,1

15
20
25
30
La parte 27 del registro 6, de la derecha de las etapas 22, 23, sirve para dar acomodo a los dígitos de acceso que definen de manera ya conocida las posiciones de la memoria y/o los bytes o grupos de bitios de un



vocablo de almacenaje. Pueden indicar la dirección de acceso del primer orden de un campo de operando (por ejemplo, del campo Md-I del multiplicando), a menos que este orden satisfaga el primer orden del particular vocablo de almacenaje.

5

Las etapas de registro 22, 23 se activan por medio de los registros 12, 13. Cada registro comprende cuatro etapas de circuito de relajación biestable o "flip-flop" FF ligadas o enlazadas entre sí de manera ya conocida para formar un circuito contador. Los circuitos contadores se ponen a cero paso a paso por medio de los impulsos de tiempos t1B, a partir de los dígitos de multiplicando introducidos en los registros 12, 13 por la línea 14. Las salidas asociadas a los estados de cero de los biestables FF contenidos en el registro 12 van conectadas a un circuito de coincidencia 30. Las correspondientes salidas del registro 13 están enlazadas con un circuito de coincidencia 31. Las salidas de los dos circuitos de coincidencia 30, 31 están conectadas a las entradas de las etapas de registro 22, 23 por medio de un circuito inversor 32, 33 y de un circuito disyuntivo 34, 35 cada una. Como las salidas de los circuitos de coincidencia 30, 31 sólo emiten señal cuando las etapas de los registros 12, 13 se hallan en su estado de cero, una señal que aparezca en la salida de las etapas inversoras 32 y/o 33 indica que el registro 12 y/o 13 contienen un valor distinto de cero. Estas señales indicativas, designadas a' y b', indican respectivamente que el dígito a de multiplicando contenido en el registro 12 es distinto de cero, y que el dígito de multiplicando b del registro 13 es distinto de cero.

10

15

20

25

30

27-5-68



Estas señales sirven para activar las etapas de registro 22, 23 del registro 6, por medio de las líneas 24, 25, de manera ya conocida: por ejemplo, en el caso de $a' = 1$, la etapa de registro 22 se pone a uno; y en el caso de $a' = 0$, la etapa de registro 22 se pone a cero. Las señales a' y b' se aplican también a los circuitos de barrera 38, 39, por medio de los cuales las señales de tiempos $t1B$ se trasladan en forma de impulsos contadores a los registros 12, 13. Después de haber llegado a cero el contenido de estos registros, los circuitos de barrera 38, 39 inhiben la aplicación de más impulsos contadores.

Los registros 4 y 5 sirven para tener acceso a los otros campos (el de producto Pt y el de multiplicador Mr) de la memoria 3 en la fig. 1. Al principio de cada multiplicación, se activan las direcciones de acceso de estos registros, por medio de las líneas ómnibus de acceso 40, 41. Durante la multiplicación, estas direcciones de acceso son trasladadas a través de las barreras 42, 43 y por medio de impulsos de regulación de tiempos $t0A$, $t2A$, a la memoria 3. Cada registro 4, 5 va asociado a un circuito 44, 45 de modificación de direcciones de acceso, por medio del cual y en los instantes apropiados durante la operación de multiplicar se reducen o decrecen en uno los valores de direcciones de acceso contenidos en los registros, mediante la aplicación de impulsos de tiempo $t3B$.

Los diversos impulsos de regulación de tiempo necesarios para hacer funcionar la disposición de la fig. 1 se generan por medio de un regulador de tiempos 50, ilustrado en la fig. 2 y que produce el programa de impulsos de la fig. 3. El regulador de tiempos com-



prende un generador de impulsos 51 que alternativamente genera impulsos tA y tB durante el tiempo en que hay una señal de control aplicada a la línea 52. El regulador de tiempos 50 comprende asimismo un contador 53 que consta de dos circuitos biestables, y está diseñado y construido de manera ya conocida para contar desde cero hasta tres. Las líneas de salida 54 a 57 y los circuitos de coincidencia 58 a 61 inclusive asociados a los estados de los dos biestables generan unas señales t0 a t3 inclusive. La señal t0 en unión de las señales de regulación de tiempos tA se trasladan desde el generador 51 a un circuito de coincidencia 62, que suministra por su salida una señal de regulación de tiempos tOA y, por tanto, es transmitida, en unión de las señales de tiempo tB, a un circuito de coincidencia 63 que da por su salida una señal de regulación de tiempos tOB. Las señales t1A, t1B se generan por medio de los circuitos de coincidencia 64 y 65. El lado de entrada del circuito de coincidencia 64 está conectado a la línea de señal t1, la línea de señal tA y una línea 37. La línea 37 da una señal a' + b' que, por medio de un circuito disyuntivo 36 (fig. 1), se deriva de las señales a', b' procedentes de los circuitos inversores 32 y 33. El circuito de coincidencia 64 da solamente señales de tiempo t1A cuando el contenido de por lo menos uno de los registros 12 y 13 es distinto de cero. Lo mismo puede decirse de las señales de tiempo t1B procedentes del circuito de coincidencia 65, que recibe las señales de tiempo tB por la primera entrada, la señal t1 por la segunda entrada y la señal a' + b' por la tercera entrada. Las señales de tiempo t2A y t2B se generan por medio de los cir



cuitos de coincidencia 66 y 67. El circuito de coincidencia 66 recibe señales de entrada de la línea t1 y de la salida tA del regulador de tiempos 51, así como la señal complementaria $\overline{a' + b'}$ que pasa por un circuito inversor 68.

5 La señal t2A se produce tan sólo cuando el contenido de los dos registros 12 y 13 (fig. 1), para un cómputo de 01 en 53, es igual a cero. El circuito de coincidencia 67 suministra una señal de salida t2B cuando se aplican impulsos a ambas líneas de señales t2 y tA. Por medio de un circuito de coincidencia 69 enlazado con las líneas de señales tB y t3 se genera una señal de tiempo t3B. Las señales t0B, t2A, t2B y t3B procedentes de los circuitos de coincidencia 63, 66, 67 y 69 hacen que avance el contador 53, por medio del circuito disyuntivo 70. Al ocurrir la última señal de tiempo t3B, el contador 53 vuelve del cómputo de 3 al de 0, iniciándose así un nuevo ciclo de regulación de tiempos.

En las páginas que siguen se describe el funcionamiento de la disposición de la fig. 1, tomando para ello como ejemplo la multiplicación decimal de $3\ 57\ 9,0$ x $46\ 2,0 = 16\ 53\ 49\ 8,0$. El funcionamiento da comienzo introduciéndose respectivamente el multiplicador $46\ 2,0$ y el multiplicando $03\ 57\ 9,0$ con sus múltiplos, respectivamente, en los campos Mr, Md-I, Md-II y Md-III de la memoria 3, durante la fase preparatoria. El multiplicador y el multiplicando se introducen en el campo Mr y en el Md-I de manera ya conocida, cuya descripción se omite. Mientras la dirección de acceso del multiplicando se introduce por una línea ómnibus de direcciones 26, un impulso P1 aplicado a través de la barrera 34 hace que la etapa de registro 22 se ponga a uno, y la etapa 23 siga a cero. A continuación, mientras se mantiene la direc-

5
10
15
20
25
30
27-5-68



ción de acceso introducida en la memoria por medio de un impulso P2, se toma de la memoria 3 el multiplicando y se traslada al registro acumulador 2, usando los impulsos de tiempo P3. El contenido del registro 2 se desplaza en un orden decimal a la derecha, por medio de un impulso de tiempo P4. A continuación se pone a uno la etapa de registro 23 con el auxilio de un impulso de tiempo P5, por medio del circuito disyuntivo 35, mientras la etapa de registro 22 sigue en su estado de cero, por no haber presente impulso P1. Un impulso de tiempo P6 devuelve a la memoria 3 el contenido del registro 2 que constituye el múltiplo 0,1 del multiplicando, llevándolo al campo Md-II al que se ha tenido acceso. A continuación, una nueva secuencia de impulso de tiempo P1, P2, P3, P4, P2, P3 hace que se sume una vez el contenido de los dos campos Md-I y Md-II. La suma, equivalente al múltiplo 1,1 del multiplicando, es devuelta a la memoria desde el registro 2 por medio de un impulso P6, después que la aparición simultánea de un impulso P1 y otro P5 haya hecho que las etapas de registro 22 y 23 se pongan a uno, para que a través de la barrera 21 y por medio de un impulso P2 se traslade a la memoria 3 la dirección de acceso del campo Md-III. Los impulsos de tiempo P1 a P6 se generan de manera ya conocida por medio de un regulador de tiempos especial, o de una unidad de microprograma. Estos medios se emplean también para hacer volver o reponer a cero el contador 53.

Con esto se da fin a la fase preparatoria. Como se ilustra en la tabla I que sigue, el valor 46 . 2,0 del multiplicador está en el campo de almacenaje Mr, el multiplicando 03 57 9,0 está en el campo Md-I de la me-

31



moria, el múltiplo por 0,1 del multiplicando (35 7,9)
está en el campo de almacenaje Md-II, y el múltiplo por 1,1
del multiplicando (03 93 6,9) está en el campo Md-III.

5

27-5-68

TABLA I

Fase preparatoria:

Contenido de Mr:	46 2,0	
Contenido de Md-I:	03 57 9,0	(1,0 x Md)
Contenido de Md-II:	35 7,9	(0,1 x Md)
Contenido de Md-III:	03 93 6,9	(1,1 x Md)

Fase de ejecución:

2 x 1,0 Md	{ 03 57 9,0	a = 2 → V = 1
	{ 03 57 9,0	b = 0 → W = 0
	07 15 8,0	guardar producto parciá
	00 07 1 5 (5,0)	desplazar producto parcial

dos órdenes a la derecha en el registro acumulador.

TABLA I (cont.)

	(03 93 69	a = 4 →	V = 1
	(03 93 69	b = 6 →	W = 1
4 x 1,1 Md	(03 93 69		
	(03 93 69		
	(35 79	a = 0 →	V = 0
2 x 0,1 Md	(35 79	b = 2 →	W = 1
	16 53 49		guardar producto parcial en
Producto	16 53 49 8,0		dirección Pt - 1





El transcurso de la operación de multiplicar se desprende de la tabla precedente. La multiplicación real y efectiva se inicia por medio de una señal de mando en la línea 52, que pone en marcha el generador de impulsos de tiempo 51. Este generador produce entonces un impulso de tiempo tOA (fig. 3), por medio del cual se traslada o transfiere a la memoria 3 la dirección de acceso del byte de orden más bajo del campo de multiplicador Mr. El impulso de tiempo tOB sucesivo, a través de la barrera 11, traslada a los registros 12, 13 los dos dígitos contenidos en el byte al que se ha tenido acceso y que se ha tomado de la memoria 3, pasando el dígito de orden superior ($a = 2$) al registro 12 de a y el dígito de orden inferior ($b = 0$) al registro 13 de b, respectivamente. Como el registro 12 de a contiene a continuación un valor distinto de cero, el circuito de coincidencia 30 no da señal de salida, de modo que el circuito inversor 32 da como salida una señal a' . En contraste con esto, el circuito de coincidencia 31 emite una señal, ya que el contenido del registro 13 de b es igual a cero, de manera que el circuito inversor 33 no genera señal de salida b' . A través de los circuitos disyuntivos 34 y 35, las etapas de registro 22, 23 del registro 6 se ponen a $V = 1$ y $W = 0$, respectivamente. En unión con el contenido de las otras posiciones de registro, el registro 6 contiene, pues, la dirección de acceso del campo de multiplicando Md-I. La señal a' llega al regulador de tiempos 50 a través de la barrera 36 y por la línea 37, condicionando el circuito de coincidencia 64, de modo que al ocurrir el impulso tA siguiente aparece una señal t1A



en la salida de este circuito de coincidencia. Esta señal abre la barrera 21 de la fig. 1, haciendo que pase la dirección de acceso desde el registro 6 a la memoria 3. La señal que aparece en la línea 37 abre asimismo la barrera de coincidencia 65 del regulador de tiempos 50 (fig. 2), de modo que el siguiente impulso tB que atraviesa este circuito de coincidencia genera una señal de tiempo t1B que abre la barrera 7 (fig. 1) y hace que el contenido del campo de multiplicando Md-I se traslade al registro acumulador 2 por el sumador 1. El impulso de tiempo t1B da asimismo por resultado que se reduzca o disminuya en uno el contenido del registro 12 de a. A continuación, este registro contiene el valor 1. Como esto hace que el circuito de coincidencia 30 deje de conducir y que en la línea 37 siga apareciendo la señal de impulsos, el proceso descrito se repite, lo que significa que se genera una señal t1A a través del circuito de coincidencia 64 del regulador de tiempos 50, y una señal t1B a través del circuito de coincidencia 65, de manera que el contenido del campo Md-I vuelve a ser tomado de la memoria 3 y transferido al sumador 1 a través de la barrera 7. En el sumador, este valor se suma al contenido del registro 2, que ha sido trasladado a la segunda entrada de operando del sumador a través de la barrera 8, abierta por un impulso t1B. El nuevo impulso de tiempo t1B hace que disminuya en uno el contenido del registro 12 de a, de modo que este registro contiene a continuación el valor cero. Ello da lugar a que el circuito de coincidencia 30 entre en conducción, y desaparezca la señal a' de la salida del circuito inversor 32, de modo que el



circuito disyuntivo 36 deja de conducir. Como la línea 37 no emite señal alguna, siguen inhibidos los circuitos de coincidencia 64 y 65 y el regulador de tiempos 50, en tanto que el circuito de coincidencia 66 está preparado para la

5 generación de un impulso, por una señal de salida procedente del circuito inversor 68. El siguiente impulso tA hace que aparezca una señal de tiempo t2A en la salida de este circuito de coincidencia, por medio de lo cual se abre la barrera 42 (fig. 1), y se traslada a la memoria 3 la dirección de acceso del campo de producto Pt. La misma señal

10 de tiempo t2A, por medio del circuito disyuntivo 70 (fig. 2), hace que avance un paso el contador 53 del regulador de tiempos 50, de modo que este último genera una señal t2 por medio del circuito de coincidencia 60. Esta señal con

15 diciona el circuito de coincidencia 67, que en el siguiente instante tB deja pasar una señal de tiempo t2B. Esta señal abre la barrera 9 (fig. 1), dejando pasar el contenido del registro 2 al campo de almacenaje Pt al que se ha tenido acceso. Aunque en el campo Pt está almacenado el producto

20 parcial 7158,0, el mismo valor permanece también en el registro 2. A continuación, el regulador de tiempos 50 suministra como se ha descrito una señal de tiempo t3B, por medio de la cual el contenido del registro acumulador 2 es desplazado en un byte, o sea dos órdenes decimales, a la derecha, de manera que se dejan a un lado los dos órdenes más

25 bajos del contenido del registro 2. La señal de tiempo t3B hace que asimismo tengan efecto los circuitos 44 y 45 de modificación de direcciones de acceso, por medio de los cuales se reduce o disminuye en uno el contenido de los registros 4 y 5. Las direcciones de acceso guardadas en estos registros, pues, se hacen avanzar hasta

30



el segundo byte (por la derecha) de los campos de almace-
naje Mr y Pt. Al avanzar el contador 53 a cero por la ac-
ción de la señal de tiempo t3B, a través del circuito dis-
yuntivo 70, se inicia un nuevo ciclo del regulador de
5 tiempos 50. El nuevo ciclo da principio con la generación
de las señales de tiempo tOA y tOB, por medio de las cua-
les se traslada a los registros 12 y 13 el segundo byte
de multiplicador seleccionado mediante la dirección de ac-
ceso. Este byte incluye los órdenes decimales tercero y
10 cuarto del multiplicador, esto es, los dos más altos (los
valores 6 y 4). La multiplicación del multiplicando por
estos dos órdenes del multiplicador es semejante a la ope-
ración de multiplicar por los dos primeros órdenes del
multiplicador, y puede seguirse por medio de la tabla I.
15 Como se indica en esta tabla, el múltiplo por 1,1 del multi-
plicando (03 93 69) contenido en el campo Md-III se suma
cuatro veces durante el segundo ciclo del regulador de
tiempos. Como tanto el contenido del registro 12 como el
del registro 13 son distintos de cero en el instante t1A,
20 se emiten señales a" y b" por las salidas de los circuitos
inversores 32 y 33, y estas señales activan las etapas 22
y 23, con arreglo a $V=1$ y a $W=1$, para tener acceso al
campo Md-III. Tras haber sido sumado cuatro veces el múl-
tiplo por 1,1 (03 93 69) del multiplicando, se suma dos
25 veces durante el mismo ciclo del regulador de tiempos el
múltiplo por 0,1 del multiplicando (35 79). Este último
valor se suma cuando el valor 4 introducido en el regis-
tro 12 de a al principio de este ciclo del regulador de
tiempos haya sido disminuido hasta cero como consecuencia
30 de la aplicación de cuatro señales de tiempo t1B. Como



5 el contenido del registro 13 de b, que se reduce o disminuye en la misma extensión, como ya se ha dicho, es igual a dos en esta etapa, las etapas de registro 22 y 23 se activan con arreglo a $V = 0$ y $W = 1$, dando acceso al campo Md-II de la memoria 3. Después de reducido a cero el contenido del registro 13 durante los sucesivos ciclos $t1A$ y $t1B$, la falta de señales a' y b' hace que el regulador de tiempos 50 genere las señales de tiempo $t2A$, $t2B$ y $t3B$, como se ha dicho. Estas señales de tiempo guardan en el campo de producto Pt de la memoria 3 el producto parcial acumulado en el registro 2. Durante esta operación se inscriben encima los dígitos de la suma parcial introducidos en los mismos órdenes del campo de producto, de manera que el contenido del campo de producto Pt al terminar el segundo ciclo del regulador de tiempos es 16 53 49 8,0, cuyos dos órdenes inferiores (8,0) se generaron durante el primer ciclo de regulación de tiempos mientras los restante órdenes lo fueron durante el segundo ciclo del regulador de tiempos. De esta manera se termina la multiplicación.

20 Otra ventajosa forma de realizar la disposición de multiplicación del presente invento es la que puede apreciarse por las figs. 4a y 4b. La disposición ilustrada en estas figuras funciona sumando y restando a discrección el multiplicando o sus múltiplos, según los dos dígitos de multiplicador a tratar en paralelo sean menores que seis o mayores que cinco. Los elementos y partes de las figs. 4a y 4b que son iguales a los descritos en relación con la fig. 1 llevan los mismos símbolos de referencia que en ésta, distinguidos con un apóstró-



trofo o índice ('). Sólo el sumador 1' (fig. 4b) y los registros 12' y 13' (figs. 4a) desempeñan funciones adicionales. El sumador 1', en contraste con el sumador 1 (fig. 1), puede ponerse a discreción a sumar o restar, por medio de las líneas de control 71, 72. De modo correspondiente, hay un registro 12' de a y un registro 13' de b proyectados y contruidos de manera ya conocida como registros contadores, y que por medio de unas líneas de control 73, 74 y/o 75, 76 pueden hacerse variar a discreción por incrementos de +1 o por decrementos de -1, según se haya de aumentar o disminuir el contenido de los registros.

La principal diferencia entre la disposición de las figs. 4a y 4b respecto a la de la fig. 1 reside en que en las primeras, además de los múltiplos indicados, se usa un múltiplo por 0,9 del multiplicando en los casos en que los dígitos a y b de un byte de multiplicador a tratar sean distintos de cero, y en que uno de los dígitos sea mayor que cinco. En tal caso, la multiplicación se efectúa sumando o restando el múltiplo por 0,9 del multiplicando, en lugar de sumar el múltiplo por 1,1 del multiplicando, viniendo el número de subtracciones determinado por el complemento a diez de los particulares dígitos del multiplicador. De modo correspondiente, la memoria 3' comprende cuatro campos de multiplicando Md-I', Md-II', Md-III' y Md-IV, identificados por los dígitos binarios V' y W' almacenados en las etapas 22' y 23' del registro 6'. Entre los campos de almacenaje indicados y los dígitos binarios V' y W' de acceso existe la relación siguiente:



V'W'	Campos de almacenaje de multiplicando	Múltiplos de multi- plicando
01	Md-I'	1,0
00	Md-II'	0,1
11	Md-III'	1,1
10	Md-IV	0,9

5

10

15

20

25

Los dígitos de acceso V' y W' vienen determinados en función de los dos dígitos a y b de un byte de multiplicador introducido en los registros contadores 12' y 13'. Como en el ejemplo ya descrito en relación con la fig. 1, los biestables de estos registros, por medio de los circuitos de coincidencia 30' y 31' (fig. 4), se examinan para ver si tienen de contenido cero. La señal de salida de estos circuitos de coincidencia es convertida en las señales a' y b' por medio de los circuitos inversores 32' y 33'. La aparición de las señales a' y b' indica que los dígitos a y b contenidos en los registros 12' y 13' son distintos de cero. Las mismas señales de salida se producen cuando las señales de salida de los circuitos de coincidencia 78, 79 de los registros 12' y 13' asociados indican un valor decimal de 10, lo que puede ocurrir al contar hacia arriba durante operaciones de substracción iterativa. A este fin, los circuitos de coincidencia 78, 79 están conectados a las salidas de UNO de las etapas de registro de los órdenes binarios 2 y 8, y las salidas de cero de las restantes etapas de registro de los órdenes binarios 1 y 4, en los registros 12' y 13' asociados.

30

Además, del contenido de los registro se derivan unas señales indicativas α y β . Una señal α



indica que el contenido del registro 12' de a, es decir, el dígito de multiplicador a, es mayor de cinco. Una señal β indica que el contenido del registro 13' de b, es decir, el dígito de multiplicador b, es mayor de cinco. Las señales α y β para los registros 12' y 13' se generan respectivamente por medio de un circuito de coincidencia 80 y un circuito disyuntivo 82 para la primera, y de un circuito de coincidencia 81 y un circuito disyuntivo 83 para la segunda. La salida del circuito de coincidencia 80, que va conectado a las salidas de UNO de las etapas de registro del registro 12' asociadas a los órdenes binarios 2 y 4, va conectada a una entrada del circuito disyuntivo 82. El circuito disyuntivo 82, por medio de una segunda entrada, percibe la salida de UNO de la etapa de registro correspondiente al valor de 8 binario. El circuito disyuntivo 82 suministra una señal α de salida cuando en el registro 12' de a están contenidos los dígitos 6, 7, 8 o 9. Al aparecer una señal de tiempo t2B, esta señal se transfiere por medio de un circuito de coincidencia 84, a un biestable 86 donde queda transitoriamente almacenada. La salida de UNO del biestable 86 va asociada a la señal α , y su salida de cero a la señal $\bar{\alpha}$. De igual manera, la señal β es producida por medio del circuito de coincidencia 81 y del circuito disyuntivo 83 en función del contenido del registro 13' de b. Esta señal, en lugar de ser transitoriamente almacenada, se utiliza de inmediato. El almacenaje transitorio de la señal α se necesita tan sólo para poder añadir uno al dígito de multiplicador de orden inmediato superior, es decir, al dígito b del siguiente byte de multi-

31



plicador, a controlar si el dígito a del byte tratado es mayor que cinco, regulándose de ese modo las subtracciones iterativas.

5 Las señales a' , b' , α y β derivadas del contenido de los registros $12'$ y $13'$ dan por resultado los dígitos V' y W' (véase la tabla II), para la selección de los múltiplos de multiplicando necesarios, y a las señales de control ADD, SUB que aparecen en las líneas 71 y 72 para controlar el sumador $1'$, para las
10 operaciones de sumar y restar.

TABLA II

a' b'	α β	V'W'	Multiplos del multiplicando	Campos de almacenaje del multiplicando	Control del sumador
1 1	0 0	1 1	1,1	Md-III'	ADD
1 1	1 1	1 1	1,1	Md-III'	SUB
1 1	0 1	1 0	0,9	Md-IV	ADD
1 1	1 0	1 0	0,9	Md-IV	SUB
1 0	0 0	0 1	1,0	Md-I'	ADD
1 0	1 0	0 1	1,0	Md-I'	SUB
0 1	0 0	0 0	0,1	Md-II'	ADD
0 1	0 1	0 0	0,1	Md-II'	SUB

31 MAR 1954





La Tabla II da por resultado las siguientes relaciones lógicas para los dígitos V' y W' :

$$V' = a'b'$$

$$W' = (\alpha\beta + \overline{\alpha}\overline{\beta}) a'b' + a'\overline{b'}$$

5

Las relaciones lógicas para las señales ADD y SUB de control del sumador que aparecen en las líneas 71, 72 son las siguientes:

$$\text{ADD} = a' \overline{\alpha} + \overline{a'}b' \overline{\beta}$$

10

$$\text{SUB} = a' \alpha + \overline{a'}b' \beta \approx \overline{\text{ADD}}$$

15

El circuito lógico 85 (fig. 4b) está proyectado con arreglo a los principios algebraicos y a las relaciones indicadas. Además de recibir las señales a' , b' , α y β y sus complementos $\overline{a'}$, $\overline{b'}$, $\overline{\alpha}$ y $\overline{\beta}$ por líneas independientes, el circuito 85 suministra las señales de salida V' y W' , así como las de ADD y SUB. Las señales V' y W' se llevan a la entrada de las etapas 22' y 23' del registro 6', en tanto que la unidad o dispositivo 1' de sumar y restar recibe las señales ADD y SUB, por las líneas 71, 72, como señales de control de funcionamiento.

20

25

Las señales de tiempo necesarias para hacer funcionar la disposición de multiplicación de las figs. 4a y 4b se generan por medio del regulador de tiempos 90, cuyo diseño puede verse en la fig. 5 y que produce un programa de impulsos con arreglo a la fig. 6. El proyecto y ejecución del regulador de tiempos 90 son iguales a los del regulador de tiempos 50 de la fig. 2, con la única diferencia de que el primero define cinco ins-

30



31 M

5 tantes de señal t1 a t5, y hace uso de un contador 53' que comprende tres etapas binarias. Cada una de las se-
ñales t1 a t5 se lleva a dos circuitos de coincidencia (por ejemplo, la t0 a los circuitos de coincidencia 91, 92),
que reciben como segunda señal de entrada un impulso de tiempo tA o tB, y que generan una señal de tiempo tOA a t4A y/o TOB a t5B. Las señales de tiempo t3A y t3B generadas por los circuitos de coincidencia 94, 95 sirven para controlar los ciclos de suma y resta iterativas. Es-
10 tos circuitos de coincidencia reciben por la línea 37' la señal a' + b'. La función de los circuitos de coinciden-
cia 94, 95 y de un circuito de coincidencia 96 que produce la señal de tiempo t4A corresponde a la función de los circuitos de coincidencia 64, 65 y 66 de la fig. 2. Los
15 circuitos de coincidencia 94 y 95 reciben impulsión alternativamente por medio de los impulsos de tiempo tA y tB, mientras se disponga de la señal a' + b' en la línea 37'. Si desaparece esta señal, se condiciona el circuito de
coincidencia 96 a través del circuito inversor 68', y se interrumpen los ciclos de t3A y t3B mientras continúa el ciclo del regulador de tiempos. La última señal de tiem-
20 po t5B de un ciclo del regulador de tiempos sirve, entre otras cosas, para reponer a cero el contador 53', iniciándose un nuevo ciclo del regulador de tiempos mediante la generación de una señal t0.

25 En lo que sigue se describe el funcionamiento de la disposición de las figs. 4a y 4b, tomando como ejemplo la multiplicación
30 $3\ 57\ 9,0 \times 46\ 2,0 = 16\ 53\ 49\ 8,0$, y la tabla III que sigue.

TABLA III

Fase preparatoria
 Contenido de M_r :
 Contenido de M_d-I' :
 Contenido de M_d-II' :
 Contenido de M_d-III' :
 Contenido de M_d-IV' :
Fase de ejecución:

46 2,0
 03 57 9,0
 35 7,9
 03 93 6,9
 03 22 1,1

(1,0 x Md)
 (0,1 x Md)
 (1,1 x Md)
 (0,9 x Md)

2 x 1,0 Md

{ 03 57 9,0
 { 03 57 9,0
 07 15 8,0
 00 07 1 5 (8,0)

$a = 2, a' = 1; \alpha = 0$
 $b = 0, b' = 0; \beta = 0$
 $V' = 0$
 $W' = 1$

guardar producto parcial
 desplazar producto parcial
 dos ordenes a la derecha en
 el registro acumulador



31 MAY 1968
RECEIVED
MAY 31 1968
MEXICO CITY

De modo análogo al de las operaciones descri-
tas en relación con la fig. 1, en la fase preparatoria se
introduce el multiplicador 46 2,0 en el campo Mr, y
el multiplicando 03 57 9,0 en el campo Md-I' de la me-
5 memoria 3. Además, se introduce el múltiplo por 0,1 del
multiplicando (35 7,0) en el campo Md-II' de la memoria
mientras el múltiplo por 1, 1 del multiplicando (03 93 6,9)
y el múltiplo por 09 del multiplicando (03 22 1,1) se
guardan respectivamente en Md-III' y Md-IV.

10 Los valores se introducen del modo descrito
en relación con la figura 1, utilizando impulsos de
tiempo P adecuados. Análogamente a como se hace en la
disposición de la fig. 1, los impulsos de tiempo P se
llevan a las etapas de registro 22' y 23' por medio de
15 circuitos disyuntivos 34' y 35'. El múltiplo por 0,9 del
multiplicando se obtiene restando del multiplicando su
múltiplo por 0,1.

La aplicación de una señal de control a la
línea 52' (fig. 5) inicia la operación efectiva de mul-
20 tiplicación, y el regulador de tiempos 90 da principio a
su primer ciclo. Por medio de la señal de tiempo tOA, la
dirección de acceso del multiplicador se traslada desde
el registro 5' a la memoria 3' a través de la barrera
43', introduciéndose el primer byte de multiplicador en
25 los registros 12', 13', a través de la barrera 11', por
efecto de la señal de tiempo sucesiva tOB. La señal de
tiempo siguiente t1A, a través de un circuito de coin-
cidencia 100, examina la salida de señal de UNO del bi-
estable 86, buscando la presencia de una señal α .
30 De haberse emitido tal señal durante un ciclo precedente

31 MAY 1968

del regulador de tiempos , el contenido del registro 13' de b se vería incrementado en una unidad a través de un circuito disyuntivo 101 y de la línea de control 75. En el presente caso, el biestable 86 se encuentra en su estado de cero, en el que sólo se emite una señal $\overline{\alpha}$. Esto hace que aparezca una señal de tiempo t1B en la entrada de reposición del biestable 86, que hace volver a cero a este último, a menos que el biestable esté ya en su estado de cero. De la misma manera, la señal t2A sucesiva, por medio del circuito de coincidencia 102 y del circuito disyuntivo 103, hace que la línea de señal 73 tenga efecto incrementando en uno el contenido del registro 12' de a, siempre y cuando se aplique una señal β existente a la salida del circuito disyuntivo 83, y por medio de la línea 104, a una segunda entrada del circuito de coincidencia 102 después de introducido el nuevo byte de multiplicador. En el caso descrito, el contenido del registro 13' de b es igual a cero, de modo que la línea 104 no recibe impulsos y el circuito 102 de coincidencia sigue inhibido. La sucesiva señal de tiempo t2B condiciona el circuito de coincidencia 84. Como el circuito disyuntivo 82 no da señal de salida alguna (el registro 12', de a contiene el valor 2, que es menor que 5), la barrera de coincidencia 84 sigue cerrada, y el biestable 86 (α) en su estado de cero.

Mientras tanto, los dígitos $a = 2$ y $b = 0$ existentes en los registros 12'y 13' han hecho que vaya al circuito lógico 85 la combinación de señales $a' = 1$, $\bar{a}' = 0$, $b' = 0$, $\bar{b}' = 1$, $\alpha = 0$, $\overline{\alpha} = 1$, $\beta = 0$, $\overline{\beta} = 1$. A partir de esta combinación de señales, el cir-



cuito lógico 85 forma los dígitos de acceso $V' = 0$ y
 $W' = 1$, que se transfieren a las etapas 22' y 23' del
 registro 6', el cual contiene a continuación la direc-
 ción de acceso del campo Md-I' de la memoria. Esta di-
 rección de acceso se hace pasar a la memoria 3' por me-
 5 dio del impulso de tiempo t3A, a través de la barrera 21'.
 El sucesivo impulso de tiempo t3B traslada al registro
 acumulador 2', a través de la barrera 7' y de la unidad
 de sumar/restar 1', el contenido del campo Md-I' al que
 10 se ha tenido acceso. Al mismo tiempo, se condicionan los
 circuitos de coincidencia 105, 106, 107 y 108, por medio
 de la señal de tiempo t3B. La segunda entrada del cir-
 cuito de coincidencia 105 recibe la señal $\overline{\alpha}$, la se-
 gunda entrada del circuito de coincidencia 106 la señal
 15 α , la segunda entrada del circuito de coincidencia
 107 la señal \overline{b} , y la segunda entrada del circuito de
 coincidencia 108 la señal β . Los circuitos de coinci-
 dencia 106, 108, tienen cada uno una tercera entrada a la
 cual se aplican respectivamente las señales a' y b'. Como
 20 α y β son iguales a cero, la señal de tiempo t3B
 hace que sólo los circuitos de coincidencia 105 y 107
 emitan señales. Las salidas de estos circuitos de coin-
 cidencia van conectadas a las líneas de control 74 y 76
 que, mientras están activadas, hacen que disminuya en
 25 uno el contenido de los registros 12' y 13'. Esta ope-
 ración sólo afecta al registro 12', ya que el registro
 13' contiene ya cero, y el circuito de coincidencia 108
 está inhibido, por no haber señal b' presente. El regis-
 tro 12' contiene entonces el valor uno.

30 Debido a la existencia de la condición $a' =$



1 desde que el primer byte de multiplicador se introdujo
en los registros 12' y 13', la línea de control 37' emite
una señal que inhibe el contador 53' por medio de un cir-
cuito inversor 68' y 96 (fig. 5), de manera que el regula-
5 dor de tiempos 90 genera un nuevo ciclo de señales de tiem-
po $t3A - t3B$. La nueva señal de tiempo $t3A$ hace que se
vuelva a tener acceso al campo Md-I' de la memoria 3', y
que el contenido de este campo se suma al contenido del
registro acumulador 2' en el instante $t3B$ sucesivo. Este
10 registro contiene entonces el producto parcial 07 15 8,0
(véase la tabla III). Como durante el mismo momento $t3B$
se vuelve a reducir en uno el contenido del registro 12'
de a, este registro contiene a continuación el valor cero.
La señal existente en la línea 37' desaparece, de manera
15 que se inhiben los circuitos de coincidencia 94 y 95 (fig.
5) y se condiciona el circuito de coincidencia 96. La
aparición del siguiente impulso de tiempo $t4$ hace que el
regulador de tiempos 90 cambie a su estado de $t4$.

El impulso de tiempo $t4A$ que a continuación se
20 genera traslada la dirección de acceso del campo de pro-
ducto del registro 4' a la memoria 3', al abrir la barre-
ra 42'. El impulso de tiempo $t4B$ sucesivo traslada el con-
tenido del registro acumulador 2' al campo de producto Pt'
al que se ha tenido acceso. La última señal de tiempo $t5B$
25 del primer ciclo del regulador de tiempos desplaza el
contenido del registro acumulador 2', como se describe en
relación con la fig. 1, en un byte a la derecha. El mismo
impulso de tiempo hace también que disminuyan en uno las
direcciones de acceso contenidas en los registros 4' y 5'.
30 La señal de tiempo $t5B$ repone también a cero el contador

31 MAY 1968



53' (fig. 5), preparando así el regulador de tiempos 90 para un nuevo ciclo.

5 Las señales de tiempo tOA y tOB trasladan a los registros 12' y 13' el siguiente byte de multiplicador, que comprende los dígitos multiplicadores 4 y 6. Tras esta operación, los circuitos lógicos conectados a las etapas individuales de estos registros generan los estados de señal $a' = 1$, $\bar{a}' = 0$, $\alpha = 0$, $\bar{\alpha} = 1$, $b' = 1$, $\bar{b}' = 0$, $\beta = 1$, $\bar{\beta} = 0$. La condición $\beta = 1$ en el instantent2A hace que el circuito de coincidencia 102 entre en conducción y envíe un impulso a la línea de control 73, a través del circuito disyuntivo 73. Esto incrementa en uno el contenido del registro 12' de a, lo que quiere decir que el contenido de este registro pasa del valor cuatro al cinco. Los estados de señal indicados en su totalidad hacen también que el circuito lógico 86 genere los dígitos de acceso $V' = 1$ y $W' = 0$. El registro 6' contiene entonces la dirección de acceso del campo Md-IV de la memoria, en el cual se guarda el múltiplo por 0,9 del multiplicando, es decir, el valor 03 22 11. Durante los ciclos t3A-t3B que siguen, se añade este valor cuatro veces, como se indica, al contenido del registroacumulador 2'. Cada iteración modifica en una unidad el contenido de los registros 12' y 13'. Al indicar el biestable 86 $\alpha = 0$ y $\bar{\alpha} = 1$ para el registro 12', la barrera de coincidencia 106 sigue cerrada, y este registro se reduce o disminuye en el instante t3B, por medio del circuito de coincidencia 105. Para el registro 13' se indican unos estados de señal de $\beta = 1$, $\bar{\beta} = 0$, de modo que se cierra la barrera de coinciden-

31



5 cia 107 y se abre la barrera de coincidencia 108. En el
instante t3B, este último circuito de coincidencia hace
llegar a la línea de control 75, a través del circuito
disyuntivo 101, una señal por medio de la cual se incre-
menta en una unidad el contenido del registro 13' de b.
El procedimiento descrito se repite una vez por cada ite-
ración, de modo que tras la cuarta iteración el registro
12' de a y el registro 13' de b contienen respectivamente
los valores de uno y diez.

10 Al cambiar a diez el registro 13' de b, los
circuitos lógicos conectados a este registro dan un
nuevo estado de señales: $b' = 0$, $\bar{b}' = 1$, $\beta = 0$,
 $\bar{\beta} = 1$. Estas señales se trasladan al circuito lógico
85, donde se enlazan con las señales $a' = 1$, $\bar{a}' = 0$, $\alpha =$
15 0, $\bar{\alpha} = 1$ generadas por el registro 12' de a obteniéndose
se los dígitos de acceso $V' = 0$ y $W' = 1$. En el instante
t3A del quinto ciclo t3A-t3B durante el segundo ciclo del
regulador de tiempos, la dirección de acceso del campo
Md-I' de la memoria se traslada a la memoria 3'. La se-
ñal de tiempo t3B sucesiva hace que se sume el multipli-
cando al contenido del registro acumulador 2', que de ese
20 modo aumenta a 16 53 49. El mismo impulso de tiempos
se aplica a la línea de control 74, a través de la barrera
de coincidencia 105 abierta por el biestable 86, de ma-
nera que el contenido 1 del registro 12' de a se reduce
a cero. Como a continuación los dos registros 12' y 13'
están a cero, desaparece la señal de la línea 37', de
modo que se inhiben los circuitos de coincidencia 94 y
25 95, y el circuito de coincidencia 96 queda preparado pa-
ra dar paso a la siguiente señal de tA. Esta señal, que
30



5 inicia la señal de tiempo t4A, pone el contador 53' al estado de t4. La señal de tiempo t4A generada transfiere la dirección del campo de producto desde el registro 4', por medio de la barrera 42', hasta la memoria 3'. La siguiente señal de tiempo t4B transfiere el producto parcial contenido en el registro acumulador 2', por la barrera 9', a la memoria 3' donde es guardado en el campo de producto Pt' al que se ha tenido acceso.

10 Asi se concluye la operación de multiplicación efectiva. El campo de producto contiene el valor 16 53 49 8,0,y el regulador de tiempos 90 completa su segundo ciclo, desconectándose a continuación. El regulador de tiempos puede desconectarse al principio del tercer ciclo, si la retirada del siguiente byte de multiplicador, de la memoria 3', da lugar a una señal denotativa de final de campo.

15 Las formas de realización descritas pueden ser alteradas, por el hecho de que el múltiplo por 0,1 del multiplicando, en lugar de estar almacenado en la memoria, sea generado por medio de un circuito de desplazamiento dispuestos entre la salida de la memoria 3 y/o 3' y la entrada del sumador 1 y/o 1'. En este caso, el múltiplo por 0,1 del multiplicando se selecciona mediante la acción de obtener acceso al multiplicando por medio de uno de los dígitos de acceso V, W y/o V', W', en tanto que se usa el segundo dígito de la dirección de acceso para controlar el circuito de desplazamiento que dé lugar a que el multiplicando tomado de la memoria se desplace en un dígito a la derecha, formándose de ese modo el múltiplo por 0,1 del multiplicando.

31 MAY 1968



5 La disposición de multiplicación del presente invento puede modificarse también empleando para ello el principio de usar alternativamente el multiplicando simple y el duplicado para las diversas operaciones de sumar y restar. A este fin habrían de formarse los múltiplos por 2,0, 2,2 y 0,2 además del multiplicando y sus múltiplos por 0,1 y 1,1, al efectuar adiciones (funcionamiento de la forma de realización según la fig. 1). Estos múltiplos pueden seleccionarse de manera sustancialmente
10 análoga a la descrita en relación con las figs. 1, 4a y 4b. Cuando los múltiplos por 0,1 y por 0,2 y/o el multiplicando duplicado no se formen de la manera descrita, usando circuitos de desplazamiento y/o dobladores entre la memoria y el sumador, es posible utilizar tres órdenes
15 de acceso en el registro 6 para seleccionar los campos de almacenaje individuales del multiplicando. Hay otra modificación más, que consiste en que los múltiplos individuales del multiplicando, en lugar de ser guardados en campos de almacenaje por separado, se guardan en
20 registros independientes. En tal caso se emplearían las señales V, W, V', y W' para controlar los circuitos de barrera dispuestos entre las salidas de estos registros y la entrada del sumador 3 y/o 3'.

25 Esta solicitud que corresponde a la presentada en la República Federal Alemana el día 15 de abril de 1967, bajo el N^o J 33453 IXc/42m³ se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.



- N O T A -

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los siguientes:

10

15

20

25

30

27-5-68

1.- Disposición para multiplicar dos números decimales por tratamiento de parejas de dígitos de multiplicador en multiplicaciones parciales, caracterizado por el hecho de que se preparan el multiplicando y por lo menos sus múltiplos por 0,1 y 1,1 y de que por cada multiplicación parcial se traslada un par de dígitos de multiplicador contiguos llevándolos a dos registros de control, y de que, según el contenido de los registros de control en un momento dado, (a) se selecciona el multiplicando, o uno de sus múltiplos preparados, y se suma o se resta del contenido de un acumulador; y (b) se aumenta o disminuye en una unidad el contenido de cada registro de control que todavía no sea igual a un valor final dado, superior o inferior; repitiéndose estas dos operaciones hasta que el contenido de cada uno de ambos registros sea igual a un valor final.

2.- La disposición de la reivindicación 1, caracterizada por el hecho de que del contenido de cada uno de los dos registros de control se deriva una señal binaria de control que indica si el contenido es igual a cero o no es igual a cero, y de que según sea esta pareja de señales de control (a) se suma al contenido del acumu-



5 lador bien el multiplicando o bien su múltiplo por 0,1 o por 1,1 y (b) se disminuye en una unidad el contenido de cada uno de los dos registros de control, si todavía no es cero; repitiéndose estas dos operaciones hasta que el contenido de cada uno de los dos registros de control haya alcanzado el valor cero.

10 3. La disposición de la reivindicación 1, caracterizada por el hecho de que se suma el múltiplo por 1,1 del multiplicando si el contenido de ambos registros de control no es igual a cero, de que se suma el multiplicando si no es igual a cero el contenido de sólo el registro de control al cual se transfirió el dígito de multiplicador que estaba en la posición de dígitos de valor superior, y de que se suma el múltiplo por 0,1 del
15 multiplicando si el que no es igual a cero es el contenido de sólo aquel registro de control al cual se transfirió el dígito de multiplicador que estaba en la posición de dígitos de valor inferior.

20 4. La disposición de la reivindicación 2, caracterizada por el hecho de que las dos señales binarias de control se usan directamente como formando parte de una dirección de acceso para la selección del multiplicando o de uno de sus múltiplos preparados.

25 5. La disposición de la reivindicación 1 o la 3, caracterizada por el hecho de que el multiplicando y sus múltiplos preparados se guardan en lugares contiguos del dispositivo de almacenaje o memoria principal de un sistema ordenador de datos.

30 6. La disposición de la reivindicación 1, caracterizada por el hecho de que los registros de con-

31 MAY 1968

trol están constituidos por unos contadores decimales.

5 7. La disposición de la reivindicación 1, caracterizada por el hecho de que, además del multiplicando y de sus múltiplos por 1,1 y por 0,1, se prepara su múltiplo por 0,9; de que el contenido a del registro de control al cual se transfiere siempre el dígito de multiplicador de la posición de dígitos de valor superior se deriva una primera señal binaria de control a' , con la relación $a' = 0$ si $a = 0$ y $a' = 1$ si $a \neq 0$, y se deriva una segunda señal binaria de control α con arreglo a la relación $\alpha = 0$ si $0 \leq a \leq D$ o bien $a = 10$, y $\alpha = 1$ si $(D+1) \leq a \leq 9$, con $0 < D < 9$; de que del contenido b del registro de control al cual se transfiere siempre el dígito de multiplicador de la posición de dígitos de valor inferior se deriva de la misma manera una primera señal binaria de control b' y una segunda señal binaria de control β ; y de que, según sean estas señales de control, (a) el multiplicando o uno de sus múltiplos preparados se suma a o se resta del contenido del acumulador de acuerdo con la regla siguiente:

10

15

20

31 MA

si			entonces	
a'	b'	α β		
1	1	0 0	sumar	1,1 multiplicando
1	1	1 1	restar	1,1 "
1	1	0 1	sumar	0,9 "
1	1	1 0	restar	0,9 "
1	0	0 0	sumar	1,0 "
1	0	1 0	restar	1,0 "
0	1	0 0	sumar	0,1 "
0	1	0 1	restar	0,1 "

31 MAY 1968



5 y(b) el contenido de cualquier registro de control que to-
davía no sea igual a cero o a diez, se aumenta en una uni-
dad si la segunda señal de control correspondiente (α ,
 β) es igual a uno, o bien se reduce en una unidad
si la segunda señal de control correspondiente es igual a
cero; repitiéndose estas dos operaciones hasta que el con-
tenido de ambos registros de control sea bien cero o bien
diez, previéndose la incorporación de un dígito de pase o
"lleva" a la siguiente posición de dígitos del multipli-
cador, para cualquier registro de control cuyo contenido
10 llegue por aumentos al valor final de cero o de diez.

8.- La disposición de la reivindicación 7, ca-
racterizada por ser $D = 5$.

15 9. Disposición para multiplicar dos números de-
cimales.

Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

20 Esta Memoria constade cuarenta y dos hojas es-
critas a máquina por una sola cara.

Madrid, 31 MAY. 1968

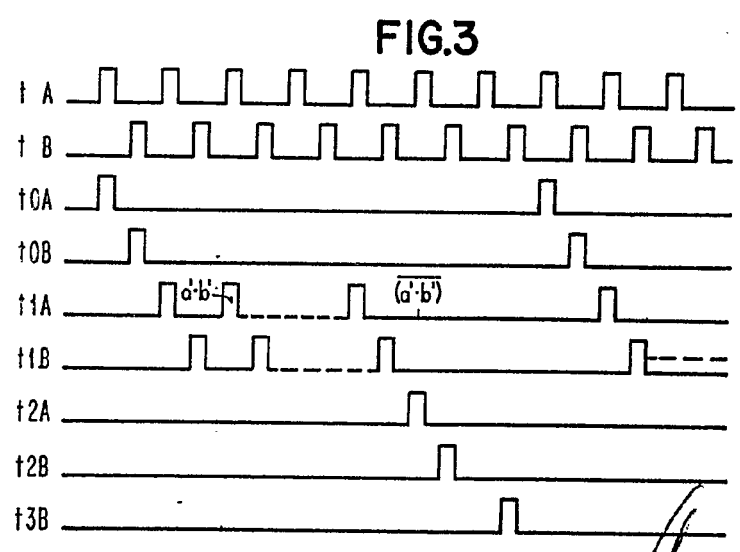
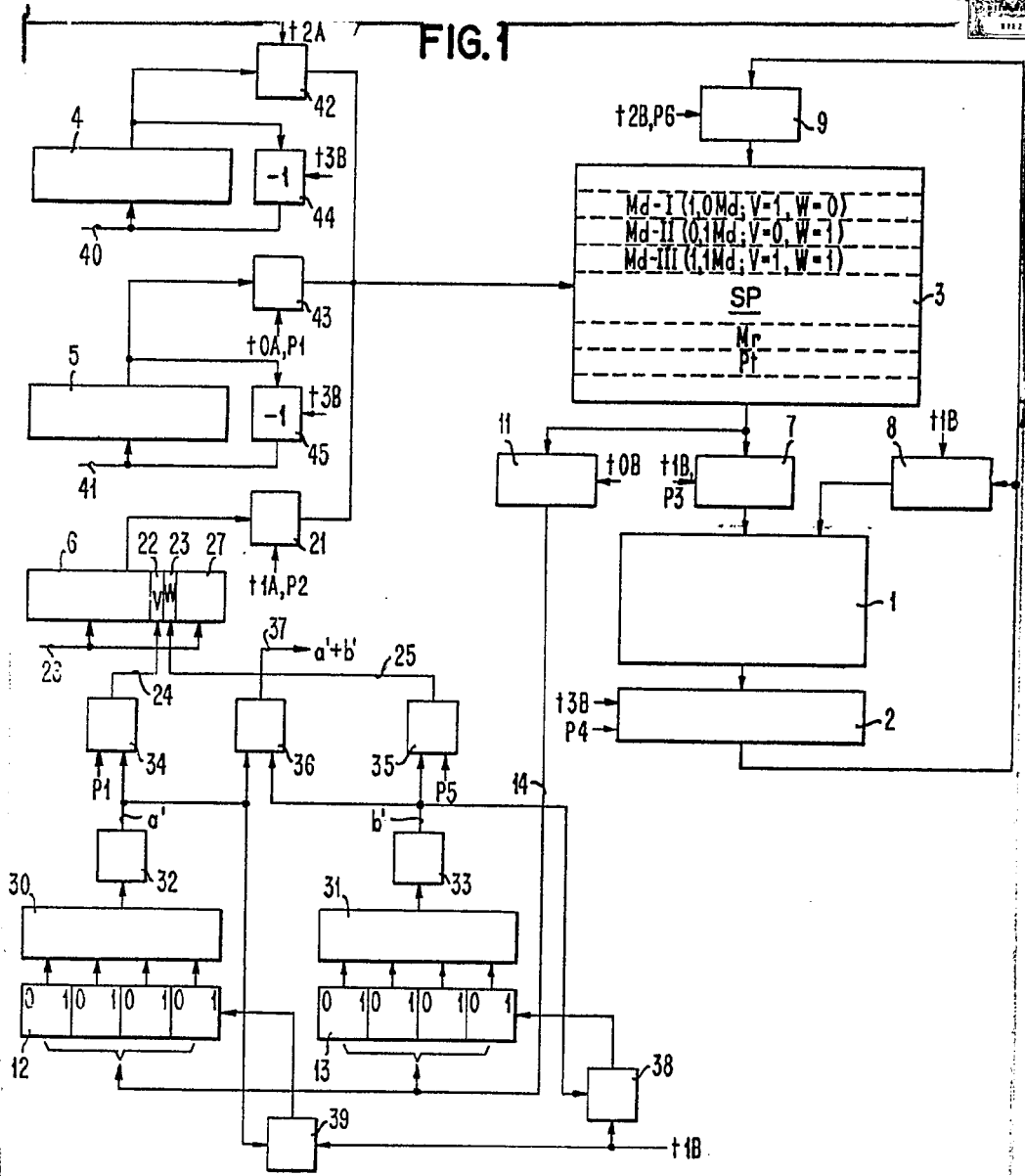
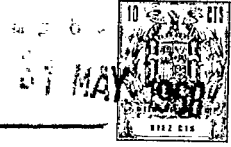
P.A.

Alonso de Eizaburu
Por Poder

27-5-68

- 42 -

fb.



[Handwritten signature]

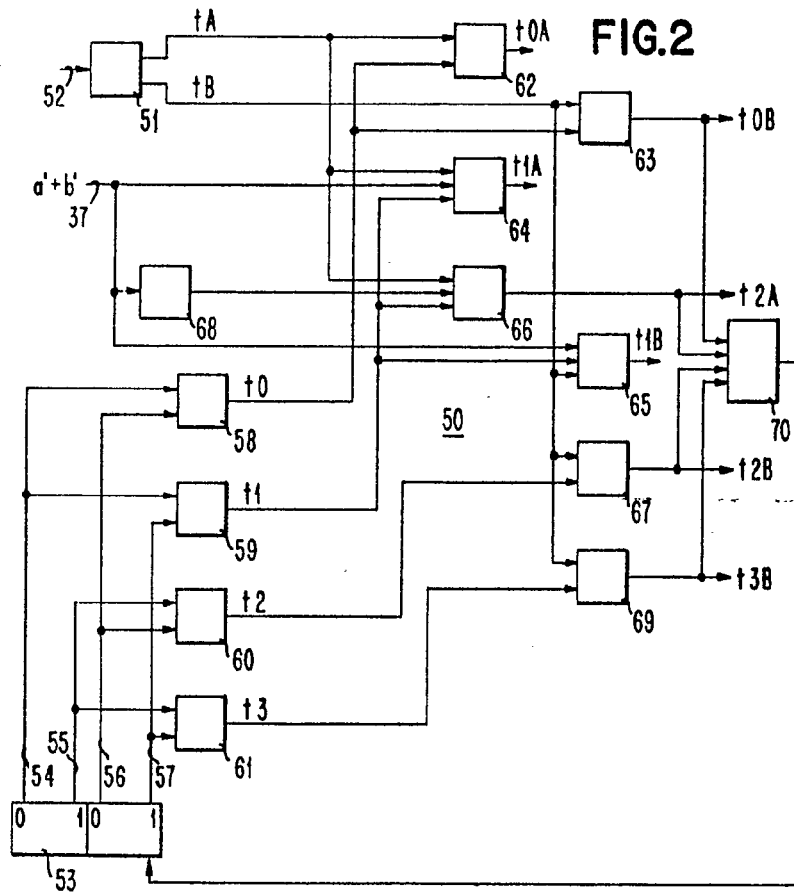
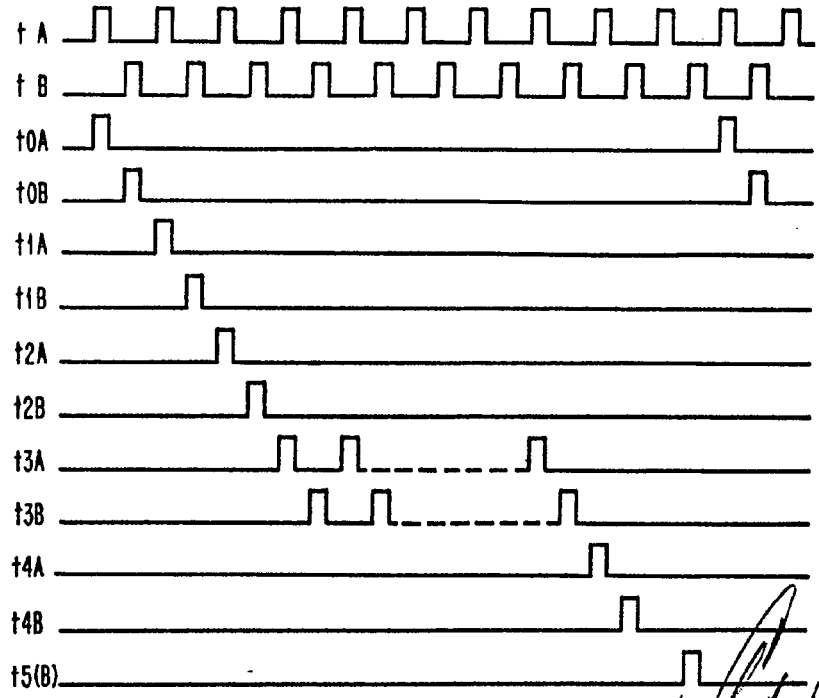


FIG. 2

FIG. 6

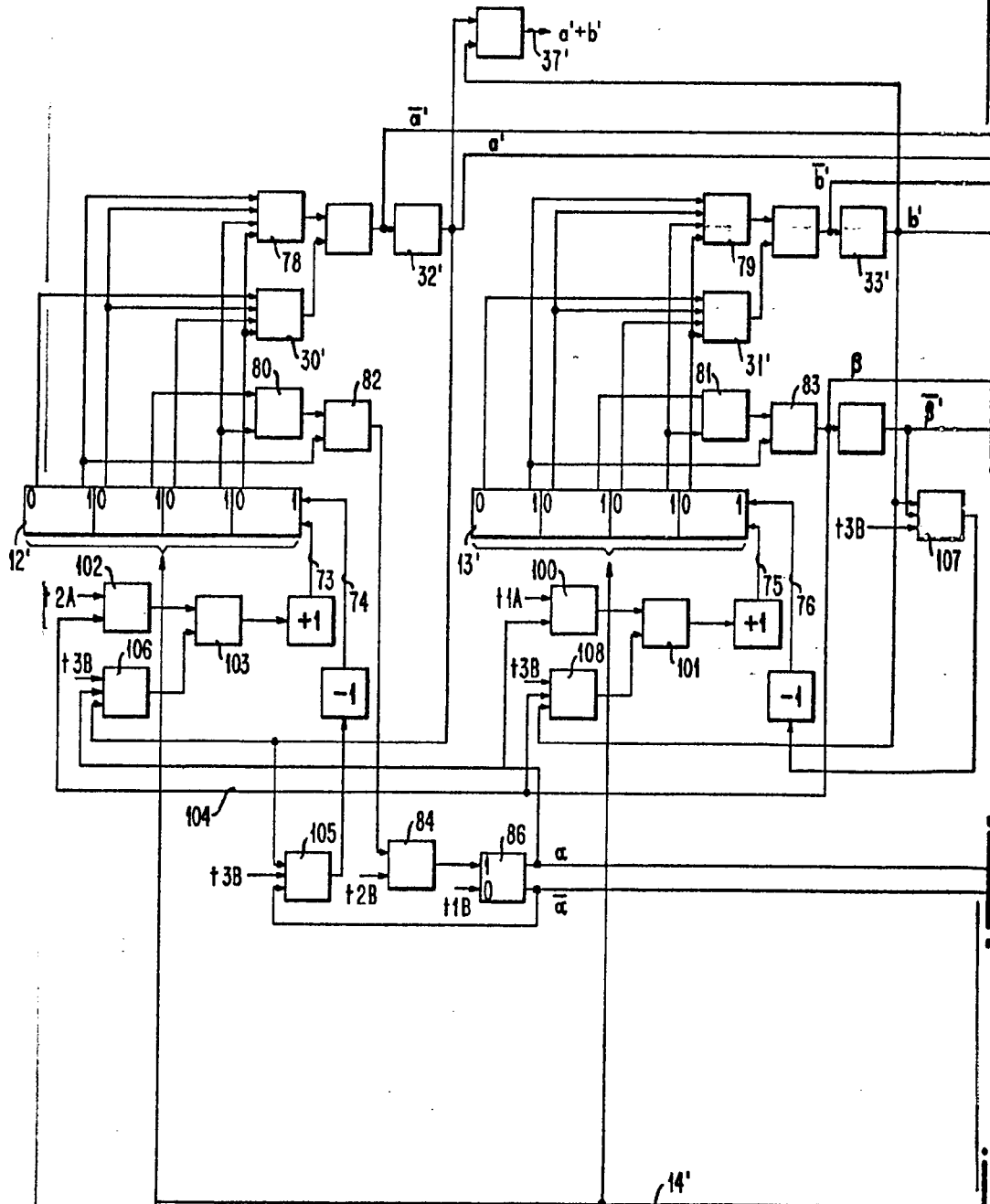


[Handwritten signature]



FIG. 4a FIG. 4b
FIG. 4

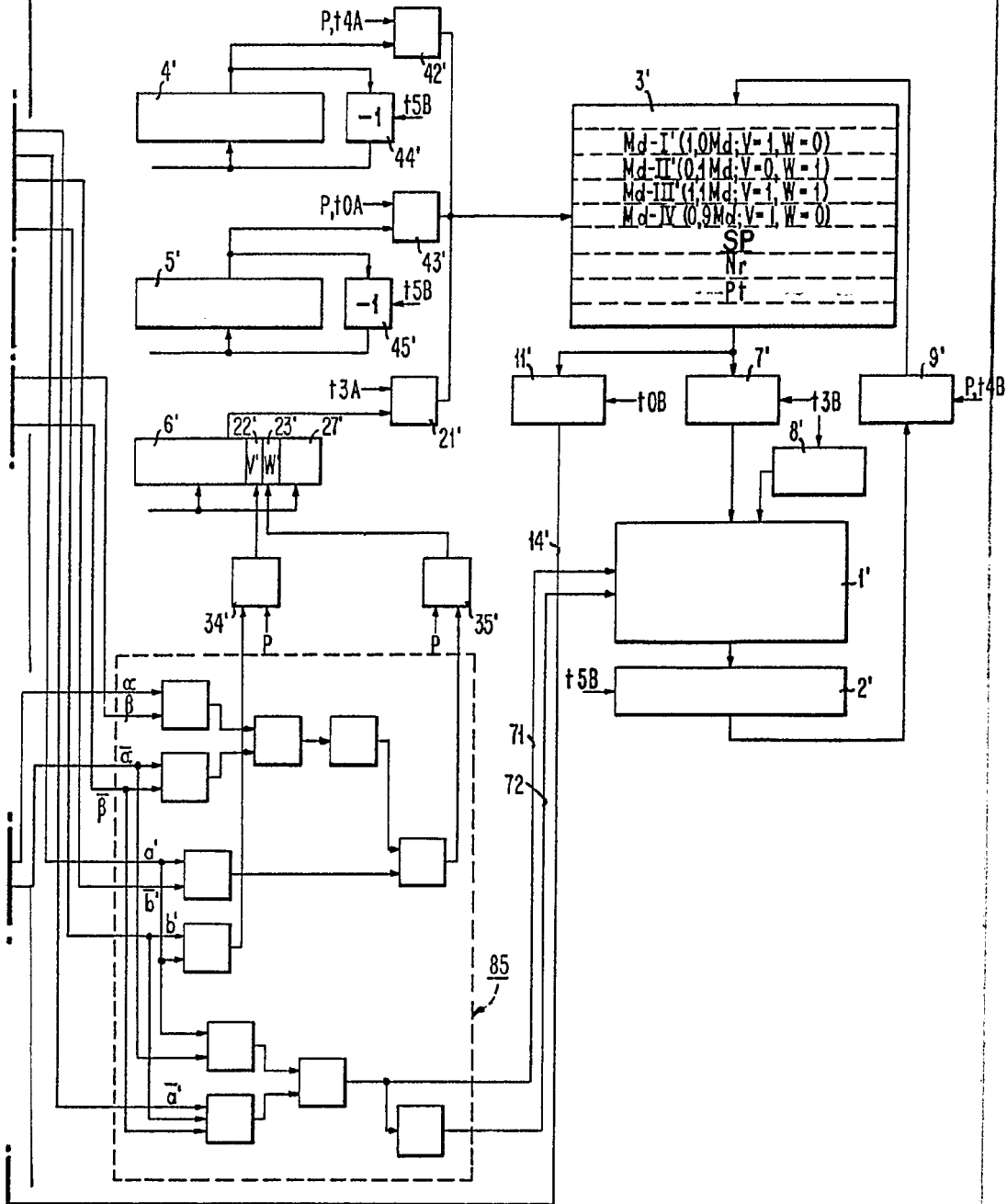
FIG. 4a



Porter



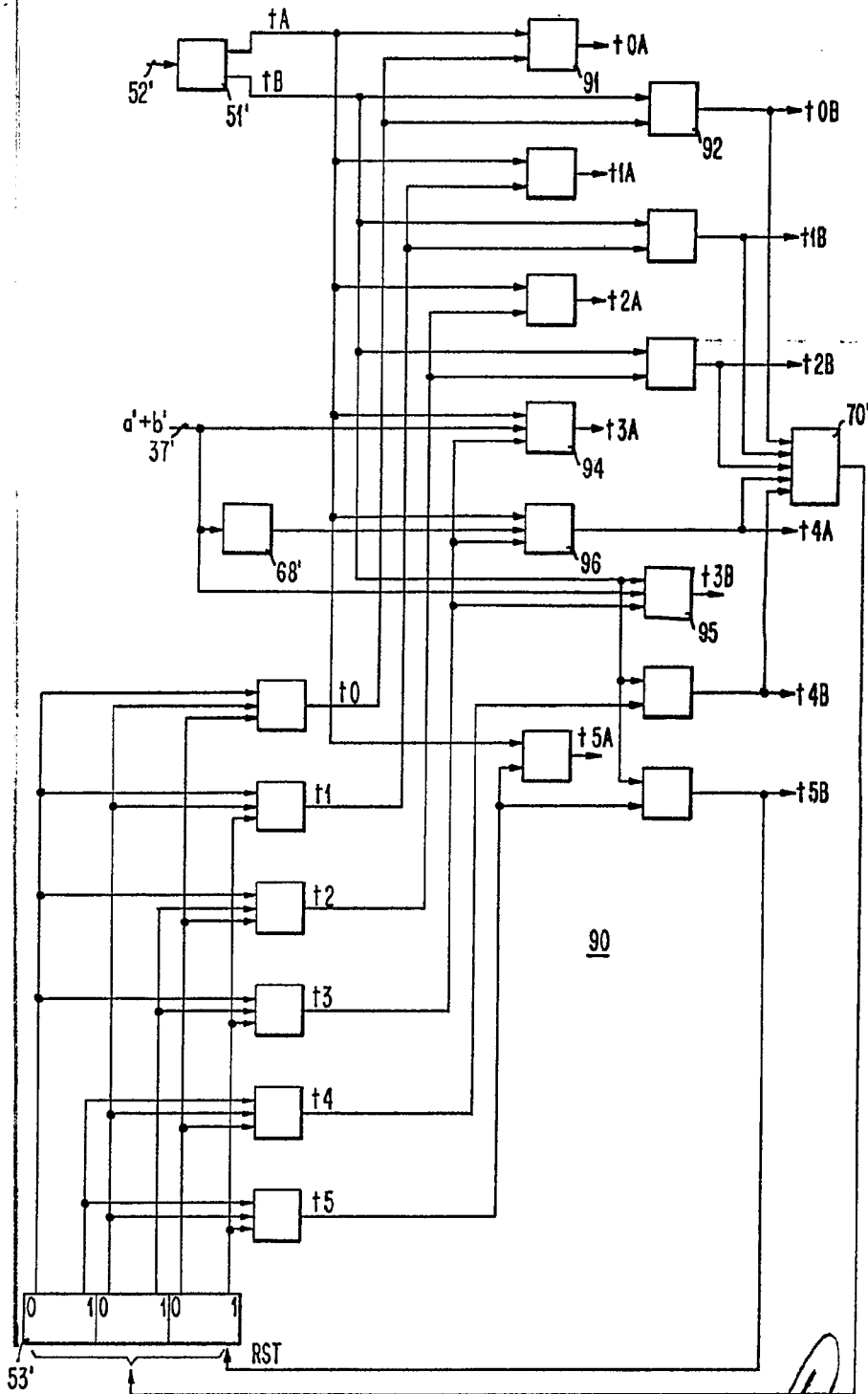
FIG.4b



Pinu



FIG. 5



Art