

P-37.951

PHN 2673

351652

**Memoria descriptiva**



1971 MAY

**para solicitar**      **PATENTE DE INVENCION**      **por 20 años**

**a nombre de** N.V. PHILIPS'GLOEILAMPENFABRIEKEN

**entidad / de nacionalidad** holandesa

**con domicilio en** Emmasingel 29, Eindhoven, Holanda

**por:** "UN DISPOSITIVO SEMICONDUCTOR INTEGRADO" (Clase Inter-  
nacional H011)



Este invento se refiere a un dispositivo semi-conductor integrado que comprende un sustrato cubierto con una capa epitaxial que forma una unión pn aislante con el sustrato, estando la capa epitaxial dividida en islas relativamente aisladas en las cuales se han formado elementos semiconductores de circuito.

Las islas de la capa epitaxial están en general relativamente aisladas por regiones aislantes difundidas de un tipo de conductividad igual al del sustrato y que se extienden en todo el espesor de la capa aislante. Sin embargo, tal aislamiento por difusión local supone numerosos inconvenientes, especialmente con respecto al aislamiento mutuo de las diversas islas. Este aislamiento tiene desventajas, ya que pueden ocurrir en la unión efectos indeseables, como corrientes de fuga y capacidades de carga espacial. El voltaje de polarización aplicado al sustrato debe limitarse para impedir que se llegue al de perforación. Además, la difusión para obtener las regiones aislantes debe ser lo bastante profunda para alcanzar el sustrato y esto, usualmente, exige un período de difusión muy largo durante el cual puede ocurrir una difusión indeseable de impurezas hacia o desde una capa epitaxial.

La concentración de impurezas o, al menos, la concentración superficial de una región aislante difundida es usualmente mayor que la concentración de impurezas en el sustrato y en las islas. Así, el voltaje de perforación de la unión pn entre una isla y una región aislante es menor que el de la unión pn entre una isla y el sustrato y esto es a menudo indeseable. Además, la capacidad parasita entre una isla y una región aislante es a menudo -



indebidamente grande como resultado de la elevada concentración de impurezas en la región aislante.

5 Las regiones aislantes difundidas pueden sustituirse por ranuras. Esto da como resultado un voltaje de perforación mayor, ya que ahora viene determinado por el de la unión pn entre una isla y el sustrato. Además, las capacidades parásitas, por ejemplo, disminuyen.

10 Sin embargo, tales ranuras impiden la formación de conexiones conductoras entre los elementos de circuito previstos en las islas. Además, la unión pn entre las islas y el sustrato ocurre en las zonas de la superficie libre de las paredes de las ranuras y esto es indeseable.

Un objeto del invento es evitar los inconvenientes antes mencionados.

15 El invento se basa, entre otras cosas, en el reconocimiento del hecho de que esto es posible llenando las ranuras con material aislante que tenga un coeficiente de expansión sustancialmente igual al de las islas. - El invento se basa también en el reconocimiento del hecho de que un material semiconductor policristalino proporciona las posibilidades óptimas.

20 De acuerdo con el invento, un dispositivo semiconductor integrado de la clase mencionada en el preámbulo está caracterizado porque la capa epitaxial que está sobre el sustrato está dividida en islas por ranuras que se extienden desde la superficie libre de dicha capa y que intersecan la unión pn aislante entre dicha capa y el sustrato, porque las ranuras están llenas de material semiconductor policristalino, y porque las islas y las ranuras  
25  
30 llenas están cubiertas con una capa aislante provista de



pistas conductoras que están conectadas a los elementos de circuito a través de aberturas de la capa aislante.

5 En un dispositivo de acuerdo con el invento, - las posibilidades proporcionadas por el uso de ranuras y por el de regiones aislantes se combinan de una manera - muy favorable.

Será evidente que el material semiconductor policristalino consiste preferiblemente en un material semiconductor idéntico al sustrato.

10 Debe observarse que se conocen dispositivos semiconductores integrados en los cuales las islas están totalmente empotradas en material aislante. Estos dispositivos exhiben excelente aislamiento entre las islas, pero - tienen un precio de coste muy alto.

15 Con preferencia, las paredes de las ranuras están cubiertas con una capa aislante, por ejemplo, de óxido de silicio. El material semiconductor policristalino - no necesita entonces satisfacer severas exigencias de aislamiento, y sirve sólo como relleno.

20 Las ventajas de un dispositivo de acuerdo con - el invento son evidentes si este dispositivo es comparado con los conocidos. El aislamiento de las islas tiene propiedades muy buenas, el voltaje de perforación o disruptivo es alto y la capacidad es baja. Estas propiedades pueden depender del espesor y de la resistividad de la capa aislante que cubre las paredes de la ranura y es fácil - elegir un material aislante y darle un espesor que proporcione satisfacción completa a este respecto.

25 Una importante realización se caracteriza por - que las pistas conductoras exhiben zonas de contacto en -



forma de ensanchamientos y porque al menos estas zonas de contacto están enteramente situadas encima de las ranuras rellenas.

Este último hecho proporciona varias ventajas.

5 Por una parte, pueden llenarse las ranuras anchas con más facilidad que las estrechas y, por otra, es posible reducir considerablemente la zona periférica denominada "región muerta", que se forma usualmente en torno de cada -  
 10 unidad del circuito integrado y encima de la cual están -  
 presentes los contactos para las conexiones externas. Además, en numerosos casos, es posible una disposición más -  
 simple de los conductores.

Con el fin de que el invento pueda llevarse fácilmente a la práctica se describirá ahora en detalle, a modo de ejemplo, con referencia a los dibujos diagramáticos anejos, en los cuales:

15 La fig. 1 es una vista en sección de parte de -  
 un dispositivo semiconductor de acuerdo con el invento;

La fig. 2 es un diagrama de circuito de un primer ejemplo de un circuito a integrar;

20 La fig. 3 es una vista en planta del circuito -  
 de la fig. 2 en forma integrada de acuerdo con el invento;

La fig. 4 es una vista en sección del mismo circuito integrado, dada por la línea IV-IV de la fig. 3;

25 La fig. 5 muestra el diagrama de circuito de un segundo ejemplo de un circuito a integrar;

La fig. 6 es una vista en planta del circuito -  
 de la fig. 5 en forma integrada de acuerdo con el invento;

30 La fig. 7 es una vista en corte del mismo circuito integrado, dado por la línea VII-VII de la fig. 6;



Las figs. 8a a 8e ilustran, en secciones dadas por la línea IV-IV de la fig. 3, las diversas fases de fabricación del circuito integrado de la fig. 3.

5 El dispositivo de la fig. 1 comprende un sustrato S cubierto con una capa epitaxial F que tiene un tipo de conductividad que difiere del del sustrato, dando como resultado una unión pn J. El dispositivo tiene ranuras G que se extienden en el sustrato S. Varias islas K1, K2, K3 quedan así limitadas por dichas ranuras. La superficie interior de cada ranura está cubierta con una capa aislante I<sub>1</sub> y las ranuras están llenas de material semiconductor policristalino H, dando por resultado de nuevo una superficie plana M, que está cubierta con una capa aislante I<sub>2</sub> de, por ejemplo, óxido de silicio.

10 Las islas K están relativamente aisladas por las uniones J y las ranuras rellenas G, cuya clase y grueso pueden elegirse fácilmente de modo que se obtenga un excelente aislamiento lateral.

15 Se describirán ahora dos ejemplos de circuitos integrados que están destinados a ilustrar dos realizaciones particulares del invento y el método de fabricar estos circuitos. El primer ejemplo es un amplificador 5 de banda ancha para alta frecuencia y el segundo ejemplo es un circuito integrado lineal para baja frecuencia de alta potencia que constituye un control del voltaje.

20 El amplificador, cuyo diagrama se muestra en la fig. 2, comprende dos transistores T1 y T2 del tipo npn. La base de T1 está conectada a un terminal de entrada a y polarizada por un puente de resistencias R1, R2 dispuesto entre un terminal de alimentación d y un terminal de masa



b. El emisor y el colector de T1 están conectados a masa y al emisor de T2, respectivamente, El colector de T2 está conectado por una parte al terminal d por medio de una resistencia R3 y, por otra, a un terminal de salida c, estando su base conectada por una parte al terminal d a través de una resistencia R4 y, por otra, a masa a través de una combinación en serie de diodos D1, D2 y D3:

Las figs. 3 y 4 son una vista en planta y una vista en sección, respectivamente, del circuito integrado, indicando las líneas de puntos y trazos 21 la zona en la cual el circuito, después de terminado, puede ser cortado de una placa mayor.

Los diversos elementos de un circuito están distribuidos sobre seis islas. Las líneas gruesas de la fig. 3 indican los límites de las islas; las tres islas que corresponden a los tres diodos D1, D2 y D3, respectivamente, las dos islas que corresponden a los transistores T1 y T2 respectivamente, y una isla 20 que combina las cuatro resistencias R1, R2, R3 y R4. En esta vista en planta, pueden verse las zonas de contacto que corresponden a los terminales a, b, c y d. Estas zonas de contacto son partes ensanchadas de pistas de conexión, por ejemplo 16, que han sido depositadas simultáneamente con dichas zonas, así como las pistas de conexión entre los elementos, por ejemplo 22, y los electrodos, por ejemplo 17. Las zonas de contacto y las pistas se muestran rayadas transversalmente en la fig. 3 en gracia a la claridad.

La vista en corte transversal de la fig. 4 muestra un sustrato 10 y una capa epitaxial 11 que tiene un tipo de conductividad que es opuesto al del sustrato, dan-



do como resultado una unión aislante 7.

5 En la realización mostrada, el sustrato 10 consiste en silicio monocristalino de tipo p y la capa epitaxial 11 es de silicio de tipo n. Las islas están separadas por ranuras 9, recubierta cada una con una capa aislante 19 de óxido de silicio y rellena de silicio policristalino 18.

10 Las regiones 14 son regiones de un tipo de conductividad opuesto al de la capa 11 y se obtienen por difusión de una impureza adecuada, siendo las regiones 15 regiones de baja resistividad y de un tipo de conductividad opuesto al de las regiones 14 y habiendo sido obtenidas por difusión de una impureza adecuada. En este ejemplo, las regiones 14 son regiones de tipo p y contienen boro como impureza, siendo las regiones 15 regiones de tipo n<sup>+</sup> y conteniendo fósforo como impureza, siendo los transistores T1 y T2 del tipo npn. El transistor T2 tiene, por ejemplo, una base de tipo p B2 (región 141 de la fig. 4), un colector de tipo n C2 y un emisor de tipo n E2 (regiones 14a y 15, respectivamente, de la fig. 4).

20 Los diodos D1, D2, D3 son de hecho transistores npn cuyos colectores y bases están corto-circuitados y que son de estructura idéntica a la de T1 y T2. Las resistencias R1, R2, R3 y R4 consisten en tiras de tipo p difundidas (regiones 14b de la fig. 4).

25 La superficie 5 está cubierta con una capa aislante 6 de, por ejemplo, óxido de silicio, en la cual están formadas ventanillas para hacer conexiones eléctricas a regiones semi-conductoras.

30 Se verá que las islas del sustrato 10 están ais



ladas por una unión pn 7 y están relativamente aisladas por ranuras 18, siendo las capas 19 y 6 de óxido de silicio.

5 El sustrato 10 y la capa 11 tienen gruesos de 160 micras y 10 micras, respectivamente. Las ranuras 13 y 18 tienen una profundidad total de 15 micras, de modo que se extienden dentro del sustrato 10, al paso que las capas aislantes 12 y 19 de óxido de silicio tienen aproximadamente 1 micra de grueso. La capa 6 puede tener un espesor del mismo orden de magnitud o mayor ya que, al menos localmente, es la resultante de una serie de oxidaciones, como explicaremos luego. Las regiones difundidas 14 son, por ejemplo, de 3 micras de grueso y las regiones difundidas 15 son, por ejemplo, de 2 micras de grueso.

10 Las pistas metálicas formadas sobre la capa de óxido 6 son capas de aluminio depositado en estado de vapor, teniendo cada una aproximadamente 0,8 micras de grueso.

15 El control del voltaje, cuyo diagrama se muestra en la fig. 5, comprende tres transistores T3, T4 y T5, del tipo npn. El colector del transistor T3 está conectado a un terminal de entrada e y al colector del transistor T4, cuyo emisor está conectado a un terminal de salida g que lleva el voltaje controlado. El emisor de T3 está conectado a la base de T4, al tiempo que la base de T3 está conectada por una parte a un terminal f y por otra al colector de T5. Una resistencia R está conectada en paralelo con los terminales e y f, al tiempo que la base de T5 está conectada a un terminal h que lleva un voltaje diferencia y cuyo emisor está conectado a un ter



5            minal i puesto a masa a través de un diodo D conectado  
sentido opuesto.

10            Las figs. 6 y 7 son una vista en planta y una -  
vista en corte, respectivamente, del circuito de la fig.  
5            5 integrado de acuerdo con el invento. Las líneas 41 de  
puntos y trazos indican la zona en la cual el circuito,  
después de su terminación, puede recortarse de una placa  
mayor.

15            Los diversos elementos de circuito están divi-  
10            didos en tres islas relativamente aisladas. Las líneas --  
gruesas de la fig. 6 indican los límites de estas islas,  
una de las cuales corresponde al diodo D, una segunda de  
las cuales corresponde al transistor T5 y la tercera de -  
las cuales combina la resistencia R y los transistores T3  
15            y T4. Esta vista en planta muestra de nuevo las zonas de  
contacto que corresponden a los terminales e, f, g, h e i.  
Estas zonas de contacto son partes de pistas conductoras,  
entre ellas la pista 36. Dichas pistas con sus zonas de -  
contacto en forma de ensanchamientos se muestran con raya-  
20            do transversal en gracia a la claridad.

25            La vista en sección de la fig. 7 muestra un sus-  
trato 30 y una primera capa epitaxial 31a que tiene un ti-  
po de conductividad opuesto al del sustrato y con una re-  
sistividad baja, cuya capa se denomina "capa enterrada" y  
está destinada especialmente a disminuir la resistencia -  
en serie de los colectores de los transistores. 31b indica  
una segunda capa epitaxial de un tipo de conductividad que  
es también opuesto al del sustrato.

30            Las regiones 34 son partes que han quedado de -  
una tercera capa también depositada epitaxialmente. El ti-



po de conductividad de estas partes es opuesto al de la  
capa 31b. Las regiones 31c son regiones difundidas de un  
tipo de conductividad igual al de la capa 31 y se extien-  
den en todo el espesor de la capa epitaxial superior, de  
5 modo que quedan dichas partes 34 que forman las bases de  
los transistores T3, T4 y T5, la resistencia R y una re-  
gión del diodo D.

Las regiones 35 son regiones difundidas de un -  
tipo de conductividad opuesto al de las islas 34 y de ba-  
10 ja resistividad, que forman los emisores de los transisto-  
res y las zonas de contacto de los colectores de los mis-  
mos transistores.

El sustrato 30 es de silicio de tipo p monocris-  
talino, la capa 31a es una de tipo n, la capa 31b es una  
15 de tipo n, la capa 34 es una de tipo p y las regiones di-  
fundidas 35 son regiones de tipo  $n^+$ ; los transistores son  
del tipo npn.

Las islas están separadas por ranuras 29 recu-  
bierta cada una con una capa aislante de óxido de silicio  
20 39 y rellenas de silicio policristalino 38.

La fig. 7 muestra en sección el transistor T4,  
la resistencia R y el diodo D. El diodo D es de una es-  
25 tructura idéntica a la de los transistores y comprende -  
un transistor npn, cuyo colector y cuya base están corto-  
circuitados.

La superficie 25 está cubierta con una capa ais-  
lante 26 de, por ejemplo, óxido de silicio, en la cual es-  
tán formadas ventanillas para la conexión eléctrica a re-  
giones semiconductoras y sobre la cual están depositadas,  
30 entre otras, pistas conductoras 36 o 42.

27



El sustrato es un cuadrado que tiene lados de a mm cada uno. El grueso del sustrato es de 150 micras, el de las capas 31a, 31b, 34 es de 5 micras, 4 micras y 3 micras respectivamente. Las ranuras aislantes tienen -  
 5 una profundidad de 20 micras, de modo que se extienden - dentro del sustrato 30, al paso que la capa aislante está formada por óxido de silicio y tiene un grueso de aproximadamente 1 micra. La capa 26 puede tener el mismo espesor o puede ser más gruesa, ya que, al menos localmente,  
 10 es el resultado de una serie de oxidaciones que ocurren en la fabricación. Las regiones difundidas 35 tienen una profundidad de 2 micras y las pistas conductoras con zonas de contacto, que consisten en aluminio vaporizado, -- tienen por lo menos 0,8 micras de espesor.

15 El dispositivo de las figs. 3 y 4 puede fabricarse como sigue. Sobre una placa de silicio monocristalino de tipo p 10 (véanse las figs. 8a a 8e), que tiene aproximadamente 160 micras de grueso y que debe servir como sustrato, se deposita una capa de silicio 11 de tipo n de  
 20 la manera usual por epitaxia hasta que se obtenga un espesor de 10 micras.

La siguiente operación consiste en formar las - ranuras 9 (fig. 8b) que deben extenderse dentro del sustrato 10 y tener una profundidad de aproximadamente 15 micras.  
 25 Las ranuras son formadas atacando químicamente de la manera usual, empleando una técnica de foto-reserva. Las ranuras separan las islas 11a, 11b, 11c entre sí. Después de formar las ranuras, sus paredes son recubiertas con una - capa aislante 12, que en el presente ejemplo consiste de  
 30 preferencia en óxido de silicio, para cuya operación pue-



de emplearse una técnica usual. Luego, las ranuras son -  
llenadas con material semiconductor policristalino que -  
corresponde al sustrato en el aspecto térmico. En el caso  
de un sustrato de silicio monocristalino, se hace uso, de  
5 preferencia, de silicio policristalino.

En la fig. 8 se muestra la placa después de los  
tratamientos anteriores, indicándose en dicha figura por  
18 y 13 las ranuras llenas de silicio, mientras que la ca  
pa 43 ha sido depositada durante el proceso de llenado de  
10 las ranuras. El espesor de esta capa puede variar según -  
el procedimiento adoptado para depositar el silicio y pue  
de ser aproximadamente de 20 micras.

La siguiente operación consiste en eliminar la  
capa 43 por un procedimiento de amolado a fin de obtener  
15 una superficie plana. Este procedimiento de amolado o de  
abrasión se continúa hasta que las superficies 5 de las  
islas queden al descubierto. Luego se aplica una delgada  
capa 44 (fig. 8c) que servirá como máscara durante los --  
procedimientos de difusión para obtener regiones de ele--  
20 mentos de circuito. Se aplica de preferencia una delgada  
capa 44 de óxido de silicio por oxidación, teniendo esta  
capa, por ejemplo, 0,4 micras de espesor.

Después de que se ha aplicado la capa 44, la -  
placa está como se muestra en la fig. 8c.

25 Las siguientes operaciones se realizan a fin de  
formar regiones de elementos de circuito activos y pasi--  
vos en la placa. Las resistencias se obtendrán por difusión  
local de impurezas de tipo p, como lo serán las bases de  
los transistores.

30 Las regiones 14 se obtienen de la manera usual



por difusión de boro a través de ventanillas formadas en la capa 44 (véase la fig. 8d). Las regiones 14 tienen aproximadamente 3 micras de grueso. Durante la difusión del boro, se forma una nueva capa de óxido 45 de aproximadamente 10,4 micras de espesor. Las regiones 14d y 14c pertenecen a las resistencias R1 y R2 mostradas en vista en planta en la fig. 3, la región 14a es la región de base del transistor T2 y la región 14d es la región de base del transistor a partir del cual se hace el diodo D2. Luego, se forman los emisores de tipo n de los transistores y las regiones de contacto de tipo n de los colectores de la manera usual por difusión de fósforo aproximadamente hasta una profundidad de 2 micras, con lo cual se forma una nueva capa de óxido de silicio de aproximadamente 0,3 micras de grueso. El resultado se muestra en la fig. 8é. La región 15a es el emisor del transistor T2, la región 15b es la región de contacto del colector del mismo transistor, la región 15d es el emisor del transistor a partir del cual se hace el diodo D2, y la región 15c es una región de contacto del colector del último transistor. Luego se forman las pistas conductoras con sus zonas de contacto a a d mostrados con rayado transversal en la fig. 3. Las pistas y las zonas de contacto consisten en aluminio.

Después de todos estos tratamientos la placa corresponde a la fig. 4, en la cual la capa de óxido 6 se muestra con espesor uniforme en gracia a la claridad, al tiempo que no se han tenido en cuenta las proporciones de las dimensiones en las diversas figuras.

Los diversos circuitos fabricados sobre una placa están separados entre sí a lo largo de las líneas 21.



El dispositivo semiconductor mostrado en las  
figs. 6 y 7 puede fabricarse de una manera similar. Par--  
tiendo de una placa de silicio monocristalino de tipo p,  
con un espesor aproximado de 150 micras, se forma primero  
5 una capa epitaxial de tipo  $n^+$  (capa 31a de la fig. 7), cuya  
capa servirá como capa enterrada de los colectores de los  
transistores, luego una segunda capa epitaxial de tipo n,  
que constituye los colectores (capa 31b) y luego una ter-  
cera capa epitaxial de tipo p a la cual pertenecen las --  
10 partes 34.

Después de que se han depositado estas capas, -  
se forman las ranuras de aislamiento que se cubren con -  
una capa aislante y luego se llenan, yendo seguido esto -  
por una operación de amolado y un procedimiento de oxida-  
15 ción, realizándose todos estos tratamientos de una manera  
similar que en el ejemplo anterior.

A través de ventanillas de dicha capa se difun-  
den impurezas de tipo n dentro de la capa epitaxial 31b,  
de tal modo que sólo queden de tipo p las partes 34, cuyas  
20 partes 34 forman la resistencia R y las bases de los tran-  
sistores.

Se realiza entonces una segunda difusión de una  
manera similar al ejemplo anterior para formar los emiso-  
res de los transistores y las regiones de contacto de los  
25 colectores, después de lo cual se forman las pistas con--  
ductoras con sus zonas de contacto j a i.

Será evidente que el presente invento no queda  
limitado a sustratos de silicio, a aislamiento por una ca-  
30 pa de óxido de silicio y al relleno de las ranuras de ais-



lamiento con silicio policristalino. El invento se refiere también a otros semiconductores, por ejemplo, arseniuro de galio, germanio, etc. y a otras capas aislantes, -- por ejemplo nitruros.

5                    La presente solicitud que corresponde a la presentada en Francia, con fecha 16 de Marzo de 1.967, bajo el número 99074, se acoge a los beneficios del Artículo - 51 del vigente Estatuto sobre Propiedad Industrial.

10

+ N O T A +

15

Los puntos de invención, propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los siguientes:

20

25

30

la.- Un dispositivo semiconductor integrado, -- que comprende un sustrato cubierto con una capa epitaxial que forma una unión pn aislante con el sustrato, estando dividida la capa epitaxial en islas relativamente aisladas en las cuales se han formado elementos de circuito semiconductores, caracterizado porque la capa epitaxial sobre el sustrato está dividida en islas por ranuras que se extienden desde la superficie libre de dicha capa y que intersecan la unión pn aislante entre dicha capa y el sustrato, --



porque las ranuras están llenas con material semiconductor policristalino, y porque las islas y las ranuras llenas están cubiertas con una capa aislante provista de pistas conductoras que están conectadas a los elementos de -  
5 circuito a través de aberturas de la capa aislante.

2ª.- Un dispositivo semiconductor integrado según la reivindicación 1ª, caracterizado porque el material semiconductor policristalino consiste en un semiconductor idéntico al del sustrato.

10 3ª.- Un dispositivo semiconductor integrado según la reivindicación 1ª o la reivindicación 2ª, caracterizado porque las paredes de las ranuras llenas de material semiconductor policristalino están cubiertas con una capa aislante.

15 4ª.- Un dispositivo semiconductor integrado según la reivindicación 3ª, caracterizado porque la capa -- aislante consiste en óxido de silicio y el material policristalino semiconductor es silicio.

20 5ª.- Un dispositivo semiconductor integrado según cualquiera o cualesquiera de las reivindicaciones precedentes, caracterizado porque las pistas conductoras exhiben zonas de contacto en forma de ensanchamientos, estando al menos estas zonas de contacto totalmente situadas encima de las ranuras rellenas.


25 6ª.- Un dispositivo semiconductor integrado.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y - para los fines que se han especificado.

27 MAY 

La presente Memoria consta de dieciocho hojas  
escritas a máquina por una sola de sus caras.

Madrid, 27 MAY. 1939

Alberto de Ezaburu  


20-5-68/RTA.-

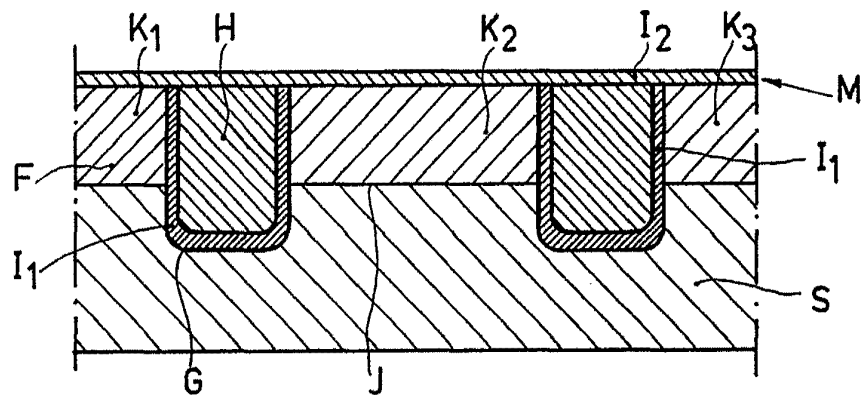


fig. 1

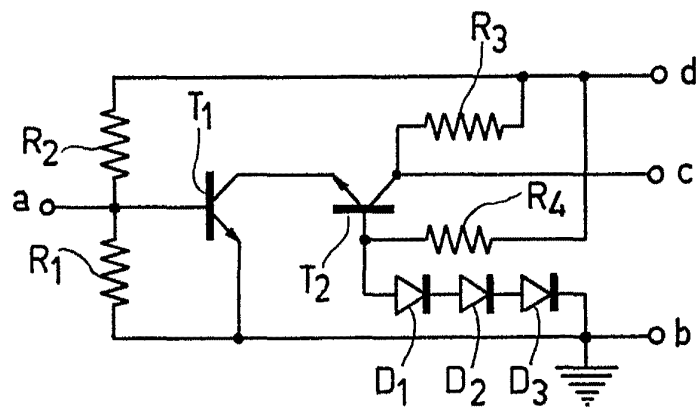


fig. 2

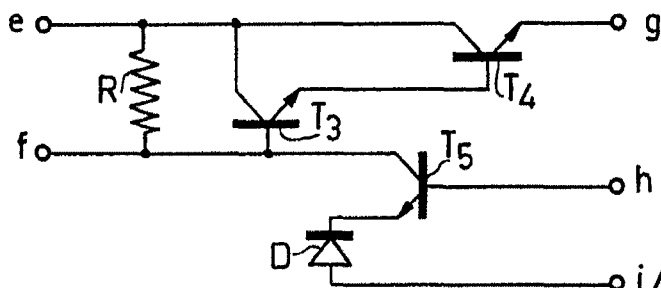


fig. 5

*Handwritten signature or initials in the bottom right corner of the page.*

652

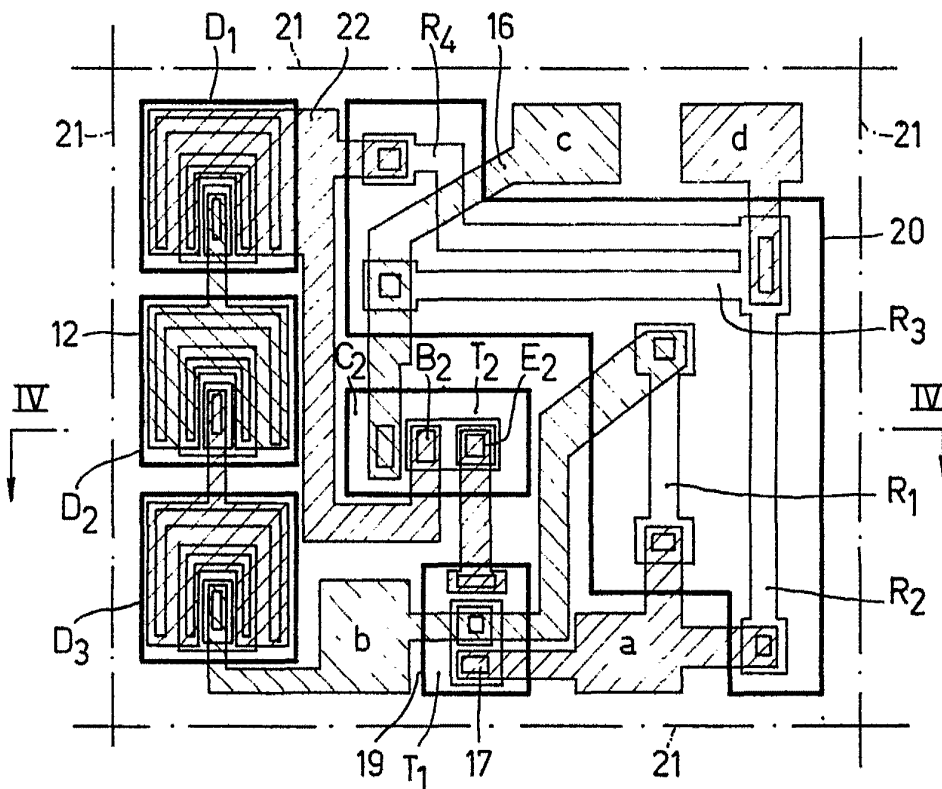


fig.3

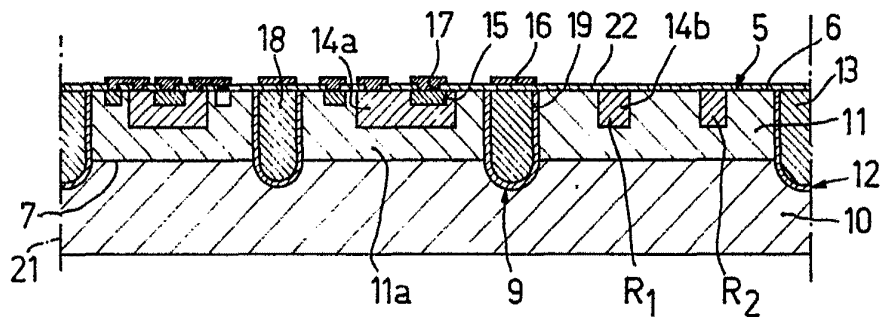


fig.4

*Handwritten signature or initials, possibly 'R. G. G.'*

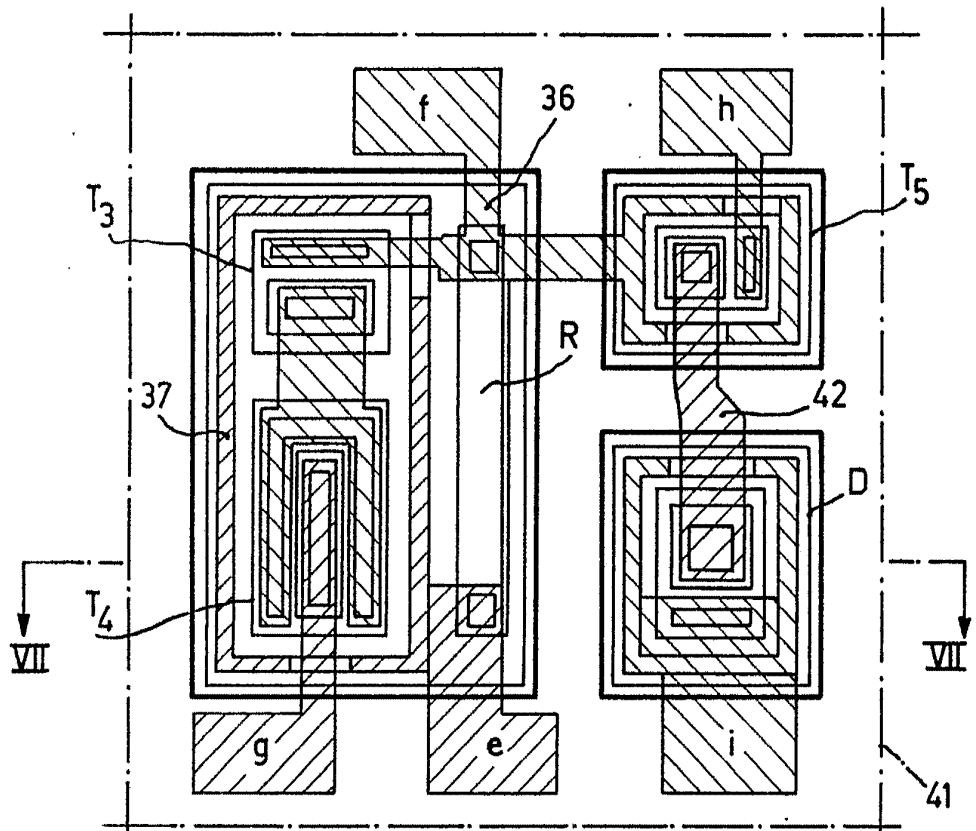


fig.6

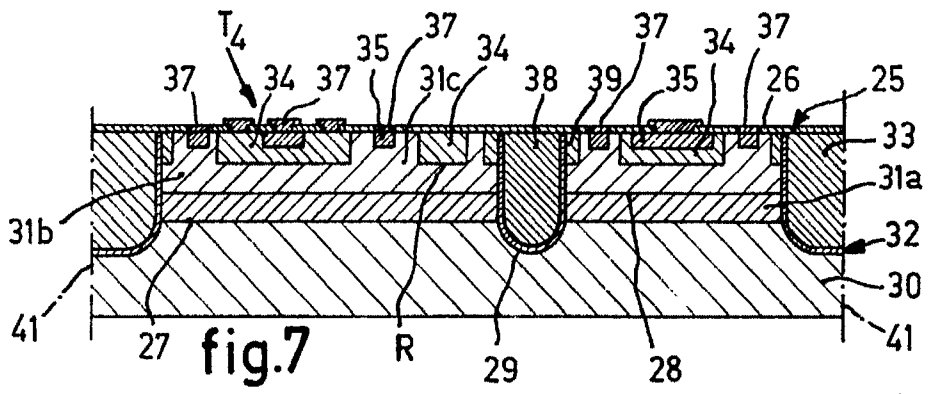


fig.7

*Arden*

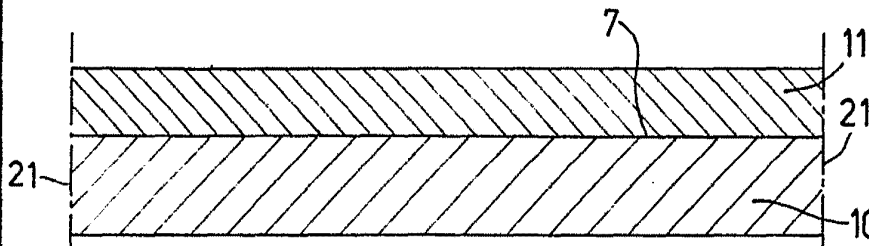


fig.8a

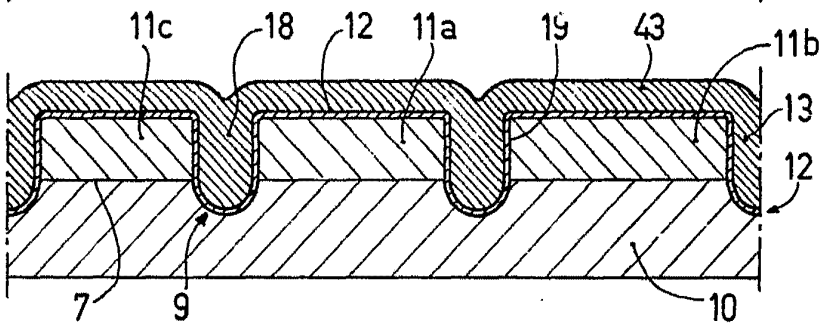


fig.8b

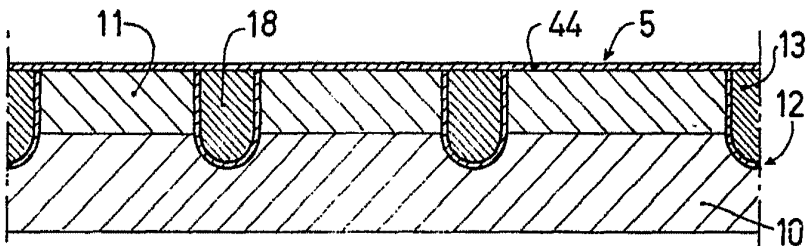


fig.8c

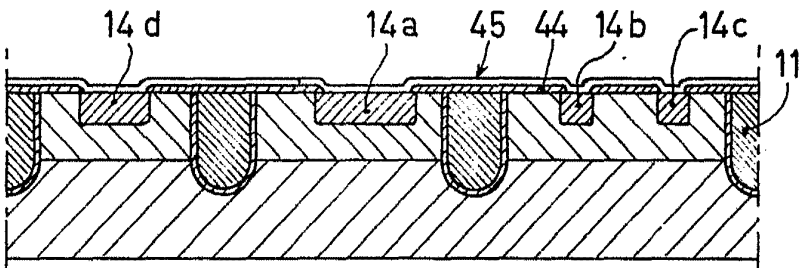


fig.8d

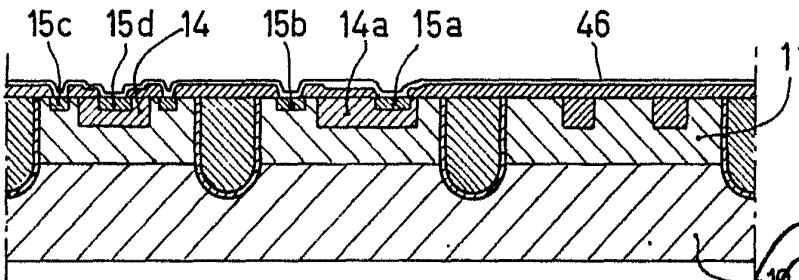


fig.8e

*Handwritten signature or initials.*