



350376

M.R. Lord 3

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE
INVENCION EN ESPAÑA POR: "CONVERTIDOR PARA SE-
ÑALES ELECTRICAS CODIFICADAS" A NOMBRE DE STAN-
DARD ELECTRICA, S.A. CON DOMICILIO EN MADRID,
CALLE DE RAMIREZ DE PRADO Nº. 5

Este invento se refiere a convertidores digital a analógico para señales eléctricas codificadas como los que se usan, por ejemplo, en los sistemas de comunicación de modulación de código de impulsos (PCM). Puesto que los convertidores digital a analógico
5 forman una parte integrante de los codificadores de realimentación, este invento se refiere también a los convertidores analógico a digital.

Las ventajas de utilizar cuantificación no lineal cuando se convierten señales de forma analógica a digital y viceversa se
10 han aceptado, generalmente, y se han propuesto muchos métodos de este tipo. En algunos de estos métodos, por ejemplo, se usan componentes que tienen una relación no lineal entre el voltaje aplicado y la corriente resultante. Estos métodos tienen el inconveniente que es muy difícil obtener componentes que tengan características de forma
15 idéntica en los dos terminales del sistema y asegurar la estabili-

./..



2.

dad de estas características.

Para soslayar estas dificultades se han propuesto
convertidores no lineales en los que la cuantificación no lineal se
obtiene por métodos puramente digitales. El precio pagado por el
20 aumento de reproductibilidad de estos métodos es una cantidad sus-
tancial de complejidad de circuitos.

Por lo tanto, un objeto del invento es obtener una carac-
terística de conversación no lineal por métodos digitales sin intro-
ducir una complejidad indebida.

25 De acuerdo con el invento se propone un convertidor no
lineal digital a analógico para señales eléctricas codificadas en un
código binario de N dígitos que comprende n terminales de entrada
para los n dígitos menos significativos del código y $(N-n)$ termina-
les de entrada para los $(N-n)$ dígitos más significativos del código,
30 medios para generar una señal analógica de magnitud proporcional al
número representado por los n dígitos, medios para generar una señal
pedestal cuando cualquiera de los $(N-n)$ dígitos restantes es un
"uno", medios para sumar dicha señal analógica y dicho pedestal para
producir una señal de salida y medios para modificar la magnitud de
35 dicha señal de salida de acuerdo con el número representado por los
 $(N-n)$ dígitos, comprendiendo la característica de conversación del
convertidor $(2^{(N-n)} - 1)$ segmentos rectilíneos unidos para dar una
aproximación de una curva exponencial.

A continuación se describirá el invento con relación a los
40 dibujos que se acompañan en los que:

La fig. 1 muestra en forma esquemática un convertidor de
acuerdo con una realización del invento.

La fig. 2 es una representación en forma tabular de la
forma del código binario digital.

45 La figura 3 es una representación gráfica de la caracterís-



3.

tica de conversación producida por el circuito de la figura 1.

Aunque el circuito de la fig. 1 está dispuesto para recibir una señal codificada que tiene cinco dígitos, esto se hace solamente a título de ejemplo y puede extenderse a cualquier número de dígitos.

Los dígitos de la señal codificada se aplican a los terminales 1 a 5 en forma paralela, estando conectado el dígito menos significativo al terminal 1 y el dígito más significativo al terminal 5. Los dos dígitos menos significativos de la señal de código recibida se llevan a un decodificador lineal convencional A en cuya salida se produce un voltaje analógico V_A de valores 0, 1, 2 ó 3 unidades según la combinación de código recibida. Una puerta OR, G, tiene sus entradas conectadas a los restantes terminales de entrada 3 a 5, de forma que la puerta está abierta cuando se aplica una señal de trabajo a cualquiera de estos terminales.

Un generador de voltaje de pedestal B produce en su salida un voltaje fijo V_B de 4 unidades cuando la puerta OR está abierta, esto es, cuando se aplica una señal de trabajo a cualquiera de los terminales 3 a 5. Los voltajes V_A y V_B están aplicados a las entradas de un circuito sumador de voltaje C en cuya salida se produce un voltaje $V_C = V_A + V_B$. Una unidad multiplicadora D está conectada en serie entre la salida del circuito sumador C y una carga R_L para la señal analógica.

La unidad multiplicadora comprende una pluralidad de resistencias cada una de las cuales puede conmutarse al circuito de salida por medio de un conmutador. Por sencillez estos conmutadores se han representado como contactos de un conmutador convencional, pero se sobreentiende que, en la práctica, se usan conmutadores electrónicos o de otros tipos. Los conmutadores del multiplicador están accionados por una matriz de decodificación E. Las entradas de la matriz están



4.

conectadas a los terminales 3 a 5 para los tres dígitos más significativos del código. La matriz tiene también un número de circuitos de salida igual al número de combinaciones posibles de los tres dígitos más significativos, esto es 8. En la disposición de la fig. 1, las resistencias del multiplicador están dispuestas en un circuito paralelo y el funcionamiento de la matriz está organizado de forma que sólo está excitada una salida en un momento cualquiera dado. El multiplicador y la matriz decodificadora pueden, sin embargo, estar dispuestas de otra forma para producir los mismos resultados. Por ejemplo, la matriz de decodificación puede estar hecha para que excite varias salidas simultáneamente de acuerdo con la combinación de códigos de los terminales 3 a 5. En este caso se conmutaría un número variable de resistencias al circuito, en el multiplicador D en cualquier momento y el valor de las resistencias tendría que modificarse correspondientemente. También se podrían disponer las resistencias en el multiplicador en serie en vez de en paralelo como se ha representado. En este caso puede organizarse también la matriz para que tenga una sola resistencia o un número variable de resistencias en circuito en cualquier momento.

A continuación se describirá el funcionamiento del convertidor. Designamos por N el número total de dígitos del código, por n el número de dígitos menos significativos aplicados al convertidor lineal A, y por $(N - n)$ el número de dígitos más significativos aplicados a la puerta "OR" G y a la entrada de la matriz de decodificación E. En el ejemplo considerado $N = 5$, $n = 2$ y $(N - n) = 3$, de forma que el número total de combinaciones posibles de código es $2^5 = 32$. Estas combinaciones se han representado en el cuadro de la fig. 2, que está dispuesto para mostrar que puede obtenerse cualquiera de las 32 combinaciones combinando las 4 combinaciones posibles representadas por los dos dígitos menos significativos y las 8 combinaciones posibles re-



5.

presentadas por los tres dígitos más significativos del código.
Se observará que para cada una de las 8 combinaciones posibles de los $(N - n)$ dígitos más significativos los n dígitos menos significativos representan cíclicamente los valores 0, 1, 2 y 3. Una sección
110 de la característica de conversión obtenida con el circuito de la fig. 1 se ha representado en la fig. 3. En este punto debe señalarse que aunque el circuito del decodificador y las características de muestra tienen una salida analógica que es unidireccional, el invento se usaría normalmente con un código simétrico, esto es, uno
115 en el que se incluye otro dígito en el código para indicar la polaridad de la señal decodificada de forma que se usa una característica de conversión idéntica para las señales positivas y negativas.

La señal analógica V_A obtenida en la salida del decodificador lineal A está indicada en la fig. 3 por la curva escalonada
120 que permanece debajo del segmento lineal O-A. En el ejemplo representado, el incremento en esta parte de la característica es de 1 voltio. Cuando cualquiera de los dígitos más significativos es un "1", por ejemplo, en todos los códigos superiores a 00011, se añade un voltaje de pedestal V_B de cuatro unidades a V_A . En la fig. 3 esto
125 está representado por la línea horizontal de puntos del código 00100. Los voltajes analógicos representados por los cuatro códigos siguientes, esto es, de 00100 a 00111 quedarán por lo tanto debajo del segmento lineal A-B que tiene la misma pendiente que el segmento O-A.

A continuación consideraremos la función del multiplicador D. La señal analógica es el voltaje en la carga R_L producido por
130 la corriente J_L .

La magnitud de esta corriente está determinada por el voltaje que aparece en la salida del sumador de voltaje C y la resistencia total del circuito. Esta resistencia total comprende R_L , la
135 impedancia de salida del sumador, y el valor de la resistencia del



6.

multiplicador. La corriente analógica J_L que circula a través de la carga R_L es así proporcional al producto de V_C y $\frac{1}{R_{tot}}$

En el ejemplo escogido, la matriz de decodificación E tendría 8 salidas, una para cada combinación posible de los $(N - n)$ dígitos que comprende la combinación "000". Así, cuando el código binario de entrada aplicado a los terminales 1 a 5 no contiene "1" en los terminales, 3, 4 y 5 se cierra el primer interruptor del multiplicador insertando la resistencia R_1 en el circuito analógico. Puesto que la pendiente del segmento A-B de la figura 3 es igual a la del segmento O-A, el valor de la segunda resistencia del multiplicador se hace igual al de R_1 .

La característica de conversión del dispositivo es una aproximación rectilínea a una exponencial en la que la relación de dos segmentos adyacentes es 2.

Así, la magnitud de los escalones asociados con el segmento B-C se dobla con relación al segmento A-B. El tamaño de los escalones del segmento siguiente C-D se duplicaría de nuevo por la elección adecuada de las resistencias del multiplicador. Se verá que la característica completa comprende $2^{(N-n)} - 1$ secciones lineales, cada una de las cuales excepto la primera comprende 2^n pasos de incrementos iguales. La primera sección tiene el doble de incrementos iguales. Esto es debido al hecho de que los valores analógicos representados por los n dígitos menos significativos comprenden el valor 0, el cual, quedaría igual sea cual sea el valor de las resistencias del multiplicador. Por esta razón tiene que disponerse del generador de voltaje de pedestal B y los segmentos sucesivos se producen multiplicando las ordenadas del segmento AB por el factor pertinente.

En la fig. 3 se ve que la salida analógica del convertidor queda totalmente por debajo de los segmentos definidos por las líneas de puntos O-B, B-C, etc. El valor efectivo de la salida es



per lo tanto inferior al de la correspondiente a la curva de puntos.
 En un sistema que comprende un terminal transmisor y un terminal
 receptor, se tendrían normalmente en el extremo receptor disposiciones
 de circuito para dar medio quantum del voltaje de compensación de
 170 forma que el valor medio de la salida analógica es igual al de la
 línea curva de puntos. Los resultados deseados pueden obtenerse dando
 una tercera entrada al sumador de voltaje y aplicando a ésta una se-
 ñal igual a $\frac{1}{2}$ paso generada en el decodificador lineal.

Por supuesto, puede disponerse que el $\frac{1}{2}$ quantum de com-
 175 pensación esté en el terminal de transmisión del sistema.

Se sobreentiende que la descripción precedente de ejem-
 plos específicos del invento ha sido hecha únicamente a título de
 ejemplo y no tiene que considerarse como una limitación de su
 alcance.

180 Este invento corresponde a una solicitud de patente for-
 mulada en Inglaterra el 10 de febrero de 1967 señalada con el
 nº. 6510/67 y se acogo por lo tanto a los beneficios que otorgan
 los convenios internacionales vigentes.

----- N O T A -----

185 Los puntos de invención propia y nueva que se presentan
 para que sean objeto de esta patente de veinte años, son los si-
 guientes:

- 1.- Un convertidor para señales eléctricas codificadas, no lineal,
 de digital a analógico en un código binario de N dígitos, que com-
 prende n terminales de entrada para los n dígitos menos significati-
 190 vos del código y (N - n) terminales de entrada para los (N - n) dígi-
 tos más significativos del código, medios para generar una señal ana-
 lógica de magnitud proporcional al número representado por los n dí-
 gitos, medios para generar una señal de pedestal cuando cualquiera de
 los dígitos restantes (N - n) es un "1", medios para sumar dicha



8.

- 195 señal analógica y dicha señal de pedestal para producir una señal de salida y medios para modificar la magnitud de dicha señal de salida de acuerdo con el número representado por los $(N - n)$ dígitos, comprendiendo la característica de conversión del convertidor
- (2 ^{$(N-n)$} -1) segmentos rectilíneos dispuestos extremo con extremo para
200 dar una aproximación a una curva exponencial.
- 2.- Un convertidor para señales eléctricas codificadas como el del punto 1 en el que las señales eléctricas están codificadas en un código binario simétrico en el que se usa otro dígito para indicar la polaridad de la señal.
- 205 3.- Un convertidor como el de los puntos 1 ó 2 en el que la relación de las pendientes de dos segmentos adyacentes rectilíneos de la característica de conversión es constante e igual a dos.
- 4.- Un convertidor como el del punto 3 en el que los medios para generar la señal analógica proporcional son un decodificador lineal que
210 tiene sus n terminales de entrada digital conectados a los n terminales de entrada del convertidor.
- 5.- Un convertidor como el del punto 4 en el que los medios para generar la señal de pedestal comprende una puerta OR que tiene sus entradas conectadas a las $(N-n)$ entradas digitales adyacentes más significativas, aplicando dicha puerta, cuando está abierta, una señal
215 de pedestal de magnitud equivalente a los $(2^n + 1)$ pasos del código a una de las entradas de los medios sumadores.
- 6.- Un convertidor como el del punto 5 en el que las señales analógica y de pedestal son voltajes y los medios para añadirlos son un circuito sumador de voltaje.
220
- 7.- Un convertidor como el del punto 6 en el que los medios para modificar la salida del circuito sumador de voltaje comprenden una matriz de decodificación que tiene sus entradas conectadas a los $(N - n)$ terminales de entrada del convertidor, accionando la matriz 2 ^{$(N-n)$}



9.

- 225 conmutadores, cada uno de los cuales está asociado a una resistencia en un circuito multiplicador, estando cerrados los conmutadores en respuesta a los números representados por el código de $(N - n)$ dígitos, conectando cada conmutador a la salida del circuito de suma de voltaje una resistencia, escogiéndose el valor de las resistencias para
- 230 aumentar la corriente en dicho circuito de salida en un factor 2 para cada cambio, excepto el primer número representado por los $(N - n)$ dígitos binarios más representativos.
- 8.- Un convertidor como el del punto 7 en el que en cualquier momento sólo está cerrado un conmutador en el circuito multiplicador,
- 235 9.- Un convertidor como el del punto 7 en el que el número de conmutadores cerrados en cualquier momento varía en relación con el número representado por los $(N - n)$ dígitos del código.
- 10.- Un convertidor como el del punto 9 en el que cuando varios conmutadores están cerrados al mismo tiempo las resistencias respectivas
- 240 están conectadas en paralelo o en serie.
- 11.- Un convertidor como el de los puntos 10 u 8 en el que una señal de compensación igual a medio nivel de cuantificación en la salida del convertidor es producida sumando a una tercera entrada de sumador un potencial igual a medio quantum generado en el decodificador lineal.
- 245 12.- Un convertidor sustancialmente como el de la fig. 1 de los dibujos que se acompañan.
- 13.- Un convertidor para señales eléctricas codificadas.

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

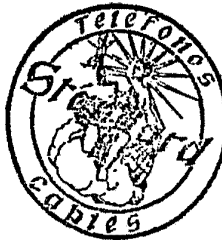


10.

250

Esta memoria consta de diez hojas escritas por una sola cara.

Madrid, 10 FEB. 1968



EUGENIO BARROSO
Secretario General

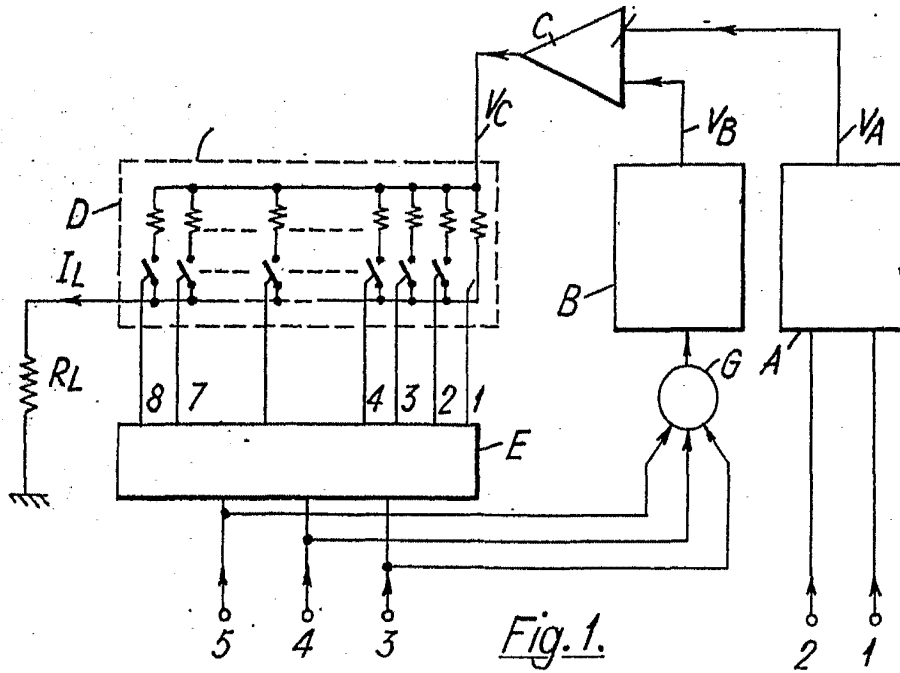


Fig. 1.

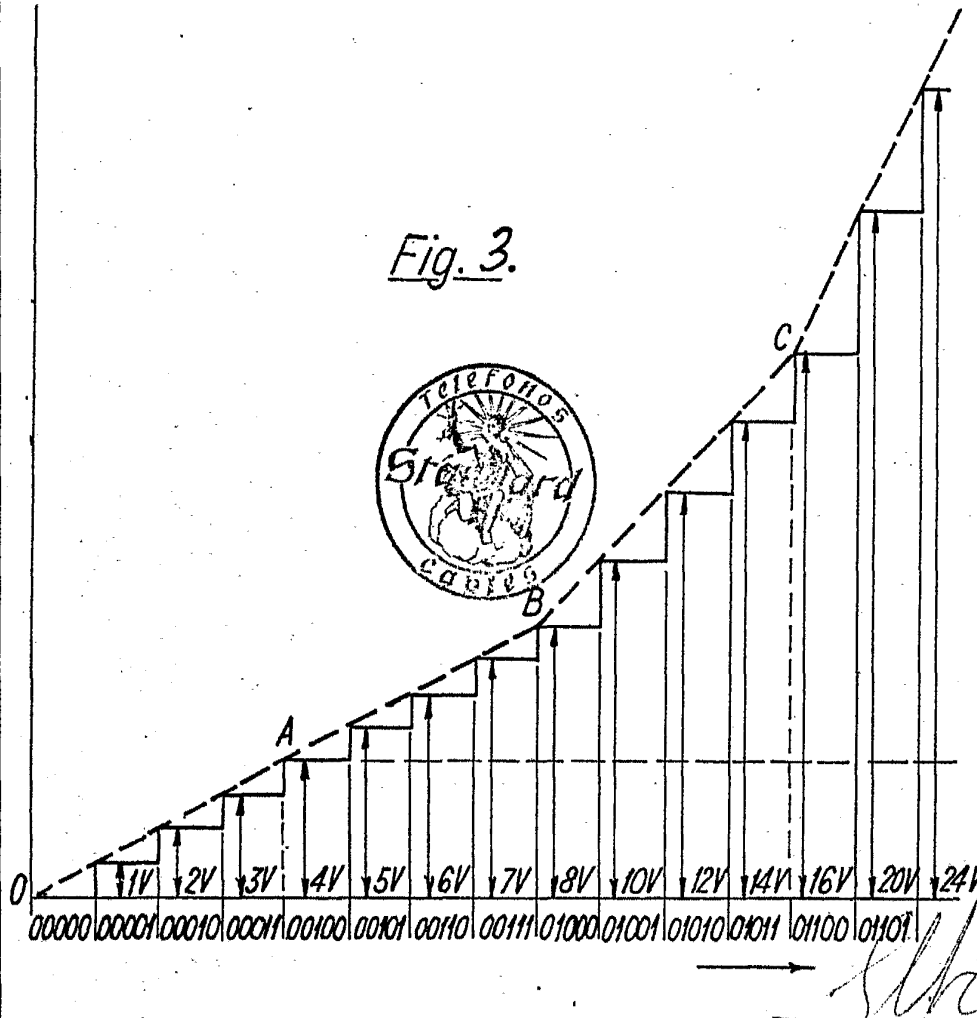


Fig. 3.

10 FEB. 1968

EUGENIO BARROSO
* Secretario General

2/2



	5th	4th	3rd	2nd	1st
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					
16					
17					
18					
19					
20					
21					
22					
23					
24					
25					
26					
27					
28					
29					
30					
31					
32					

10 FEB. 1968

Fig.2.



Eugenio Barroso
EUGENIO BARROSO
Secretario General