

349620
A. Y. LE MAOUT - C. P. H. LEROUGE 5-7



MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR: "CODIFICADOR NO LINEAL", A NOMBRE DE
STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID, CALLE
DE RAMIREZ DE PRADO Nº 5

El presente invento se refiere a un dispositivo para codificar en código binario una señal analógica, cuya curva característica es no lineal y discontinua.

La codificación por realimentación, uno de los muchos métodos de codificación, se hace comparando el valor analógico de un número representado en un registrador con la señal que tiene que codificarse con lo que así se puede determinar si el número es mayor o menor que el requerido. En el primer caso se reduce el número; en el segundo caso se aumenta. La comparación sigue hasta que los voltajes comparados difieren solamente, a lo sumo, en el valor del escalón de cuantificación. El número representado en el registrador se traslada al valor analógico por medio de un decodificador; cuando se utiliza un decodificador no lineal, la codificación se hace de acuerdo con una curva característica no lineal. Como puede utilizarse el mismo decodificador para decodificar y codificar, la ley de compresión del dispositivo codificador y la ley de expansión del dispositivo decodificador son completamente complementarias supuesto que el decodificador tiene ca-



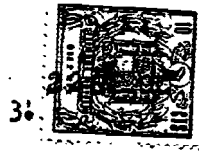
características estables y reproducibles.

En el caso A.Y. LE MAOUT - C.P.H. LEROUGE 3-6 se describe un decodificador binario que comprende $n = 7$ dígitos de los que el más significativo caracteriza un voltaje positivo o negativo según que sea 1 ó 0, caracterizando los restantes dígitos la amplitud de este voltaje medida por encima y debajo del voltaje nulo de forma que el código que comprende n dígitos "1" representa la amplitud máxima positiva y el código que comprende un "0" y seis dígitos "1" representa la amplitud máxima negativa. Este decodificador tiene una curva característica que es simétrica con relación a la abscisa cero; cada parte de la curva tiene siete segmentos y dos segmentos cualesquiera consecutivos tienen pendientes en relación dos a uno.

Un decodificador digital a analógico de este tipo tiene los componentes siguientes: un registrador, un decodificador que decodifica los cuatro dígitos más significativos, varios generadores de corriente, controlados por señales de los flip-flops de registrador, que suministran corriente a dos atenuadores idénticos a través de puertos electrónicos controladas por las señales de salida del decodificador. El voltaje decodificado es el voltaje entre los terminales de salida de los atenuadores.

Cuando se utiliza este tipo de decodificador en un dispositivo de codificación, debe disponerse de un cierto número de circuitos diseñados para adaptar el decodificador a los circuitos de codificación. Estos circuitos de codificación, que tienen otras aplicaciones, comprenden principalmente: un comparador que compara el voltaje dado por el decodificador con el voltaje que tiene que codificarse, una unidad lógica que interpreta el resultado de la comparación y da una señal para situar los flip-flops del registrador y finalmente una unidad de reloj que suministra a la unidad lógica señales de tiempo sucesivas.

El objeto del presente invento es diseñar un codificador no lineal con una curva característica discontinua y más específicamen-



te circuitos que adaptan el decodificador a los circuitos de codificación.
50

De acuerdo con una característica del presente invento un codificador que traslada un voltaje analógico a un número binario que comprende $n = 7$ dígitos de los que el más significativo caracteriza un voltaje positivo o negativo, caracterizando los demás dígitos la amplitud de este voltaje medido por encima y debajo del voltaje nulo,
55 comprende un decodificador cuya curva característica es asimétrica con relación a la abscisa cero, estando dividida cada parte en siete segmentos, estando las pendientes de dos segmentos consecutivos en la relación de dos a uno, medios conectados a las salidas del decodificador que le dan corrientes proporcionales al voltaje que tiene que codificarse, un comparador cuyas entradas están conectadas a las salidas del decodificador, un circuito lógico para interpretar las señales dadas por el comparador de acuerdo con la polaridad del voltaje que tiene que codificarse, una unidad lógica de recepción, a través de dicho
60 circuito lógico, de las señales dadas por el comparador y que da señales de control a los flip-flops de registrador de decodificador, una unidad de reloj que da a la unidad lógica las señales de tiempo que necesita para funcionar.
65

De acuerdo con otra característica del presente invento,
70 los medios para obtener corrientes proporcionales al voltaje que tiene que codificarse son los siguientes: dos generadores de corriente que suministran corrientes iguales cuando el voltaje que tiene que codificarse es cero y cuyas variaciones de corriente están en oposición de fase y son proporcionales al voltaje que tiene que codificarse.

De acuerdo con otra característica del presente invento,
75 los generadores de corriente que suministran corrientes proporcionales al voltaje que tiene que codificarse pueden ser sustituidos por un primer generador de corriente que suministra corriente constante y un segundo generador de corriente que suministra corriente que varía en



80 relación con el voltaje que tiene que codificarse, siendo igual la corriente suministrada por este segundo generador a la suministrada por el primer generador cuando el voltaje que tiene que codificarse es nulo.

85 Los antes mencionados y otros objetos y características de este invento quedarán más claros y el invento mismo se comprenderá mejor con relación a la siguiente descripción dada de acuerdo con los dibujos que se acompañan en los que:

- La figura 1 representa la curva característica del decodificador;
- La figura 2 representa un diagrama de bloque del decodificador utilizado en el dispositivo de codificación;
- 90 - La figura 3 muestra un codificador con la característica del presente invento;
- La figura 4 representa otro ejemplo de realización del circuito 14 de la figura 3.

95 Antes de describir el invento discutiremos brevemente las notaciones de álgebra lógica que se usarán aquí para simplificar la descripción de las operaciones lógicas. Este tema ha sido tratado extensamente en numerosas publicaciones y en particular en el libro "Logical design of digital computers" de M. Phister (Editor, J. Wiley).

100 Así, si una condición caracterizada por la presencia de una señal se escribe A, la condición caracterizada por la ausencia de dicha señal se escribirá \bar{A} . Estas dos condiciones están unidas por la condición lógica conocida $A \times \bar{A} = 0$, en la que el signo "x" es el símbolo de la función lógica de coincidencia o función "AND".

105 Si solamente aparece la condición C cuando están presentes simultáneamente las condiciones A y B, se escribe $A \times B = C$ y esta función puede llevarse a cabo por medio de un circuito de coincidencia o AND.

110 Si aparece la condición C cuando por lo menos una de las dos condiciones E y F está presente, se escribe $E + F = C$ y esta fun-



ción es hecha por medio de una puerta mezcladora o circuito OR.

Puesto que las funciones lógicas AND y OR son conmutativas, asociativas y distributivas, se puede escribir:

$$A + B = B + A;$$

$$A \times (B + C) = A \times B + A \times C;$$

$$(A + B) (C + D) = AxC + AxD + BxC + BxD; \text{ etc.}$$

Finalmente la función de dos variables A y B puede presentar cuatro combinaciones posibles y si una se escribe AxB, las otras tres combinaciones se representan globalmente por la expresión $\overline{A} \times B$.

Si se caracteriza la condición A por el dígito 1 y una condición \overline{A} por el dígito 0, la condición B por el dígito 1 y la condición \overline{B} por el dígito 0 la combinación A x B puede escribirse 11, la combinación $\overline{A} \times B$ puede escribirse 01, etc.

Un decodificador no lineal para números binarios de n dígitos ($n = 7$) cuya característica discontinua se representa en la figura 1 se describió en el caso antes mencionado. Con relación a la figura 1, el eje de abscisas X'MX está graduado en fracciones $1/2, 1/4, 1/8, \dots, 1/228$ del valor máximo absoluto U y el eje de ordenadas Y'MY está graduado en códigos hechos de los cuatro dígitos más significativos de los números binarios que tienen que decodificarse. Esta curva característica está dividida en siete segmentos a cada lado del punto M y en consecuencia los extremos de dichos segmentos están situados en una curva logarítmica. Estas extremidades están rotuladas H, I, J, K, L, P, Q y R en la curva de amplitud positiva y H', I', J', K', L', P', Q' y R' en la curva de amplitud negativa. Es sencillo demostrar que las pendientes de dos segmentos consecutivos cualquiera están en la relación de dos a uno; también puede demostrarse que el segmento MH, que une el punto M al primer punto H de la curva logarítmica, tiene la misma pendiente que el segmento HI y que está así en línea con la última. Cada código de cuatro dígitos representado entre paréntesis en el eje de ordenadas Y'MY, representa una zona de codificación, habiénd-

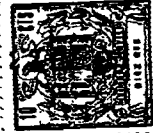


dose rotulado las diferentes zonas de codificación C'0 a C'7 para las
 amplitudes negativas y C"0 a C"7 para las amplitudes positivas. Se se-
 ñalará que las zonas de codificación C'0 y C'1 de hecho forman una so-
 145 la zona de codificación rotulada CN, y los segmentos correspondientes
 están en línea. Lo mismo se aplica a las zonas de codificación C"0 y
 C"1 que forman la zona CP. La amplitud del voltaje correspondiente a
 un código de la zona (esto es, por definición, el valor del escalón de
 150 cuantificación de la zona) se ha representado entre las líneas de pun-
 tos paralelas al eje de ordenadas. El valor de este escalón se mide en
 términos del valor V del escalón de cuantificación de la zona central
 CN ó CP.

Brevemente, la operación de codificación consiste en hacer
 que un código corresponda a un voltaje, siendo gobernada esta corres-
 155 pondencia por una ley particular que, en el caso específico aquí des-
 crito es una ley logarítmica aproximada, representada en la figura 1.
 Inversamente, la operación de decodificación consiste en hacer que un
 voltaje corresponda a un código usando la misma curva característica
 representada en la figura 1. Por lo tanto un codificador digital a ana-
 160 lógico puede usarse tanto como decodificador-expansor y como decodifi-
 cador asociado a un codificador compresor-expansor con codificación he-
 cha por realimentación.

La figura 2 representa un ejemplo de realización específi-
 ca de un decodificador cuya curva característica es la representada en
 165 la figura 1. En las figuras 2 y 3 el símbolo 1 (un dígito 1 en un cír-
 culo) representa una puerta mezcladora electrónica conocida como cir-
 cuito "OR", que da una señal positiva en su salida cuando se aplica una
 señal positiva a por lo menos una de las entradas indicadas por las
 flechas en la circunferencia del círculo. Si C y D son las señales apli-
 170 cadas a ambas entradas, este circuito cumple con la condición lógica
 establecida $C + D$.

Un símbolo como el P'1 es el de una puerta electrónica que



cuando está activada por una señal CN aplicada a su entrada 2 transmite en un conductor de salida 4 la amplitud de la señal que está aplicada a su entrada principal 3.

Un símbolo como el B1 indica un flip-flop en una de cuyas entradas 5 ó 6 se aplica una señal de control colocándolo en el estado 1 ó 0 respectivamente. Un voltaje que tiene la misma polaridad que la de las señales de control está en la salida 7 cuando el flip-flop está en su estado 1 y en la salida 8 cuando el flip-flop está en su estado 0. Sea $\overline{B1}$ la condición lógica del flip-flop en estado 0.

El símbolo RG representa un registrador hecho por siete flip-flops (previamente descrito) denominados B1 a B7; los flip-flops están asignados a los distintos dígitos del código, siendo el dígito más significativo el representado por el flip-flop B1. En la descripción siguiente los distintos dígitos de código se denominarán b1, b2, b3, b4, b5, b6, y b7 representados por los flip-flops B1, B2, B3, B4, B5, B6 y B7 respectivamente.

Un símbolo como el ZD representa un circuito decodificador que, en el ejemplo de la realización, traslada un código binario de cuatro dígitos aplicado por el grupo de ocho conductores de salida de los flip-flops B1, B2, B3 y B4 del registrador RG a un código de "uno entre diez y seis", esto es, sólo es dada una señal positiva por uno de los 16 conductores de salida C'0 a C'7 y C''0 a C''7 para cada número representado por los flip-flops B1, B2, B3, B4 del registrador RG. En el ejemplo descrito, los conductores de salida C'0 y C'1 forman un solo conductor CN; lo mismo es cierto para los conductores C''0 y C''1 que forman el conductor CP. Estos conductores llevan la misma rotulación que los códigos a los que corresponden.

Un símbolo como el G4 representa un generador de corriente que da corriente constante con amplitud I en una impedancia cuyo valor es muy pequeño con relación a la impedancia interna de dicho generador. El generador se desconecta por la aplicación de una señal de control B7



que corresponde al estado 1 del flip-flop B7.

205

El decodificador de la figura 2 comprende un registrador RG con flip-flops B1 a B7 para la escritura de códigos de 7 cifras, el decodificador de zona ZD y los circuitos de pesado y suma WR, que da una característica de voltaje del valor de código representado en el registrador RG entre los terminales A y B.

210

El circuito de pesado y suma WR comprende dos atenuadores SN y SP conectados a generadores de corriente G1 a G4 a través de puertas electrónicas Pⁿ1 a Pⁿ7 en el caso del atenuador SP. El funcionamiento de estos atenuadores se describió en la patente francesa 1.357.668 (caso M.L. AVIGNON - A.Y. LE MAOUT 1-1). Pat. española No. 324.356.

215

Puesto que las resistencias shunt de los dos extremos de estos atenuadores tienen un valor R, los atenuadores con una impedancia característica $2R/3$ que introducen una atenuación de dos por célula pueden obtenerse seleccionando valores $2R$ y R para las otras resistencias shunt y para las resistencias serie, respectivamente. En consecuencia si se aplica una corriente I en el punto Q'0 de la red atenuadora SN, aparece un voltaje $V_B = 2RI/3$ en los terminales RN de la resistencia y cada vez que se mueve el punto de aplicación a la izquierda de la figura, disminuye el voltaje V_B en la relación de dos a uno. Entonces es obvio que la relación de atenuación es una potencia negativa de dos cuyo exponente es dado por el dígito de la denominación del punto de aplicación. Así, una corriente aplicada en el punto Q'2 produce un voltaje inferior en una relación de $2^{-2} = 1/4$ con relación a la producida por la misma corriente aplicada al punto Q'0.

220

225

230

Además, si se aplica en un punto dado corrientes suministradas por dos generadores cuya resistencia interna es alta con relación a la impedancia característica de la red, se suman las corrientes. En la figura 2, los generadores de corriente G1 a G4 generan corrientes $8I$, $4I$, $2I$ e I respectivamente.

A continuación se da una breve descripción del funciona-



235 miento del decodificador representado en la figura 2. Dado un código
 específico representado en el registrador RG, la decodificación de los
 cuatro dígitos más significativos b1 a b4 activa uno de los conducto-
 res de salida del decodificador de zona ZD. La señal de salida abre
 una de las puertas electrónicas P'1 a P'7 asociada a la red SN cuando
 240 el dígito más significativo es un 0 (amplitud negativa), o abre una de
 las puertas electrónicas P"1 a P"7 asociada a la red SP cuando el dí-
 gito más significativo es un 1 (amplitud positiva). Una vez que se ha
 abierto una de las catorce puertas electrónicas los ~~generadores~~ de co-
 rriente G1 a G4 pueden dar corriente en un punto dado, en uno de los
 245 dos atenuadores, habiéndose abierto un número de generadores directa-
 mente por las señales de flip-flop de registrador RG. El voltaje de-
 codificado es el que aparece entre los terminales de salida A y B de
 los atenuadores, los voltajes $V_A - V_B$, por ejemplo. En la figura 2, se
 supone que los generadores de corriente G1 a G4 están conectados a una
 250 fuente de voltaje V1 mientras que las resistencias RN y RP de los ate-
 nuadores SN y SP están conectadas a una fuente de voltaje V2 tal que
 $V_2 > V_1$.

La figura 3 muestra un ejemplo de realización específica
 de un codificador no lineal con una característica discontinua que
 255 muestra las características del presente invento. Este codificador tie-
 ne los componentes del decodificador mostrado en la figura 2 principal-
 mente el registrador RG (sólo aparece el flip-flop B1), el decodifica-
 dor de zona ZD, el circuito de peso y suma WR cuyos terminales de sa-
 lida A y B están indicados; este decodificador está rotulado D en la
 260 figura 3. Este codificador comprende también componentes usados normal-
 mente en un codificador de realimentación, principalmente un comparador
 2 para dar una señal positiva, por ejemplo, cuando el voltaje $V_A - V_B$
 es negativo, una unidad lógica 11 para interpretar la señal dada por el
 comparador 2 y más especialmente para ajustar las señales de colocación
 265 del registrador RG; y finalmente un circuito de reloj H para dar seña-



les de tiempo sucesivas a la unidad lógica 11. Estos componentes, normalmente usados en los codificadores de realimentación, y por lo tanto conocidos, no se describirán en la presente descripción.

Los circuitos para adaptar el decodificador a los circuitos de codificación son los circuitos 14 y 15. El circuito 14 está diseñado para probar la señal de baja frecuencia que tiene que codificarse y para dar una corriente proporcional a la amplitud de la muestra, aplicándose esta corriente al circuito WR. El circuito 15 está diseñado para interpretar la señal dada por el comparador 2 de acuerdo con el estado del flip-flop B1. El circuito 15 realiza la función lógica $B_0 \times B_1 + \overline{B_0} \times \overline{B_1}$ conocido como la "exclusiva OR" complementada. Los circuitos AND y OR, que constituyen el circuito 15, no aparecen en la figura 3.

El voltaje de BF que tiene que codificarse está aplicado continuamente al circuito 14 en sus terminales A' y B'. Estos dos terminales A' y B' están interconectados mediante dos resistencias iguales R3 y R4 cuyo punto común está conectado a un potencial V3 inferior al V2. El terminal A' está conectado a través de una puerta electrónica 12 a una de las placas de un condensador C1 cuya otra placa está conectada al potencial V3. El terminal B', a través de la puerta electrónica 13, está conectado a una de las placas de un condensador C2 cuya otra placa está conectada al potencial V3. Las placas no unidas al potencial V3 están conectadas a las bases de transistores idénticos NPN, T1 y T2 respectivamente. Los emisores de los transistores T1 y T2 están interconectados a través de resistencias R1 y R2, cuyo punto común está conectado a un generador de corriente I' que da una corriente constante I'; este generador puede, por ejemplo estar conectado a un suministro de voltaje V4 mientras que los generadores de corriente del circuito WR G1 a G4 (figura 2) están conectados a una fuente de voltaje V1. Los potenciales V1, V2, V3 y V4 están relacionados de la forma siguiente: $V_4 > V_3 > V_2 > V_1$. Las resistencias R1 y R2 tienen un valor



bajo; están diseñadas para equilibrar el montaje de los dos transistores T1 y T2. Estos dos transistores constituyen los generadores de corriente que suministran corrientes que varían de acuerdo con el voltaje de carga de los condensadores C1 y C2, siendo, sin embargo su suma constante y prácticamente igual a I' .

Cuando los condensadores C1 y C2 no están cargados, las bases de los transistores T1 y T2 están al mismo potencial V_3 , y consecuentemente, dichos transistores dan corrientes que igualan a $I'/2$. Si el código representado por el registrador RG es 0000000 ó 1000000, ninguno de los generadores de corriente del circuito WR están en funcionamiento y el comparador 2 no registrará ningún desequilibrio entre los potenciales de los puntos A y B.

Sea $+u$ el voltaje positivo que tiene que codificarse aplicado entre los terminales de entrada A' y B' del circuito 14. Cuando la señal r dada por el circuito 11 está presente, el registrador RG se ajusta al código 1000000 y se abren las puertas electrónicas 12 y 13. Durante la presencia de la señal r, el condensador C1 se carga al voltaje $+u$ mientras que el condensador C2 se carga al voltaje $-u$. La corriente dada por el transistor T1 aumenta en el valor i' proporcional a $+u$ y toma el valor $I'/2 + i'$; la corriente dada por el transistor T2 disminuye en un valor i' y toma el valor $I'/2 - i'$.

Puede considerarse que el proceso de codificación se hace en dos etapas: la primera es la determinación de la polaridad de la muestra y a continuación la colocación del flip-flop B1 en la posición 1 si la muestra es positiva y en el estado 0 si la muestra es negativa. La segunda fase lleva consigo la determinación de la amplitud de la muestra y la colocación de los diferentes flip-flops de registrador en un código que asegura la igualdad de los potenciales de los puntos A y B.

Dada la dirección de las corrientes dadas por los transistores T1 y T2, es obvio que para un voltaje $+u$ a codificar, el voltaje



$V_A - V_B$ es negativo y el comparador 2 está diseñado de forma que da una señal que coloca el flip-flop Bo en el estado 1. Cuando el flip-flop B1 está en 1, la señal de estado 1 del flip-flop Bo se transmite (sin ser invertida) del circuito 15 al circuito 11. El circuito 11 ajusta entonces el circuito B2 a su estado 1, abriendo así el generador G1 (figura 2) y la puerta electrónica P¹⁴ (figura 2). La corriente dada por el generador G1 se reduce así en una relación de $2^3 = 8$ y se resta, en la resistencia RP, de la corriente dada por el transistor T1. Esta sustracción ocurre porque las corrientes dadas por los generadores de corriente G1 a G4 circulan en dirección opuesta a la suministrada por los transistores T1 y T2. A cuenta de esta sustracción de corrientes, el potencial del punto A tiende hacia el valor V2 mientras que el potencial del punto B sigue incambiado. Entonces hay dos posibilidades de acuerdo con la polaridad del voltaje $V_A - V_B$. En el primer caso es negativo el voltaje $V_A - V_B$; en consecuencia el flip-flop Bo está en su estado 1 y el flip-flop B3 del registrador RG en su estado 1, esto es el registrador se coloca en el código 1110000. En el segundo caso, el voltaje $V_A - V_B$ es positivo o nulo, estando así el flip-flop Bo en su estado 0 y consecuentemente el registrador en el código 1010000. En ambos casos, se repite la operación antes descrita situando el flip-flop correspondiente al dígito de código siguiente en el estado 1. Se señalará que la provisión del comparador que ajusta el flip-flop Bo al estado 0 cuando el voltaje $V_A - V_B$ es positivo o nulo implica codificación completa. Por lo tanto a la vista de la decodificación de este tipo de código se ha previsto en el decodificador un generador de corriente adicional para suministrar corriente $I/2$, que reduce el error de decodificación a la mitad del escalón de cuantificación.

Cuando el voltaje que tiene que codificarse tiene un valor máximo de $+u$, la corriente suministrada por el transistor T1 tiene un valor de $I'/2 + I'/2 = I'$ y la corriente suministrada por el transistor T2 tiene un valor de $I'/2 - I'/2 = 0$. Para equilibrar los potenciales



de los puntos A y B, el registrador RG tendrá el código llllll y todos los generadores de corriente G1 a G4 (figura 2) estarán abiertos y aplicarán una corriente de valor $15I$ al punto Q⁰ de la red atenuadora SP. Esta corriente debe equilibrar la corriente I' del transistor T1 que determina el valor de la corriente I' que iguala así a $15I$.

365 Cuando el voltaje que tiene que codificarse es negativo y tiene un valor $-u$, por ejemplo, los transistores T1 y T2 dan corrientes $I'/2 - i'$ e $I'/2 + i'$ y el voltaje $V_A - V_B$ es positivo mientras que es negativo cuando el voltaje que tiene que codificarse es positivo. Durante el primer paso de codificación, el flip-flop B0 se coloca en el estado 0 y consecuentemente, el flip-flop B1 va del estado 1 al estado 0 mientras que el flip-flop B2 va al estado 1. Mediante el circuito lógico 15, el flip-flop B1 de estado es una inversión de la significación de los estados del flip-flop B0 en el segundo paso de codificación. Esta inversión de significación del flip-flop B0 es requerido para hacer la inversión de polaridad del voltaje $V_A - V_B$.

375 La figura 4 muestra otro ejemplo de realización del circuito 14. El voltaje que tiene que codificarse se aplica también entre los puntos A' y B', no obstante el punto B' está conectado al potencial V5 (inferior al V2). La prueba se hace por la puerta electrónica 20 que permanece abierta mientras está presente la señal r. Cuando desaparece la señal r, el condensador C3 tiene un voltaje de carga igual al voltaje aplicado entre los terminales A' y B'.

385 Una de las placas del condensador C3 está conectada al potencial del punto B', esto es al potencial V5 mientras que la otra placa está conectada a la base de un transistor NPN T3 que funciona como un generador de corriente, corriente que varía de acuerdo con la carga del condensador C3. Cuando está descargado el condensador C3, esto es cuando el voltaje que tiene que codificarse es nulo, el transistor T3 suministra una corriente I' igual a $15I$. El colector del transistor T3 está conectado al terminal A del circuito WR, y el ter-



390 minal B del circuito WR está conectado a un generador de corriente G5
 que suministra una corriente constante I' . Así, cuando el voltaje que
 tiene que codificarse es nulo son iguales los potenciales de los pun-
 tos A y B. El emisor del transistor T3 está conectado para suministrar
 voltaje V_6 a través de una resistencia R5. El generador de corriente
 395 G5 está también conectado para suministrar voltaje V_6 . Se verá, como
 antes, que el orden de los potenciales es tal que $V_6 > V_5 > V_2 > V_1$.
 El circuito ilustrado por la figura 4 funciona en forma idéntica a la
 descrita con relación a la figura 3.

400 Se verá también que para equilibrar el circuito represen-
 tado en la figura 4, un circuito de autocentrado, ya conocido por otras
 aplicaciones puede ser equipado, cuya señal de salida efectúa varia-
 ciones en la corriente dada por el generador de corriente G5 por un
 valor que resulta en el voltaje $V_A - V_B$ que es nulo cuando el volta-
 je de BF que tiene que codificarse es nulo.

405 Aunque los principios del presente invento han sido des-
 critos con relación a realizaciones específicas y sus modificaciones
 particulares, se sobrentiende que esta descripción ha sido hecha a
 título de ejemplo y no como una limitación del alcance del invento.
 Más específicamente pueden usarse transistores de polaridad inversa
 410 si se invierten las polaridades de las fuentes de alimentación.

RESUMEN

415 Un codificador cuya curva característica es no lineal y
 discontinua que funciona de acuerdo con el proceso de codificación de
 realimentación y que está diseñado para trasladar a un código binario
 de n dígitos un voltaje analógico y que tiene las siguientes caracte-
 rísticas.

1. Las amplitudes a ambos lados del nivel de voltaje cero
 son codificadas de acuerdo con una escala binaria ordinaria y la pola-
 ridad del voltaje que tiene que codificarse determina el dígito más
 significativo del código.



420

2. La curva característica del codificador es simétrica con relación a la abscisa cero, teniendo cada parte de dicha curva siete zonas cada una de las cuales comprende ocho códigos excepto la zona que termina en el origen y comprende diez y seis códigos; además la relación entre los pasos de cuantificación de dos zonas adyacentes es dos;

425

3. Esta curva característica se obtiene por la instrumentalidad de un decodificador cuyos componentes principales son dos atenuadores idénticos y el voltaje decodificado está disponible entre los terminales de salida de dichas redes;

430

4. Los dos terminales de salida de los atenuadores están conectados por una parte a un comparador y por otra parte a medios que dan corrientes proporcionales al voltaje que tiene que codificarse, restándose estas corrientes de las que circulan por las resistencias de salida de los atenuadores;

435

5. Medios para invertir la significación de las señales dadas por el comparador de acuerdo con la polaridad del voltaje que tiene que codificarse.

440

Este invento corresponde a una solicitud de patente formulada en Francia el 23 de Enero de 1967, señalada con el nº. PV 92.069 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

445

1. Un codificador no lineal para codificar voltajes en grupos de código de siete dígitos de los que el más significativo caracteriza la polaridad de los voltajes, caracterizando los otros dígitos las amplitudes, con relación al voltaje cero, comprendiendo un decodificador que tiene una curva característica que es simétrica con relación a la abscisa cero teniendo cada parte de dicha curva siete seg



450 mentos estando las pendientes de dos segmentos consecutivos cualquiera
 en la relación de dos a uno, un comparador conectado a las salidas del
 decodificador, un circuito lógico que recibe las señales dadas por el
 comparador y que da señales de control para colocar los flip-flops del
 registrador del decodificador y una unidad de reloj que da señales de
 455 tiempo al circuito lógico, medios conectados a las salidas del decodi-
 ficador para dar a dicho decodificador, corrientes proporcionales a
 voltajes y medios lógicos para interpretar las señales de salida del
 comparador de acuerdo con la polaridad de los voltajes.

2. Un codificador no lineal como el del punto 1 con medios
 460 para obtener corriente proporcional al voltaje que tiene que codificar-
 se que comprende dos generadores de corriente que dan una corriente
 igual cuando el voltaje que tiene que codificarse es nulo y cuyas va-
 riaciones de corriente están en oposición de fase y son proporcionales
 al voltaje que tiene que codificarse.

3. Un codificador no lineal como el del punto 1 con me-
 465 dios para obtener una corriente proporcional al voltaje que tiene que
 codificarse, que comprende un primer generador de corriente que da una
 corriente constante y un segundo generador de corriente que da una co-
 rriente igual a la corriente del primer generador de corriente cuando
 470 el voltaje que tiene que codificarse es nulo, siendo proporcionales las
 variaciones de corriente de este segundo generador de corriente al vol-
 taje que tiene que codificarse.

4. Un codificador no lineal.

Tal y como se describe en la memoria que antecede, repre-
 475 sentado en los dibujos que se acompañan y a los fines especificados.



Esta memoria consta de diecisiete hojas escritas por una

sola cara.

Madrid, 22 ENE. 1900



Eugenio Barroso
EUGENIO BARROSO
Secretario General

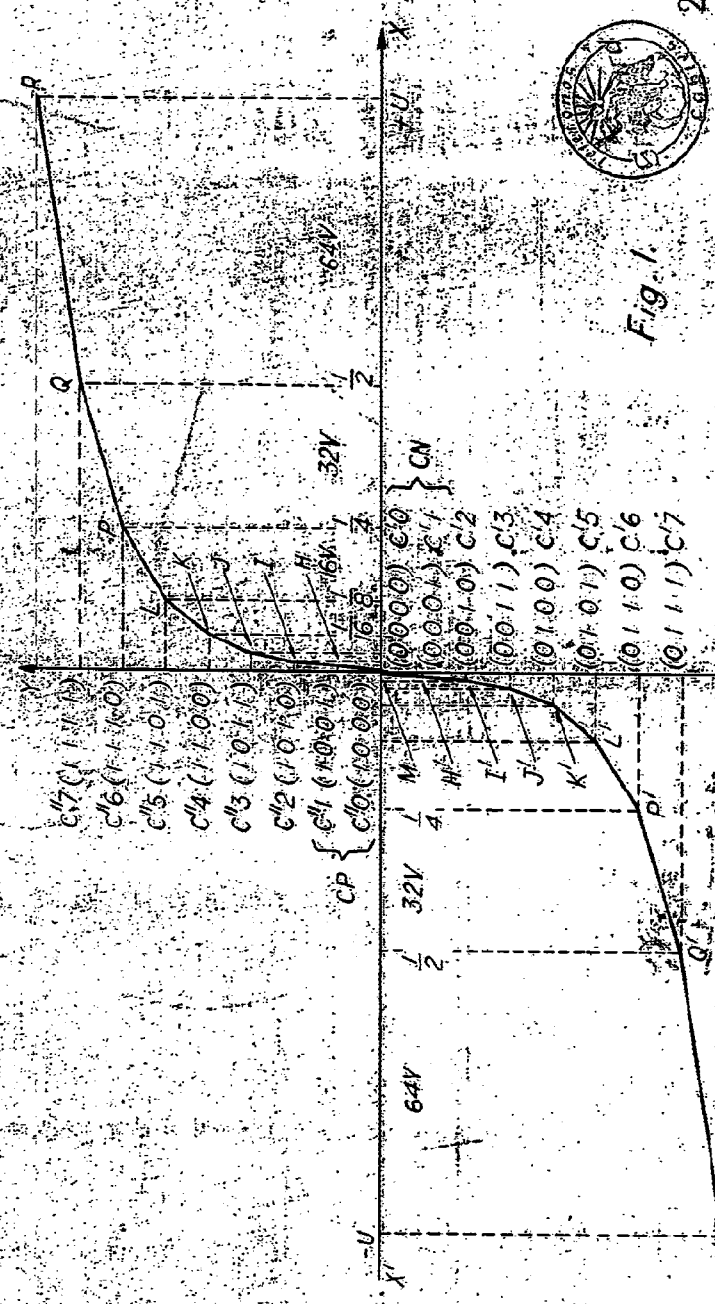


Fig. 1



22-ENC 730

Stamm
 EUGENIO BARROSO
 Secretario General

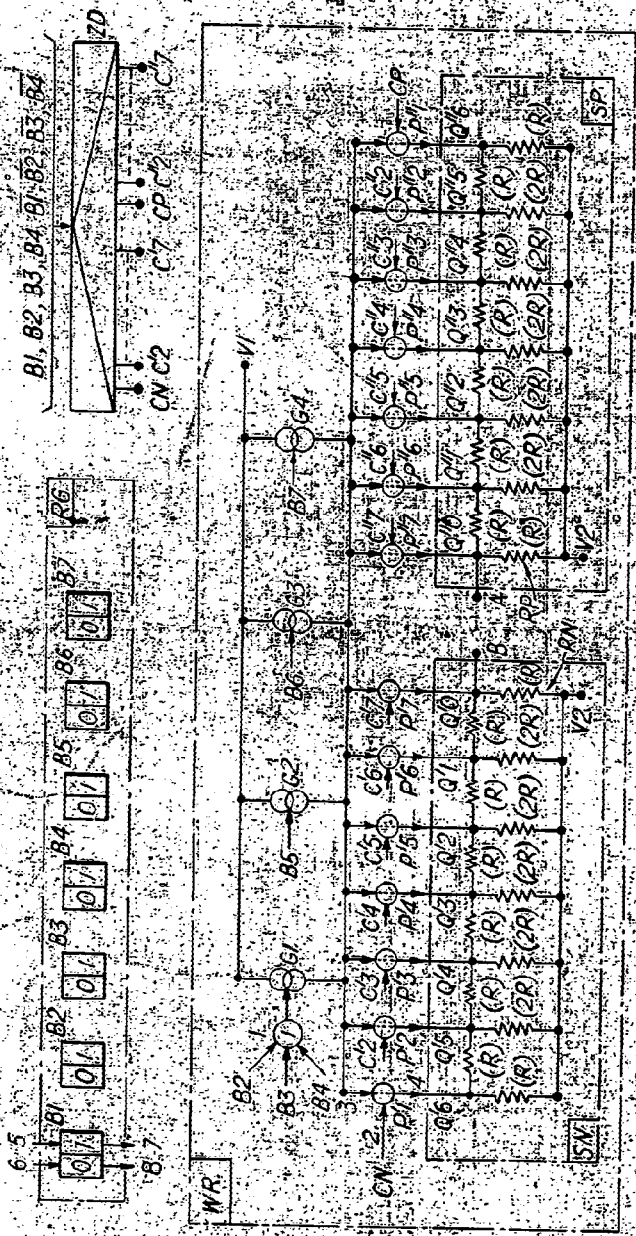


Fig. 2

22 ENE 1900

M. Barroso
 EUGENIO BARROSO
 Secretario General



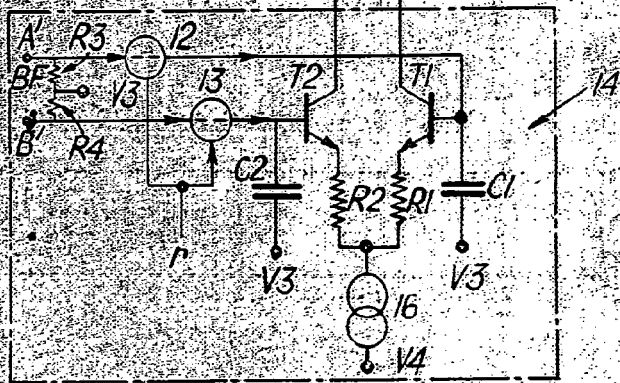
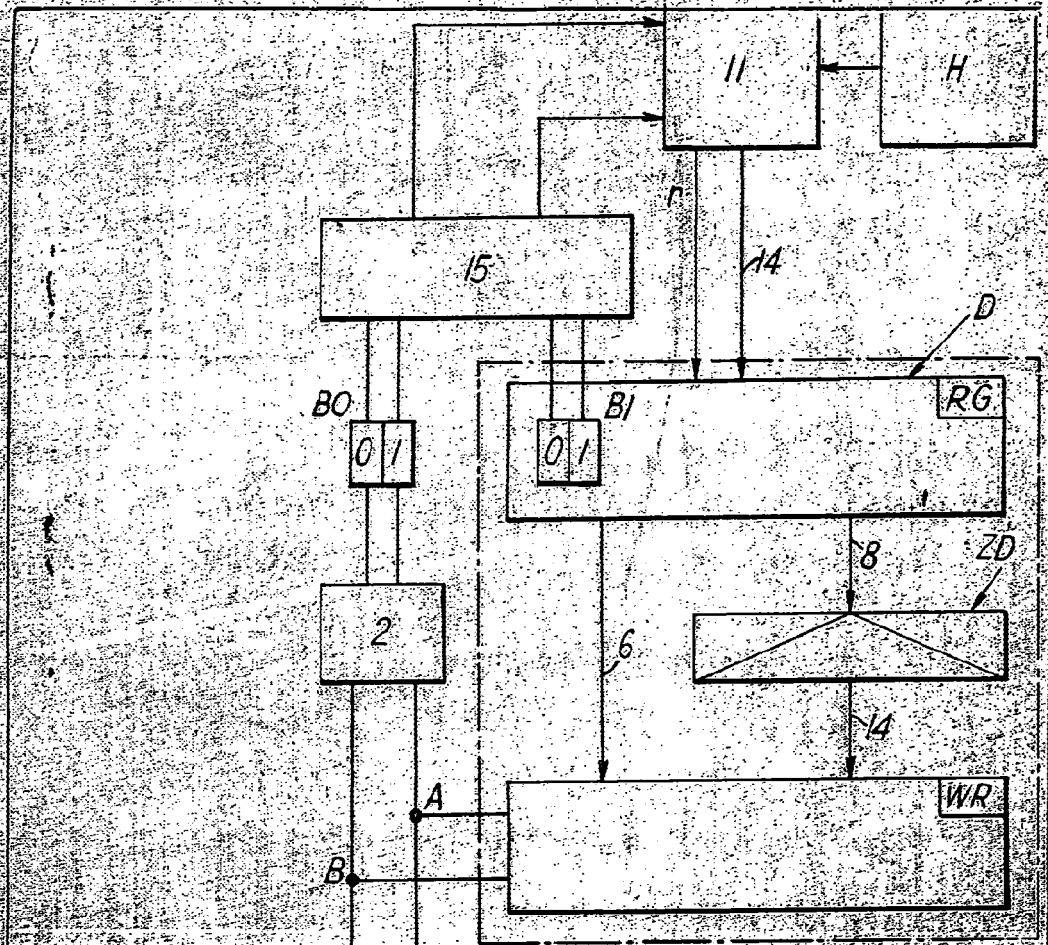
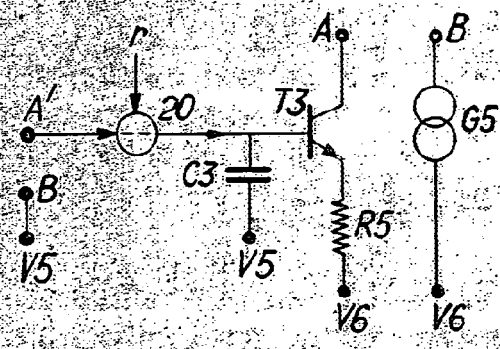


Fig. 3.



22 ENE 1908

Fig. 4.

E. Haum

EUGENIO BARRIOSO
Secretario General