

348880 P - 37.040
FI 9-66-045

Memoria descriptiva



12 FEB. 1968

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / ~~de nacionalidad~~ norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN DISPOSITIVO INTERRUPTOR DE CORRIENTE"

(Clase Internacional H01h G06f)



Fundamentos de la invención

1) Campo de la invención

La presente invención se refiere a circuitos numéricos de semiconductores, tales como interruptores o conmutadores de corriente (en lo sucesivo, conmutadores), utilizados para desempeñar funciones lógicas en calculadoras numéricas y en otros dispositivos en los que se utilizan señales numéricas o de impulsos, y más especialmente a los circuitos de transistores que tienen como carga de colector una impedancia no lineal formada por una agrupación o combinación de elementos nueva en su género, para reducir la tendencia de los transistores a entrar en saturación.

2) Descripción de la técnica ya conocida

Las posibilidades generales de funcionamiento de las calculadoras numéricas y de otros sistemas en los que se emplean circuitos de conmutación dependen en gran parte de la velocidad de conmutación de los circuitos individuales, a causa del enorme número de operaciones de conmutación que deben ejecutarse en un período dado cualquiera o para cualquier cálculo o tratamiento de datos en particular. Por consiguiente, la técnica del ramo se ha dedicado al desarrollo de circuitos de la más alta velocidad posible de conmutación, dentro de las limitaciones de coste.

La velocidad de un circuito de conmutación se reduce grandemente en cuanto se permita al transistor de conmutación entrar profundamente en la región de saturación durante su estado de conducción. La saturación da lugar al almacenamiento de un exceso de portadores minoritarios



en la base del transistor, y éste no puede llevarse al "corte" (haciendo que deje de conducir) hasta que estos portadores minoritarios en exceso se hagan desaparecer de la base, por recombinación y difusión en el colector. El tiempo (retardo) necesario para quitar de la base los portadores minoritarios en exceso almacenados se denomina "tiempo de almacenaje", y constituye una parte importante del tiempo necesario para hacer pasar el transistor del estado de conducción al de corte. Por consiguiente, gran parte de los esfuerzos realizados en cuanto a proyecto de circuitos de interrupción o conmutación se ha dedicado a idear disposiciones de circuitos que impidan que los transistores de conmutación entren en la región de saturación, o por lo menos que lo hagan demasiado profundamente.

Una de las maneras de enfocar el problema ha venido consistiendo en usar un diodo limitador para limitar la amplitud de la oscilación de potencial del colector e impedir así que la unión de colector y base se polarice en directo, como se expone en la patente de EE.UU. Re. 25.342 de J.C. Logue, cedida al cesionario de la presente invención. Aunque resulta útil en muchas aplicaciones, esta disposición patentada tiene varias e importantes desventajas en comparación con el presente invento. Con referencia a la fig. 1 de la patente de Logue, se verá que es necesaria una fuente adicional o de alimentación de energía. Esto no sólo aumenta el coste del circuito, sino que plantea otros problemas adicionales de proyecto, por las tolerancias de tensión y de componente ondulante inherentes a la alimentación.

En la técnica ya conocida se ha tratado ya de



obviar esta alimentación adicional, recurriéndose a conectar el diodo limitador a un circuito divisor de tensión que proporcione el voltaje limitador, Ahora bien, esta disposición es desventajosa por el hecho de que si los valores de resistencia del divisor son suficientemente bajos, las resistencias disiparán una excesiva cantidad de energía, en tanto que si hacen lo bastante altos para evitar el problema de la disipación, la impedancia de salida del circuito, en el modo al cual está conectado el diodo, es demasiado alta para mantener la tensión de limitación deseada al extraerse corriente por el circuito divisor.

Otra importante desventaja de la disposición limitadora por diodo, de dicha patente anterior, reside en la condición de polarización inversa de la unión del diodo cuando el diodo no conduce. Debido a la diferencia de cargas que existe de un lado a otro de la anchura de agotamiento de la unión del diodo, esta última se asemeja a un condensador de placas paralelas, y se caracteriza por la denominada capacidad de barrera. Esta última capacidad debe descargarse antes de que la unión del diodo llegue a polarizarse en directo para desempeñar la función limitadora, lo cual impone un retardo adicional al funcionamiento del limitador. Este factor debe tenerse en cuenta en el proyecto del circuito conmutador, con el resultado de que la velocidad del circuito se reduce al pasar del estado de corte al de conducción. Es más, el diodo limitador reduce la velocidad de paso del circuito conmutador del estado de conducción al de corte, ya que el problema de los portadores minoritarios en exceso almacenados se traslada ahora al diodo, que exige un tiempo de retardo



antes de poder adquirir una polarización inversa que permita al colector del transistor de conmutación experimentar su oscilación de potencial hacia el estado de corte.

5 Aun se ha intentado otra solución, en la técnica ya conocida, y es la de poner un transistor conectado en emisor común en lugar del diodo 7 indicado en dicha patente de Logue. Ahora bien, las desventajas arriba citadas en cuanto a coste, componente ondulatoria residual y tolerancia de tensión, inherentes al uso de una fuente de
10 alimentación adicional, son igualmente aplicables a este recurso.

El circuito de la técnica ya conocida que con más éxito ataca al problema de la saturación de los transistores es el interruptor de corriente revelado por primera vez en la patente de EE.UU. número 2.964.652 de H.S. Yourke y cedida al mismo cesionario de la presente invención. Este circuito ha adquirido renombre como apreciablemente superior a otros circuitos conmutadores o interruptores, respecto a velocidad y estabilidad. (1,2) La comparación experimental ha puesto de manifiesto que la interrupción o conmutación de corriente es aproximadamente diez veces más rápida que la de sus rivales más veloces, los circuitos con lógica de diodos y con lógica de transistores y resistencias modificados. (3) En el conmutador
20 de corriente se suministra una corriente constante de alimentación que se conmuta o hace pasar a uno o más transistores de entrada o a un transistor con base a masa, según los niveles de potencial de las señales de entrada a las bases de los transistores de entrada en relación con el
25 potencial de referencia en la base puesta a masa. Como la



12 FEB

intensidad de corriente que circula por las resistencias de carga de colector es constante y prefijada, los parámetros del circuito pueden seleccionarse de manera que se limite la oscilación de potencial de los colectores y de ese modo se mantengan los transistores fuera de saturación.

Sin embargo, este conmutador de corriente tiene dos importantes limitaciones si se quieren lograr un funcionamiento sin saturación y la consiguiente rapidez de conmutación. En primer lugar, las tolerancias en los valores de resistencia, las tensiones de alimentación y las características de los transistores han de mantenerse con bastante exactitud si se quiere que los puntos de trabajo de los transistores se aproximen a la región de saturación, para obtener grandes oscilaciones de señal. Aun cuando estas estrechas tolerancias puedan lograrse económicamente cuando se utiliza la tecnología denominada de híbridos, en la que las resistencias de película gruesa serigrafiada pueden llegar a tener valores extremadamente precisos, el mantenimiento de tan estrechas tolerancias se hace más costoso en la tecnología de los circuitos "monolíticos", en la que las resistencias se forman por difusión de impurezas en la oblea de semiconductor y, por lo tanto, es mucho más difícil mantener con precisión los valores de resistencia.

La segunda limitación importante del conmutador de corriente de la técnica ya conocida viene teniendo relación con el "punteado" de colectores: es decir, la conexión común de los respectivos colectores de una pluralidad de interruptores o conmutadores de corriente. Por



ejemplo, si el colector en fase de un determinado conmutador de corriente está directamente conectado al colector en fase de otro conmutador de corriente, y ambos están conectados a una fuente de suministro de potencial por medio de una resistencia común de carga de colector (colectores punteados), es fácil ver que cuando ambos transistores estén conduciendo por la resistencia única de carga de colector circulará una intensidad de corriente de dos unidades tal que la oscilación de potencial de los colectores tendrá amplitud doble que en el caso en que sólo haya un transistor conduciendo. A fin de evitar la saturación pues, era necesario fijar una regla de conexión denominada de "ortogonalidad", por la cual se permitiera estar en conducción a uno solo de los transistores así "punteados" o conectados, en un momento dado cualquiera. Esta regla echaba por tierra la principal ventaja inherente al "punteado" de los colectores, a saber, la de desempeñar una función lógica permitiendo prescindir de una etapa lógica activa para ella, y eliminar así el retardo producido por la etapa suprimida.

Resumen

Es un objeto principal de la presente invención un circuito conmutador o interruptor de corriente, de tipo económico, particularmente adecuado a la tecnología monolítica de poco coste y que evita la necesidad de mantener estrechas tolerancias, pero en el cual, sin embargo, se impide que los transistores entren profundamente en la región de saturación, mediante una nueva combinación de elementos de circuito de carga de colector, de impedan-



cia no lineal.

Otro importante objeto de la presente invención reside en facilitar el punteado lógico o agrupación en común de los colectores, manteniéndose al propio tiempo los transistores fuera de saturación por medio de dicha combinación de elementos de circuito descarga de colector de impedancia no lineal, y eliminándose así toda la etapa activa de circuito lógico en unión de los retardos de conmutación inherentes a ella, de modo que se aumenta la velocidad de conversión, conmutación o interrupción del circuito lógico considerado en conjunto.

Otro objeto reside en un objeto de circuito de carga de colector que previene la saturación (antisaturación), con el que se evitan las desventajas arriba enumeradas de los métodos de antisaturación de la técnica ya conocida, tales como los circuitos limitadores por diodos y por transistores, desventajas que incluyen las de coste, tolerancias de tensión y de componente ondulatoria residual de una alimentación de energía adicional, retardos debidos a la polarización inversa y a la fuerte polarización directa de la unión del diodo o del transistor limitador, y las características de elevada disipación e impedancia de los divisores de tensión ya conocidos que daban la tensión limitadora.

Otra ventaja de la presente invención reside en que el circuito puede ser sometido a una mayor variación de temperaturas de trabajo sin correr el riesgo de que los transistores entren profundamente en la región de saturación.

Otra de las ventajas del presente invento está



en que permite mayores tolerancias en la oscilación de potencial de sentido ascendente de las señales de entrada que se transmitan por medio de los circuitos en cascada precedentes, sin correr el riesgo de una excesiva saturación.

Ha de tenerse por entendido que el presente circuito puede emplearse sea para prevenir que los puntos de trabajo del transistor entren en la región de saturación aun en ligero grado, sea para simplemente limitar la entrada en la región de saturación en un grado prefijado que no dé lugar a un tiempo de retardo por almacenaje superior al prescrito en determinados pliegos de condiciones o especificaciones.

Otros objetos y ventajas del presente invento o son inherentes a la estructura expuesta o se irán desprendiendo, para las personas versadas en la memoria, de todo lo aquí expuesto.

Breve descripción del dibujo adjunto

- la figura 1 ilustra un circuito de conmutación de corriente concebido pensando en el coste, en el cual se utiliza la combinación de elementos de circuito de carga de colector, de impedancia no lineal, de la presente invención, para permitir amplias tolerancias sin riesgo de excesiva saturación, y

- la figura 2 es un circuito concebido pensando en su funcionamiento, que comprende dos conmutadores de corriente con "punteado" o conexión en común de los respectivos colectores para desempeñar la función disyuntiva exclusiva inversa eliminándose toda una etapa de cir-



cuito lógico, para así mejorar la velocidad de conmutación del circuito en total.

Descripción de la forma de ejecución preferida

La figura 1 ilustra una forma de realización del invento particularmente adecuada para su incorporación a la tecnología de los circuitos monolíticos de bajo coste, en la que las tolerancias son relativamente holgadas para dar lugar a un elevado rendimiento de producción de circuitos utilizables en cada oblea de semiconductor. El circuito es del tipo conocido como "conmutador de corriente en emisor común". Los colectores de la etapa de interrupción de corriente están provistos de la combinación de elementos de circuito de carga de colector, de impedancia no lineal, de la presente invención, de modo que se impide a los transistores entrar profundamente en saturación, a pesar de la holgura de las tolerancias admitidas para los valores de resistencia, para las tensiones de alimentación y para las características de los transistores.

Más concretamente, los transistores Q1 a Q3 tienen sus respectivos emisores 1e a 3e conectados en un nudo común 1, conectado a su vez al extremo superior 2 de una resistencia R1 cuyo extremo inferior está conectado a un terminal de alimentación VI. Al extremo superior 2 de la resistencia R1 va también conectado el emisor 4e de un transistor Q4 que trabaja en el modo de base a masa y tiene su base 4b conectada a una fuente de potencial de referencia V2. La resistencia R1 es lo bastante grande para dar con el terminal de alimentación VI una fuente



(de "absorción", hablando en términos del sentido convencional de la corriente) de intensidad de corriente constante, que se conmuta sea al transistor Q4, sea a uno o más de los transistores Q1 a Q3, según los niveles de potencial existentes en las respectivas entradas I1 a I3 de las bases 1b a 3b, en relación con el nivel del potencial de referencia suministrado por la fuente V2 a la base 4b del transistor Q4.

Los respectivos colectores 1c a 3c de los transistores Q1 a Q3 están conectados en un nudo común 3, a su vez directamente acoplado a la base 7b de un transistor Q7 que opera en el modo seguidor de emisor. La salida fuera de fase se toma en el terminal de salida O1 conectado al emisor 7e del transistor Q7. El emisor 7e está también conectado a una resistencia R6 de carga de emisor que se extiende a partir del terminal de alimentación V1. El colector 4c del transistor Q4 está de igual modo directamente acoplado a la base 8b de un segundo transistor Q8 dispuesto en circuito seguidor emisor, cuyo emisor 8e se halla conectado por medio de la resistencia R7 de carga de emisor al terminal de alimentación V1. La salida en fase se toma en el terminal de salida O2 conectado al emisor 8e.

Hasta aquí, el circuito es el conmutador de corriente en emisor común ya conocido, y para poder funcionar sólo necesita unas resistencias de carga de colector en la etapa interruptora de corriente. Si la señal en uno o más de los terminales de entrada I1 a I3 está a su nivel de potencial superior, se activa el transistor o los transistores correspondientes, por los cuales fluye la corriente constante, y luego por la resistencia R1, hasta el terminal



de alimentación V1. Los nudos 1 y 2 están entonces a su nivel de potencial superior, de modo que la tensión existente en la unión base-emisor del transistor Q4 es insuficiente para poner en conducción este último. Suponiendo la existencia de una impedancia de carga que se extienda hasta el nudo 3 de los colectores 1c a 3c de los transistores Q1 a Q3, la caída de tensión resultante en bornes de esta impedancia hará que el nudo 3 esté a su nivel de potencial inferior, en tanto que la ausencia de paso de corriente por el transistor en corte Q4 hará que el colector 4c de este último esté a su nivel de potencial superior. Los niveles de señal en los colectores de los transistores Q1, Q4 se transmiten respectivamente a los terminales de salida en fase y fuera de fase O1, O2 por medio de los correspondientes transistores Q7, Q8 conectados en seguidor de emisor.

Como se verá, si los colectores 1c a 3c de los transistores Q1 a Q3 y el colector 4c del transistor Q4 estuvieran provistos de impedancias de carga en forma de resistencias lineales, como suele hacerse en la técnica ya conocida, cualquiera o una combinación de varias desviaciones paramétricas podría hacer que uno o más de los transistores Q1 a Q4 inclusive entraran profundamente en saturación. Tales desviaciones paramétricas incluyen las de las magnitudes de la resistencia R1 o de las resistencias de carga de colector (no representadas) supuestas lineales, las de los niveles de tensión de las alimentaciones V1 y V2, la del factor beta de amplificación de corriente de los transistores, y las de las amplitudes de las señales de entrada. Es más, el punto de trabajo de uno o más



de los transistores puede entrar profundamente en la región de saturación a causa o consecuencia de variaciones en las temperaturas de trabajo de las uniones de los transistores, debidas a variaciones en la temperatura ambiente.

5 Para obviar este riesgo de saturación, en la presente invención los colectores de los transistores de interrupción o conmutación de corriente Q1 a Q4 inclusive están provistos de combinaciones de elementos de circuito de carga de colector de impedancia no lineal, que funcionan
10 impidiendo que el punto de trabajo de los transistores entre profundamente en la región de saturación, no obstante las amplias variaciones de estos parámetros.

La combinación de elementos de circuito de carga de colector, de impedancia no lineal, comprende un
15 transistor Q5 y unas resistencias R2, R3. Los colectores 1c a 3c inclusive están conectados en el nudo 3 al extremo inferior de la resistencia R3, cuyo extremo superior está conectado en el nudo 4 al extremo inferior de la resistencia R2. Esta última se extiende hasta un terminal
20 de alimentación indicado como de masa en esta forma de realización. El transistor Q5 tiene un colector 5c conectado a masa, y su emisor 5e conectado al nudo 3. La base 5b del transistor Q5 está conectada al nudo 4 de conexión de las resistencias R2, R3.

25 El funcionamiento del circuito de carga de colector de impedancia no lineal de la presente invención es como sigue. Cuando el potencial de todos los terminales de entrada I1 a I3 está a su nivel inferior, los transistores Q1 a Q3 inclusive están en corte (no conducen),
30 y la corriente constante que afluye a la fuente R1, V1



circula por entero a través del transistor Q4. Este último está en actividad porque el potencial del nudo 1 es inferior al de referencia V2 en una magnitud mayor que la tensión de umbral de entrada en conducción de la unión base-emisor de Q4. Por las resistencias R2, R3 pasa una pequeña intensidad de corriente que va a la base 7b del transistor Q7. La insignificante caída de tensión resultante en bornes de la resistencia R3 es tal que mantiene al corte el transistor Q5. Por consiguiente, el potencial del nudo 3, y por lo tanto, de los colectores 1c a 3c está a su nivel superior, que es esencialmente el del potencial de masa.

Ahora bien, si el nivel de señal "sube" en una o más de las entradas I1 a I3, hasta activar los correspondientes transistores del grupo Q1 a Q3, el paso de corriente constante a la fuente V1, R1 se hace a través de los transistores que se hayan activado. El potencial del nudo 2 sube de modo correspondiente, tal que la tensión en la unión base emisor del transistor Q4 queda por bajo de la de umbral de entrada en conducción de este último, por lo cual el transistor Q4 deja de conducir.

Al empezar a circular corriente por el grupo de transistores Q1 a Q3, aquella fluye inicialmente por las resistencias R2, R3, produciendo en sus bornes una caída de tensión, por lo cual cae el potencial en el nudo 3. No obstante, el potencial del nudo 3 se ve impedido de caer esencialmente por bajo del nivel del potencial superior de las bases 1b a 3b hasta el punto depolarizar en sentido directo y saturar uno o más de los transistores Q1 a Q3, en vista del modo de funcionamiento que se descri-



be a continuación.

Al seguir cayendo el potencial en el nudo 3, llega un momento en que la caída de la tensión en la resistencia R3 polarizará en sentido directo la unión base emisor del transistor Q5, lo bastante para hacer que este último entre en la región activa. Cuando esto ocurre, el transistor Q5 se pone a conducir, de modo que su emisor presenta una impedancia extremadamente baja a los colectores 1c a 3c. Esto es, a través del transistor Q5 se puede hacer circular un gran incremento de corriente hasta los colectores 1c a 3c sin que se produzca más que una ligera caída en el potencial de estos últimos. El emisor 5e del transistor Q5 mantiene así los potenciales de los colectores 1c a 3c de los transistores Q1 a Q3, impidiendo de caigan por bajo de un nivel esencialmente definido y prefijado en el proyecto, de modo tal que se mantengan los transistores Q1 a Q3 enteramente fuera de la región de saturación o, en el peor de los casos, que se deje entrar a los transistores Q1 a Q3 en la región de saturación sólo en tan ligero grado que el retardo de almacenaje resultante sea de una magnitud prescrita, que no rebaje indebidamente la velocidad de conmutación o interrupción de los transistores.

De igual manera, el colector 4c del transistor Q4 está provisto de una combinación de elementos de circuito de carga de colector, de impedancia no lineal, que le impedirá entrar en saturación profunda. Esta combinación comprende las resistencias R4 y R5 conectadas en serie en un nudo 5 y que se extienden desde el colector 4c al terminal de la fuente de potencial representada, en esta for-



ma de realización, como de masa. Hay también un transistor Q6 que tiene su colector 6c conectado a masa y su emisor 6e conectado al colector 4c del transistor Q4. La base 6b del transistor Q6 está conectada al nudo 5 de unión de las resistencias R4, R5. El circuito que comprende las resistencias R4, R5 y el transistor Q6 funciona impidiendo que el transistor Q4 entre profundamente en la región de saturación, de igual manera que aquella que arriba ha sido descrita respecto al circuito de carga de colector que comprende los elementos R2, R3, Q5 en relación con los transistores Q1 a Q3.

En el circuito de la Figura 1, es consideración principal la del coste, y la combinación de elementos de circuito de colector, de impedancia no lineal, de la presente invención, permite el uso de circuitos monolíticos de bajo coste, con amplias tolerancias y gran rendimiento de producción de circuitos utilizables por cada oblea, sin correr el riesgo de mal funcionamiento por saturación excesiva.

En cambio, en la segunda forma de ejecución preferida, de la Figura 2, la consideración primaria es la del funcionamiento a gran velocidad. Esto se obtiene por "punteado" o conexión en común de los respectivos colectores de dos interruptores de corriente diferentes, de modo que desempeñen una función lógica con omisión de toda una etapa activa de circuito lógico y eliminándose así los retardos de interrupción o conmutación que se presentarían de haberse incluido la etapa omitida. El circuito de la Figura 2, pues, desempeña la función disyuntiva exclusiva inversa con sólo dos interruptores de co-



riente.

Más concretamente, y con referencia en detalle a la Figura 2, el primer interruptor de corriente comprende un par de transistores Q9, Q10 cuyos emisores respectivos 9e, 10e están conectados al extremo superior de la resistencia R9 que tiene su extremo inferior conectado a un terminal de alimentación de potencial V3. Hay un terminal de entrada I4 conectado por medio de una resistencia estabilizadora R8, a la base 9b del transistor Q9, y la base 10b del transistor Q10 está conectada por medio de otra resistencia estabilizadora R10 a una fuente de potencial que, en esta forma de ejecución, se representa como de masa. Las resistencias estabilizadoras R8 y R10, y las que más adelante se citan, sirven para mantener una impedancia de entrada positiva, vista según se mira a las respectivas bases, y de ese modo previenen las oscilaciones espurias en altas frecuencias. La corriente constante que afluye al terminal de alimentación V3 a través de la resistencia R9 se conmuta o hace pasar por uno u otro de los transistores Q9 o Q10, según la señal presente en el terminal de entrada I4 esté a un potencial superior o inferior al de la masa.

El colector 9c del transistor Q9 está conectado, por medio de una resistencia estabilizadora R19, a la base 12b de un transistor Q12 dispuesto en seguidor de emisor, cuyo colector 12c está conectado a un terminal de alimentación V4. El emisor 12e del transistor Q12 está conectado por medio de una resistencia de emisor R13 al terminal de alimentación V3. La señal de salida fuera de fase se toma en el terminal de salida O3 conectado al emisor



12 FEB

12e del transistor Q12. El colector 10c del transistor Q10 está igualmente conectado por medio de una resistencia estabilizadora R20 a la base 16b de un segundo transistor Q16 dispuesto en emisor común, con su colector 16c conectado al terminal de alimentación V4. El emisor 16e del transistor Q16 está "punteado" o conectado en común, en el nudo 6, con el emisor 12e, y con el terminal de salida O3.

El segundo interruptor de corriente comprende los transistores Q13, Q14, que tienen sus respectivos emisores 13e, 14e conectados al extremo superior de una resistencia R15. Esta última se extiende hasta el terminal de alimentación V3, dando una fuente de suministro de corriente constante. Hay un segundo terminal de entrada I5 conectado por medio de una resistencia estabilizadora R14 a la base 13b del transistor Q13, y la base 14b del transistor Q14 está conectada por medio de una resistencia estabilizadora R16 a una fuente de suministro de potencial de referencia, representada en la figura como de masa. La corriente constante que circula por la resistencia R15 y el terminal de alimentación V3 se conmuta o hace pasar a uno u otro de los transistores Q13 o Q14, según el potencial de la señal presente en el terminal de entrada I5 esté a un nivel superior o inferior al del potencial de masa.

El colector 13c de salida fuera de fase del transistor Q13 está "punteado" o conectado en común en el nudo con el colector 9c del transistor Q9, y el colector 14c en fase del transistor Q14 está "punteado" en el nudo 8 con el colector 10c del transistor Q10.



Los colectores "punteados" o conectados en común 9c, 13c están provistos de una impedancia común de carga, no lineal, que comprende un transistor Q11 y unas resistencias R11, R12. El colector 11c del transistor Q11 está conectado al terminal V4 de alimentación de potencial, al cual va también conectado el extremo superior de la resistencia R11. El extremo inferior de esta última está conectado al extremo superior de la resistencia R12 en una unión conectada a la base 11b del transistor Q11. El extremo inferior de la resistencia R12 y el emisor 11e del transistor Q11 están conectados en el nudo 7 a la conexión de "punteado" de los colectores 9c, 13c.

De igual manera, los colectores "punteados" 10c, 14c de los correspondientes transistores Q10, Q14 están provistos de una impedancia de carga común, no lineal que comprende un transistor Q15 y unas resistencias R17, R18. El extremo superior de la resistencia R17 y el colector 15c del transistor Q15 están conectados al terminal de alimentación de potencial V4. El extremo inferior de la resistencia R17 va conectado a la base 15b del transistor Q15 y también al extremo superior de la resistencia R18. El extremo inferior de esta última y el emisor 15e del transistor Q15 están conectados, en el nudo 8, a la conexión de "punteado" de los colectores 10c, 14c.

A los fines de la explicación, supóngase que la corriente constante prefijada que circula por el conmutador de corriente Q9, Q10 y por la resistencia R9 es esencialmente de la misma magnitud que la que circula por el conmutador de corriente Q13, Q14 y la resistencia R15, como usualmente sucederá en la práctica. Esta magnitud o intensi-



dad de corriente que circula por cada conmutador o interruptor de corriente se denominará aquí "unidad" de corriente, y puede ser del orden de varios miliamperios.

Supóngase además que los potenciales de señal en ambos terminales de entrada I4, I5 están al nivel superior, esto es, a un nivel positivo respecto a los potenciales de referencia de las bases 10b, 14b, que están esencialmente al nivel de masa en la forma de realización expuesta. En este caso, ambos transistores Q9, Q13 estarán activados, de modo que a través de ellos circularán las respectivas unidades de corriente, en tanto que los transistores Q10, Q14 estarán esencialmente en corte. Así, como se verá, por la carga de colector común es preciso que pasen dos unidades de corriente.

De ser lineal esta carga de colector, como suele serlo en la técnica ya conocida, la oscilación de potencial resultante en los colectores 9c, 13c sería exactamente el doble de la oscilación de potencial que se produciría si por la carga de colector hubiera de circular tan sólo una unidad de corriente, para el caso en que sólo esté activado uno de los dos transistores Q9, Q13. De seleccionarse los parámetros del circuito de modo que la oscilación de potencial para una sola unidad de corriente llevara el punto de trabajo del transistor junto a la región de saturación, como suele hacerse en la práctica al proyectar los circuitos, el paso de dos unidades de corriente que luego se producirá al estar en activo ambos transistores Q9, Q13 simultáneamente, llevaría de seguro los puntos de trabajo de estos transistores muy dentro de la región de saturación.



El problema no se resuelve eligiendo la magnitud de una impedancia de carga lineal usual de modo que los puntos de trabajo de los transistores no entren en la región de saturación cuando por dicha impedancia circulen simultáneamente dos unidades de corriente. La oscilación de potencial resultante cuando por la impedancia de carga de colector circulase sólo una unidad de corriente no tendría entonces más que la mitad de la magnitud que tendría con dos unidades de corriente. Los sucesivos circuitos lógicos dispuestos en cascada con el circuito que se está estudiando resultarían entonces inadecuadamente excitados por señales que tendrían amplitudes variables según el número de los transistores "punteados" que estuvieran simultáneamente en activo.

Este problema de evitar la saturación manteniendo al mismo tiempo la uniformidad de amplitud de las señales de salida se obvia por medio de la combinación de elementos de circuito de carga de colector, de impedancia no lineal, de la presente invención. Cuando ambos transistores Q9, Q13 estén simultáneamente activos, el potencial del nudo 7 caerá hasta que llegue un momento en que la corriente que circule por la resistencia R12 origine en bornes de esta última una caída de tensión de magnitud lo bastante grande para polarizar en sentido directo la unión base-emisor del transistor Q11. Al alcanzar la tensión de base-emisor del transistor Q11 el valor de umbral de entrada en conducción (alrededor de 0,6 voltios para un transistor de silicio), el transistor Q11 entrará en su región activa y empezará a conducir corriente. La impedancia de carga vista por los colectores 9c, 13c se reduce entonces



desde la magnitud relativamente alta de la combinación en serie de las resistencias R11, R12 hasta la magnitud relativamente baja presentada por el emisor 11e del transistor Q11.

5 Este último funciona efectivamente en el modo de emisor común, dando esta baja impedancia. Al tomar los colectores 9c, 13c nuevos incrementos de corriente, en el nudo 7 tendrán lugar unos incrementos de tensión sólo relativamente pequeños, porque con sólo pequeños incrementos de tensión de polarización en la unión base-emisor del transistor Q11 se hará que este último suministre grandes incrementos de corriente, por medio de su emisor 11e, a los colectores 9c, 13c. De este modo se impide que el potencial del nudo 7, al oscilar, baje con una amplitud lo bastante grande para permitir que los transistores Q9, Q13 entren en saturación.

10 En el caso de que sólo uno de los dos transistores Q9, Q13 esté en actividad, la amplitud de la oscilación de potencial en el nudo 7 es de una magnitud casi tan grande como la que tiene con ambos transistores Q9, Q13 simultáneamente activos. Esto sucede así porque con sólo uno de los transistores en actividad, la oscilación se encuentra, sin embargo, limitada por la activación del transistor Q11, y lo mismo si este último suministra una sola unidad de corriente a sólo uno de los transistores Q9, Q13, que si proporciona dos unidades de corriente a ambos transistores, la oscilación de potencial en el nudo 7 no cambia radicalmente, debido a la impedancia no lineal que el transistor Q11 y su circuito de polarización R11, R12 presentan como carga de colector.



El estudio precedente que explica la manera en que la combinación de elementos de circuito de carga de colector, de impedancia no lineal, constituida por Q11, R11, R12 invade a los transistores Q9, Q13 entrar en la región de saturación, es igualmente aplicable a la impedancia no lineal de carga de colector presentada por la combinación de elementos de circuito que comprende el transistor Q15 y las resistencias R17, R18, que funcionan de manera semejante invadiendo a los transistores Q10, Q14 entrar en saturación.

A continuación se describirá el funcionamiento del circuito de la figura 2 para desempeñar la función disyuntiva exclusiva inversa. Sean A y B las señales positivas presentes en las entradas I4, I5, respectivamente, y los complementos \bar{A} y \bar{B} sus correspondientes señales negativas. Debido a la inversión de fase en los transistores Q9, Q13, sus respectivos colectores 9c, 13c darán los complementos \bar{A} y \bar{B} . La conexión de colectores "puntados" en el nudo 7, considerada desde el punto de vista de la denominada "lógica positiva", proporciona la función de coincidencia que da en el nudo 7 la función lógica $\bar{A} \cdot \bar{B}$.

La señal que aparece en los colectores 10c, 14c de los transistores Q10, Q14 está en fase con la de los terminales de entrada I4, I5, respectivamente, y por tanto la función A aparecerá en el colector 10c y la función B en el colector 14c. La conexión de colectores "puntados" en el nudo 8 de la función lógica de coincidencia como más arriba se ha hecho notar en relación con el nudo 7, y, por tanto, la función que aparece en el nudo 8 es A.B. Los transistores Q12, Q16 funcionan como seguidores



12 F

de emisor y, por lo tanto, no hay en ellos inversión de fase. Por consiguiente, la función que aparece en el emisor 12e es $\bar{A}.\bar{B}$ y la que aparece en el emisor 16e es $A.B$.

5 La conexión de emisores "punteados" en el número 6 da, en el sentido de la lógica positiva, la función disyuntiva, por lo que en el terminal de salida O3 aparece como resultado final $(\bar{A}.\bar{B}) + (A.B)$. Con la aplicación del teorema de De Morgan, este resultado puede reducirse a la función disyuntiva exclusiva inserva $(A.B) + (\bar{A}.\bar{B})$.

10 Se sobrentiende que las dos formas de realización arriba descritas se dan a título meramente ilustrativo de dos de las muchas maneras de ponerse en práctica la invención, y que a las personas versadas en la materia se les ocurrirán fácilmente numerosas variantes y modificaciones de las mismas, sin salirse del ámbito de la invención definido por las reivindicaciones finales que han de considerarse en el sentido más amplio permitido por la técnica ya conocida.

20 Publicaciones a que se hace referencia en la Memoria.

1) Rigby, G.A. "High-Speed Emitter-Current Switching" ("Commutación de corriente de emisor a gran velocidad"), Proceedings of the I.R.E.E. Australia, 15 Enero 1964.

25 2) Rapp, A.K., Robinson, J.L., "Rapid-Transfer Principles for Transistor Switching Circuits" ("Principios de transferencia rápida para circuitos de conmutación por transistores"), IRE Trans. on Circuit Theory, Vol. CT-8, pp- 454-461, dic. 1961.



12 F

3) Bapat, T. N., "High Speed Computer Switching Circuits" ("Circuitos de conmutación a gran velocidad en calculadoras"), J. Inst. Telecom. Engrs., (India), vol. 8, núm. 1, 1962, pp 50-60.

5 Esta solicitud que corresponde a la presentada en Estados Unidos de América, con fecha 3 de Enero de 1.967, con el número 606.939, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.



- N O T A -

Los puntos de invención propia y nueva que se
presentan para que sean objeto de esta solicitud de Patente
de Invención en España, por VEINTE años, son los si-
5 guientes:

1.- Un dispositivo interruptor de corriente que
incluye un transmisor dotado de base, colector y emisor,
una alimentación de corriente constante conectada a dicho
emisor para transmitir una corriente de intensidad esencial-
10 mente prefijada, a través de dicho transistor, en respues-
ta a haberse alcanzado un potencial prefijado entre dicha
base y dicho emisor, una fuente de suministro de potencial
para transmitir la corriente que circula por dicho colec-
tor y un circuito de impedancia de carga que se extiende
15 desde dicha fuente de suministro de potencial a dicho co-
lector, caracterizado por la mejora según la cual dicho
circuito de impedancia de carga comprende medios de impe-
dancia no lineal para reducir toda tendencia de dicho tran-
sistor a entrar en su región de saturación.

20 2.- Un dispositivo según la reivindicación 1,
en el que dicho circuito de impedancia de carga tiene una
característica de impedancia no lineal, con valores relati-
vamente más elevados a menores niveles de corriente y con
valores relativamente inferiores para los niveles de co-



rriente más elevados.

3.- Un dispositivo según la reivindicación 2, en el que dicho circuito de impedancia de carga comprende un segundo transistor dotado de colector y de emisor, y 5 medios de conectar el colector de dicho segundo transistor a dicha fuente de suministro de potencial y el emisor de dicho segundo transistor al colector de dicho primer transistor.

4.- Un dispositivo según la reivindicación 3, en 10 el que dicho segundo transistor tiene una base, y un circuito de polarización para aplicar entre la base y el emisor de dicho segundo transistor un potencial que es función de la oscilación de potencial del colector del primer transistor.

5.- Un dispositivo según la reivindicación 4, en 15 el que dicho circuito de polarización comprende medios conductivos que conectan dicha fuente de suministro de potencial a dicha base y dicho emisor de dicho segundo transistor.

6.- Un dispositivo según la reivindicación 5, en 20 el que dichos medios conductivos comprenden una primera resistencia que se extiende desde dicha fuente de suministro de potencial a la base de dicho segundo transistor, y una segunda resistencia que se extiende desde la base de dicho segundo transistor al emisor de dicho segundo transistor. 25

7.- Un dispositivo interruptor de corriente que incluye un par de transistores, cada uno de ellos dotado de base, colector y emisor, una alimentación de corriente 30 constante conectada a dichos emisores para transmitir alter-



5 nativamente por uno u otro de dichos transistores una corriente de intensidad esencialmente prefijada, en respuesta a los respectivos potenciales entre la base y el emisor de cada transistor, una fuente de suministro de potencial para transmitir la corriente que circula por uno de dichos colectores, y un par de circuitos de impedancia de carga que se extienden cada uno desde dicha fuente de suministro de potencial a uno, correspondiente, de dichos colectores, el perfeccionamiento según el cual cada uno de dichos circuitos de impedancia de carga comprende medios para reducir toda tendencia del transistor respectivo a entrar en saturación.

8.- Un dispositivo según la reivindicación 7, en el que cada uno de dichos circuitos de impedancia de carga tiene una característica de impedancia no lineal, con valores relativamente más elevados a menores niveles de corriente y con valores relativamente inferiores para los niveles de corriente más elevados.

9.- Un dispositivo según la reivindicación 8, en el que cada uno de dichos circuitos de impedancia de carga comprende un transistor dotado de colector y de emisor, y medios de conectar los colectores de dichos transistores últimamente citados a dicha fuente de suministro de potencial, y cada uno de los emisores de dichos transistores últimamente citados a uno, correspondiente, de dichos colectores de transistor primeramente citados.

10.- Un dispositivo según la reivindicación 9, en el que cada uno de dichos transistores últimamente citados tiene una base, y un par de circuitos de polarización que aplican cada uno, entre la base y el emisor de



uno, correspondiente, de dichos transistores últimamente citados, un potencial que es función de la oscilación de potencial del respectivo colector de transistor primeramente citado.

5 11.- Un dispositivo según la reivindicación 10, en el que cada uno de dichos circuitos de polarización comprende medios conductivos que conectan dicha fuente de suministro de potencial a la base y el emisor correspondientes del respectivo transistor de los últimamente citados.

10 12.- Un dispositivo según la reivindicación 11, en el que cada uno de dichos medios conductivos comprende una primera resistencia que se extiende desde dicha fuente de suministro de potencial a la base de uno, correspondiente, de dichos transistores últimamente citados, y una segunda resistencia que se extiende desde una, correspondiente, de las bases de dichos transistores últimamente citados a uno, correspondiente, de los emisores de dichos transistores últimamente citados.

15 20 25 30 13.- Una disposición de circuito lógico que incluye: un par de interruptores de corriente, cada uno de los cuales comprende un transistor dotado de base, colector y emisor; un par de alimentaciones de corriente constante conectadas cada una a un emisor respectivo, para transmitir a través del respectivo transistor una corriente de intensidad esencialmente prefijada, en respuesta a haberse alcanzado un potencial prefijado entre su base y su emisor; unos medios conductivos que conectan dichos colectores; una fuente de suministro de potencial para transmitir la corriente que circula por dichos colectores, y un



circuito de impedancia de carga que se extiende desde dicha fuente de suministro de potencial a dichos colectores, comprendiendo dicho circuito de impedancia de carga medios para reducir toda tendencia de dichos transistores a entrar en saturación.

14.- Un dispositivo según la reivindicación 13, en el que dicho circuito de impedancia de carga tiene una característica de impedancia no lineal, con valores relativamente más elevados a menores niveles de corriente y con valores relativamente inferiores para los niveles de corriente más elevados.

15.- Un dispositivo según la reivindicación 14, en el que dicho circuito de impedancia de carga comprende otro transistor dotado de colector y de emisor, y medios de conectar el colector de dicho otro transistor a dicha fuente de suministro de potencial y el emisor de dicho otro transistor a los colectores de dichos transistores primeramente citados.

16.- Un dispositivo según la reivindicación 15, en el que dicho otro transistor tiene una base, y un circuito de polarización para aplicar entre la base y el emisor de dicho otro transistor un potencial que es función de la oscilación de potencial de los colectores de dichos transistores primeramente citados.

17.- Un dispositivo según la reivindicación 16, en el que dicho circuito de polarización comprende medios conductivos que conectan dicha fuente de suministro de potencial a dicha base y dicho emisor de dicho otro transistor.

18.- Un dispositivo según la reivindicación 17,



en el que dichos medios conductivos comprenden una primera resistencia que se extiende desde dicha fuente de suministro de potencial a la base de dicho otro transistor, y una segunda resistencia que se extiende desde la base de dicho otro transistor al emisor de dicho otro transistor.

19.- Un dispositivo interruptor de corriente.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de treinta y una hojas escritas a máquina por una sola cara.

Madrid, 19 ABR 1968

P.A.

Alberto de Elzaburu
P. A.

27.3.68
JJV.

12



FIG. 1

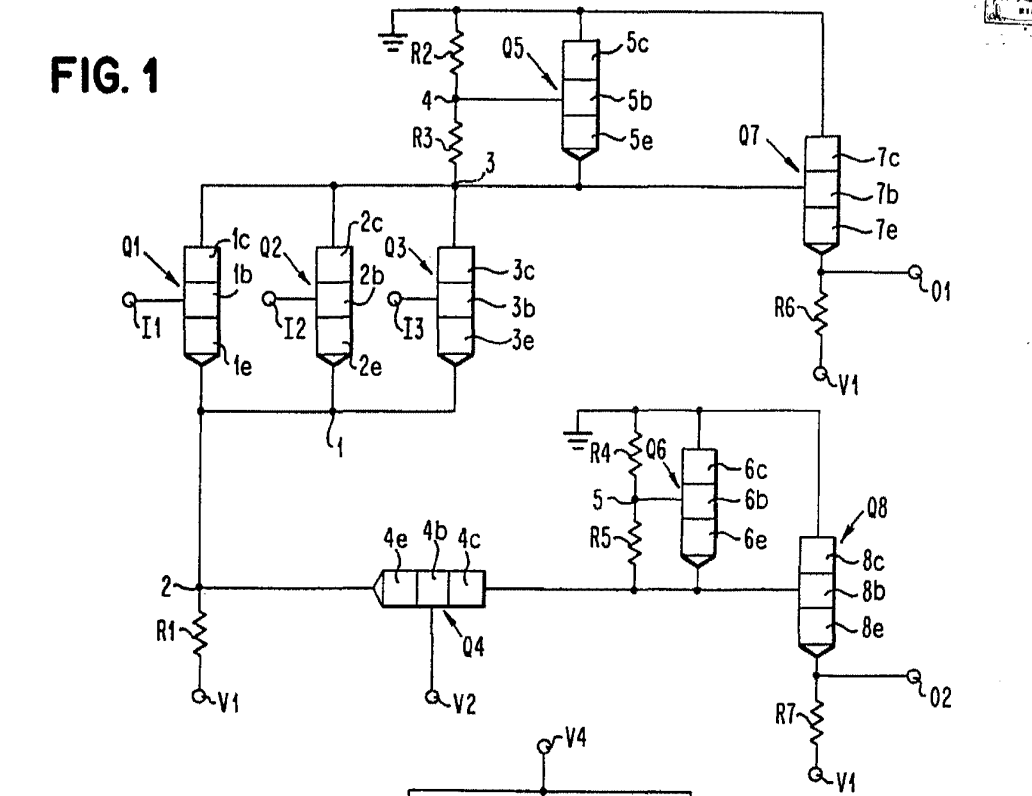
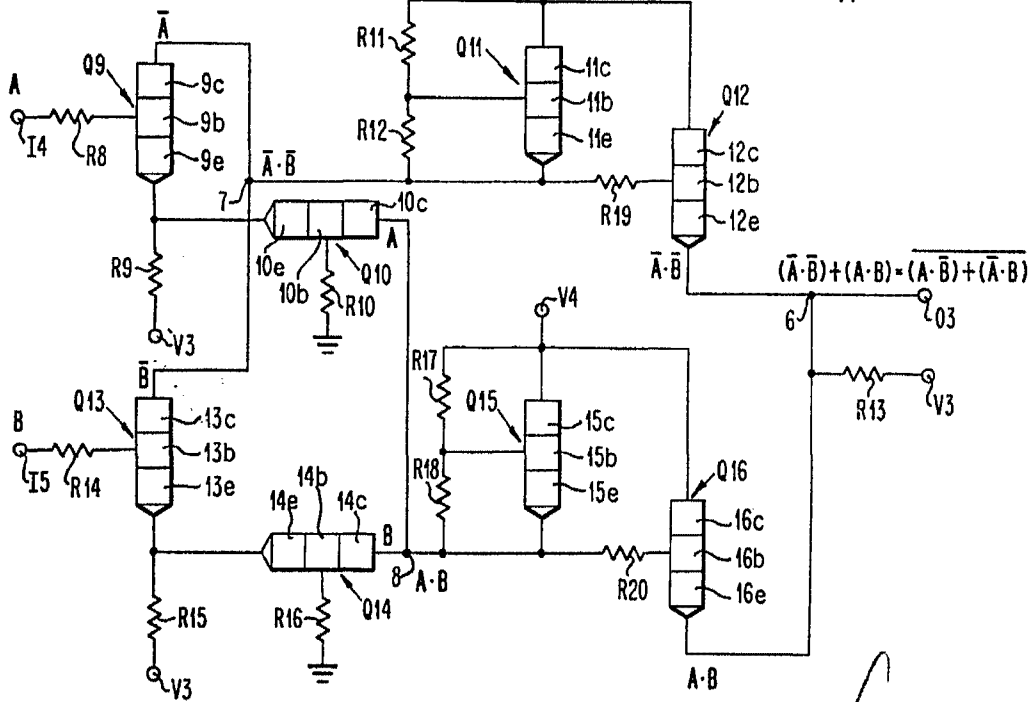


FIG. 2



Alfred G. Elzasser
IBM