



H 04 B 7/18, H 03 K 13/02, 13/00, G 08 C 19/00

MEMORIA DESCRIPTIVA PARA SOLICITAR PATEN-
TE DE INVENCION EN ESPAÑA POR: "CODIFICA-
DOR PARA SEÑALES ELECTRICAS" A NOMBRE DE
STANDARD ELECTRICA, S.A. CON DOMICILIO EN
MADRID, CALLE DE RAMIREZ DE PRADO Nº. 5

Este invento se refiere a codificadores para codificar señales eléctricas analógicas en un código binario simétrico y en particular a un circuito automático de control para este codificador.

Las ventajas de usar el código binario simétrico para la
5 codificación de señales de conversación en los sistemas de telecomu-
nicación de Modulación en Código de Impulsos (PCM) son bien conoci-
das. En este código el primer dígito indica la polaridad de la se-
ñal analógica que tiene que codificarse, indicando los dígitos res-
tantes del código la amplitud de la señal. También se sabe que resul-
10 ta ventajoso dar a los codificadores una característica no lineal y
ajustar la magnitud de los pasos de cuantificación de acuerdo con la
amplitud de la señal analógica que tiene que codificarse.

En estos codificadores es importante que la señal de en-
trada cero coincida con el centro del repertorio de código si tienen
15 que obtenerse las ventajas de una compresión expansión máxima.

./..



2.

El centrado de la señal de entrada en los sistemas de PCM que tienen un período de canal libre, asignado, por ejemplo, para sincronización, puede hacerse durante ese período. Esto se puede hacer porque durante este período el codificador no se usa y puede estar representado por una señal de referencia cero. Cualquier salida que aparezca durante este período, por lo tanto indica la presencia de cualquier compensación que permite así que se emplee un mecanismo de corrección de realimentación. Este invento se refiere al centrado de la señal de entrada cuando no hay período libre.

De acuerdo con el invento se proporciona un codificador para codificar señales eléctricas analógicas en un código binario simétrico, con un circuito para ajustar automáticamente el cero de la señal de entrada para que quede en el centro del repertorio de código que comprende un camino de realimentación conectado entre la salida digital y la entrada analógica al codificador, comprendiendo dicho paso medios para examinar la polaridad de cada uno de los códigos de canal sucesivos, medios para asignar una polaridad a un bloque de canales de código de acuerdo con la distribución de polaridad de los códigos de canal individuales, medios para generar una señal de control digital que es una función de la polaridad de dicho bloque, medios para convertir dicha señal de control en una señal analógica de polarización y medios para polarizar la entrada del codificador para igualar el número de códigos de canal que tienen polaridades opuestas.

A continuación se describirá el invento con referencia a los dibujos que se acompañan en los que:

La figura 1 representa en forma de esquemáticos de bloque, un circuito de acuerdo con la técnica anterior.

La figura 2 muestra un circuito de acuerdo con una realización del invento.



3.

La figura 3 representa una modificación del circuito de la figura 1 y

La figura 4 muestra las curvas características de los circuitos de acuerdo con el invento.

50 En la figura 1 se ha representado un circuito de control conocido para centrado en un codificador simétrico. El codificador no forma parte propiamente del invento y está indicado por el bloque 1.. Puede usarse cualquier tipo conocido siempre que pueda codificar una señal analógica en un código binario simétrico. En la aplicación inglesa n° 34580/66 se describe un codificador de este tipo.

55 El circuito de centrado automático comprende el paso de realimentación conectado entre el circuito de salida 2 del codificador y el circuito de entrada de la señal analógica 3. El dígito de polaridad de la señal de salida codificada es examinado por el circuito lógico de puerta 4 al que se aplican impulsos de apertura por el conductor 5. La salida de la puerta está conectada al circuito biestable 6. El circuito está dispuesto de tal forma que cuando el código de canal examinado indica una amplitud positiva, el biestable está en una condición y se conmuta a la otra condición cuando el código de canal indica una amplitud negativa. Por lo tanto aparecerá una onda cuadrada de amplitud constante en la salida del circuito biestable 6. La relación mark/space de esta onda dependerá de la relación de canales positivos y negativos.

60 Puesto que la señal analógica que tiene que codificarse es una señal de corriente alterna y no tiene componente de corriente continua, la relación de ondas positivas y negativas de un codificador perfectamente alineado, cuando se examina un período de tiempo suficientemente largo, será la unidad. La onda cuadrada se integra en la red integradora 7 que comprende un circuito de condensador y resistencia. La salida analógica de esta red integradora se utiliza

./..



4.

para controlar el generador de polarización 8. Esta polaridad se elige para reducir la compensación del codificador.

El circuito de la figura 1 tiene el inconveniente de que si la constante de tiempo del circuito integrador es corta, la suposición de que habrá un número igual de canales positivos y negativos en un período de tiempo dado no será válida. Otro inconveniente del circuito es que la ganancia del bucle de control que puede definirse como la relación mark/space de la señal en la salida del circuito estable 6 para una unidad de compensación de la señal codificada en 2 disminuye a medida que se aumenta la carga del sistema. Por carga del sistema se entiende el producto del número de canales usados y la amplitud de la señal de cada canal.

Para demostrar la dependencia de la desviación de la relación mark/space de la unidad en la carga del sistema, consideremos el caso en que todos los canales estén cargados igualmente con la amplitud máxima, esto es que la excursión del codificador sea de 2Q pasos de cuantificación y que cada nivel de cada canal ocurra con la misma probabilidad. Teniendo

p = probabilidad de que sea positivo cada código de canal
q = probabilidad de que sea negativo cada código de canal

Supongamos que el codificador tiene una compensación negativa igual a un paso de cuantificación. Entonces tenemos

$$p = \frac{Q + 1}{2Q} \quad \text{y} \quad q = \frac{Q - 1}{2Q}$$
$$\frac{p}{q} = \frac{Q + 1}{Q - 1} = 1 + \frac{2}{Q - 1}$$

lo que significa que con la suposición de que $Q > 1$ la desviación de la relación de la unidad es inversamente proporcional al número de niveles excitados.

La expresión anterior sólo es aproximada puesto que no tiene en cuenta el hecho de que cuando la característica del codifi-



cador es no lineal, el número efectivo de niveles "lineales" puede ser mucho mayor que el actual de niveles no lineales. La suposición de que todos los niveles ocurren con la misma probabilidad es también una simplificación.

110 Para combatir este defecto es necesario tener una gran ganancia en el bucle de control. Esta ganancia puede estar dada en la parte analógica del paso de realimentación, esto es después del circuito de integración. Sin embargo como es necesario limitar la "inclinación" provocada por la red de integración a una fracción de un
115 paso de cuantificación, cualquier ganancia inserta después de la red integradora amplificará la "inclinación" a menos que la constante de tiempo del circuito integrador se aumente correspondientemente. Queda claro, por lo tanto, que hay un límite práctico de la ganancia que puede insertarse después de la red integradora, esto es en la
120 parte analógica del circuito de realimentación. La ganancia del circuito de realimentación puede también aumentarse antes de la red de integración, esto es en la parte digital del circuito.

 En la disposición de acuerdo con la figura 2, la información de señal de error derivada de la inspección del dígito de polaridad de los códigos de canal sucesivos que aparecen a la salida
125 del codificador se procesan digitalmente y por lo tanto se "amplifican". El término "amplifican" quiero decir que para una disparidad dada entre códigos de canal positivos y negativos, la inclusión de un tratamiento digital en el camino de realimentación producirá un
130 aumento de la desviación de la unidad en la relación mark/space de la señal que aparece en la salida de la unidad biestable 6.

 La idea básica es formar los grupos de n canales de anchura y asignar a cada grupo la polaridad de la mayoría de los canales de ese grupo. Esta idea se realiza incluyendo en el camino de
135 realimentación entre la salida del codificador y la entrada a la



puerta 4 del circuito biestable un contador 9 y una puerta asociada
 10 que está controlada por un impulso de tiempo aplicado al conduc-
 tor 11. El número de canales de una polaridad dada se registra en
 el contador. Después de que el canal final del grupo ha sido ins-
 peccionado, se examina el registro del contador para ver si la cuen-
 140 ta es mayor o menor que la mitad del número de canales del grupo.
 Si el caso es este el circuito biestable se ajusta a un estado y
 si no se ajusta al otro estado. El contador se reajona entonces me-
 diante un impulso aplicado al conductor 12. La salida del biestable
 145 se aplica a la red integradora que sirve la misma función que se ha
 descrito previamente.

A continuación se demostrará que el circuito de acuerdo
 con la figura 2 da una ganancia mayor en el camino de realimentación
 que el circuito de la figura 1.

150 Para determinar la relación mark/space del circuito bies-
 table para una compensación dada del codificador es necesario deter-
 minar la probabilidad de que un grupo de n canales tenga más códigos
 de canal positivos que negativos para la probabilidad de que cada
 código de canal dentro del grupo sea positivo. Puesto que la polari-
 155 dad de un grupo ha sido tomada como la de la mayoría de códigos de
 canal del grupo n se ha elegido impar.

El grupo será positivo si:

- (1) $\frac{n+1}{2}$ códigos de canal son positivos
- (2) $\frac{n+2}{2}$ códigos de canal son positivos
- 160 (n) n códigos de canal son positivos

El caso (1) en el que $\frac{n+1}{2}$ códigos de canal son posi-
 tivos puede presentarse en ${}^nC_{\frac{n+1}{2}}$ formas.

Por lo tanto la probabilidad de que haya $\frac{n+1}{2}$ canales
 positivos será

$$165 \quad = p \binom{\frac{n+1}{2}}{2} \cdot q \binom{\frac{n-1}{2}}{2} \cdot {}^nC_{\frac{n+1}{2}}$$



Semejantemente para el caso (2) la probabilidad de que haya $\frac{n+3}{2}$ canales positivos será

$$= p \binom{n+3}{2} \cdot q \binom{n-3}{2} \cdot {}^n C_{\frac{n+1}{2}}$$

170 Por lo tanto la probabilidad p_n de que un grupo de n canales tenga más canales positivos que negativos es

$$p_n = p \binom{n+1}{2} \cdot q \binom{n-1}{2} \cdot {}^n C_{\frac{n+1}{2}} + p \binom{n+3}{2} \cdot q \binom{n-3}{2} \cdot {}^n C_{\frac{n+3}{2}} + \dots + p^n$$

175 Semejantemente, la probabilidad q_n de que un grupo tenga más canales negativos que positivos está dada por

$$q_n = p \binom{n-1}{2} \cdot q \binom{n+1}{2} \cdot {}^n C_{\frac{n-1}{2}} + p \binom{n-3}{2} \cdot q \binom{n+3}{2} \cdot {}^n C_{\frac{n-3}{2}} + \dots + q^n$$

180 Por lo tanto si se examina la polaridad de los grupos en un largo período de tiempo la relación de grupos positivos a negativos será

$$p \binom{n+1}{2} \cdot q \binom{n-1}{2} \cdot {}^n C_{\frac{n+1}{2}} + p \binom{n+3}{2} \cdot q \binom{n-3}{2} \cdot {}^n C_{\frac{n+3}{2}} + \dots + p^n$$

185 $\frac{pn}{qn} = \frac{p \binom{n+1}{2} \cdot q \binom{n-1}{2} \cdot {}^n C_{\frac{n+1}{2}} + p \binom{n+3}{2} \cdot q \binom{n-3}{2} \cdot {}^n C_{\frac{n+3}{2}} + \dots + p^n}{p \binom{n-1}{2} \cdot q \binom{n+1}{2} \cdot {}^n C_{\frac{n-1}{2}} + p \binom{n-3}{2} \cdot q \binom{n+3}{2} \cdot {}^n C_{\frac{n-3}{2}} + \dots + q^n}$

Dividiendo por q^n tenemos

190 $\frac{pn}{qn} = \frac{\left(\frac{p}{q}\right) \binom{n+1}{2} \cdot {}^n C_{\frac{n+1}{2}} + \left(\frac{p}{q}\right) \binom{n+3}{2} \cdot {}^n C_{\frac{n+3}{2}} + \dots + \left(\frac{p}{q}\right)^n}{\left(\frac{p}{q}\right) \binom{n-1}{2} \cdot {}^n C_{\frac{n-1}{2}} + \left(\frac{p}{q}\right) \binom{n-3}{2} \cdot {}^n C_{\frac{n-3}{2}} + \dots + 1}$

Esto valor de $\frac{pn}{qn}$ iguala a la media de la relación mark

195 a space del circuito biostable.

./..



8.

Si designamos por σ_1 la desviación de la unidad de la relación mark a space del circuito biestable en la disposición de la figura 1 para una compensación de un paso de cuantificación y por σ_2 la desviación de la relación mark a space para la disposición de la figura 2, puede obtenerse una comparación entre los dos circuitos representando σ_2 en función de σ_1 para diferentes valores de n . Esto se ha representado en la figura 4 en la que se ve que la "ganancia" del paso de realimentación aumenta con n esto es con el número de códigos de canal por grupo. Se puede ver también que cuando n es grande la ganancia aumenta con la magnitud de la compensación.

La ganancia del camino de realimentación puede aumentarse todavía combinando un número de m grupos de códigos de canal para un bloque de códigos de canal y asignando a todo el bloque la polaridad de la mayoría de los grupos del bloque. Esto se ha representado en el circuito de la figura 3. Al circuito de la figura 2 se han añadido una puerta lógica 13 y un contador 14. El contador 14 registra el número de grupos dentro de un bloque de códigos de canal que tienen la polaridad dada y actúa el circuito biestable 6 cuando este número es mayor que la mitad del número total de grupos. Si el número de cuentas es menor que la mitad, el biestable permanece en su condición previa. Cuando se han examinado m grupos el contador 14 se repone con un impulso de tiempo. La puerta lógica 13 se abre cada vez que se examina el almacén del contador 9, esto es cada vez que se han examinado n códigos de canal.

Se sobreentiende que la descripción precedente de ejemplos específicos de este invento ha sido hecha a título de ejemplo y no tiene que considerarse como una limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Inglaterra el 22 de Noviembre de 1.966, señalada con el

./..



número 52152/66 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

230

1.- Un codificador para señales eléctricas analógicas para codificarlas en un código binario simétrico con un circuito para ajustar automáticamente el cero del de la señal de entrada para que quede en el centro del repertorio de código que comprende un paso de realimentación conectado entre la salida digital y la entrada analógica del codificador, comprendiendo dicho paso medios para examinar la polaridad de cada uno de los códigos de canal sucesivos, medios para asignar una polaridad a un bloque de códigos de canal de acuerdo con la distribución de polaridad de los códigos de canal individuales, medios para generar una señal de control digital que es una función de la polaridad de dicho bloque, medios para convertir dicha señal de control en una señal analógica de polarización y medios para polarizar la entrada del codificador para igualar el número de códigos de canal que tienen polaridades opuestas.

245

2 - Un codificador como el del punto 1 en el que cada bloque comprende m grupos de n códigos de canal cada uno, siendo m y n números impares, estando dada la polaridad de cada grupo de códigos por la polaridad de la mayoría de los códigos de canal dentro del grupo y estando dada la polaridad del bloque de códigos por la polaridad de la mayoría de grupos del código.

250

3 - Un codificador como el del punto 2 en el que los medios para examinar la polaridad del dígito de los códigos de canal sucesivos comprende un circuito puerta que se abre durante los espacios de tiempo asignados al dígito de polaridad de cada código de

./.



255 canal y los medios para asignar la polaridad a un grupo de códigos de canal son un contador para contar el número de canales del grupo que tienen la polaridad dada y otro contador para contar el número de grupos del bloque que tienen la polaridad dada, estando conectados los contadores en tandem.

230 4 - Un codificador como el del punto 3 en el que cada contador responde solamente a las señales de entrada que tienen la polaridad dada, y genera una señal de salida de esa polaridad cuando su cuenta excede de $\frac{n}{2}$ ó $\frac{m}{2}$ y se repone después del examen de n códigos de canal o m grupos respectivamente.

235 5 - Un codificador como el del punto 4 en el que los medios para generar una señal de control digital son un circuito biestable que se ajusta a una u otra de sus condiciones según la polaridad del bloque de códigos de canal y los medios para convertir la señal digital de control en una señal analógica de polarización
240 es un circuito interrogador que comprende un condensador y una resistencia.

6 - Un codificador como el del punto 5 en el que el número de códigos de canal por grupo y el de grupos por bloque son impares.

245 7 - Un codificador como el del punto 6 en el que el bloque de códigos de canal comprende un grupo de n canales solamente, omitiéndose el contador de grupos y siendo hecha su función por el circuito biestable.

8 - Un codificador como el del punto 6 en el que la
250 capacidad de cada contador es $\frac{n+1}{2}$ ó $\frac{m+1}{2}$ respectivamente.

9 - Un codificador sustancialmente como se ha reindicado con relación a las figuras 1, 2 ó 4 de los dibujos.

10 - Un codificador para señales eléctricas.

Tal y como se describe en la memoria que antecede, re-




11.

255 presentado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de ONCE hojas escritas por una cara.

Madrid, 21 NOV. 1967




EUGENIO BARROSO
Secretario General

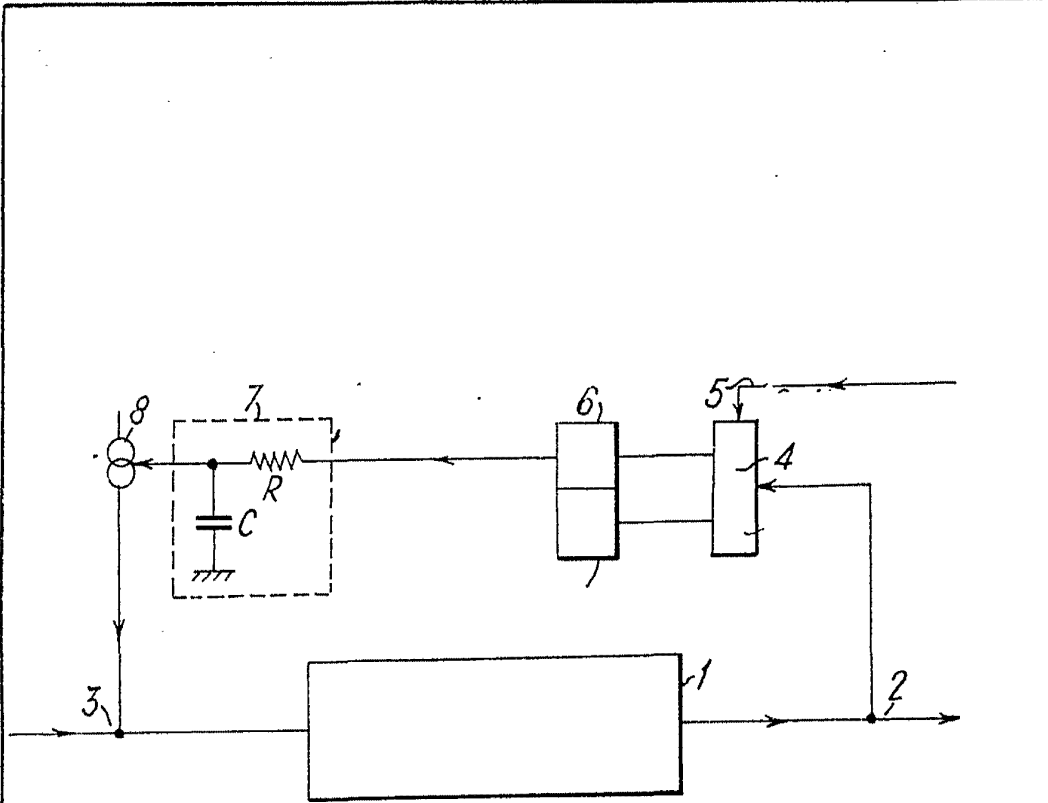


Fig. 1.

2 1 NOV. 1967

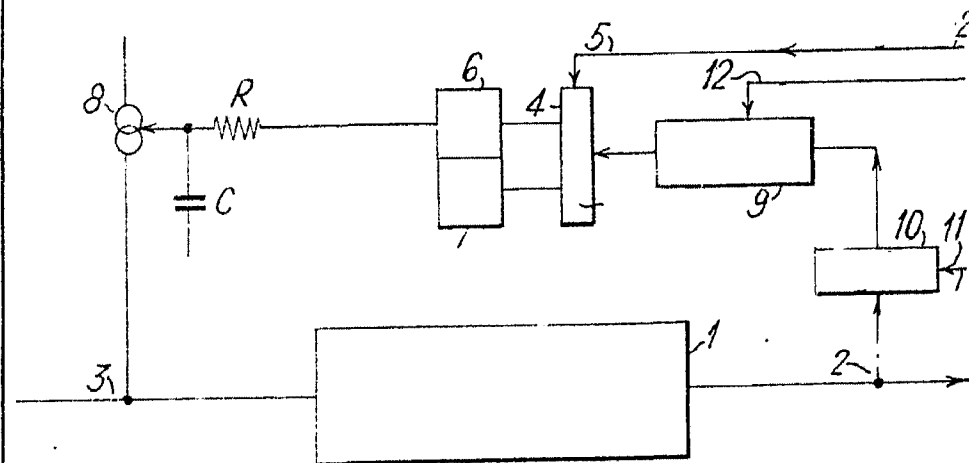


Fig. 2.



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

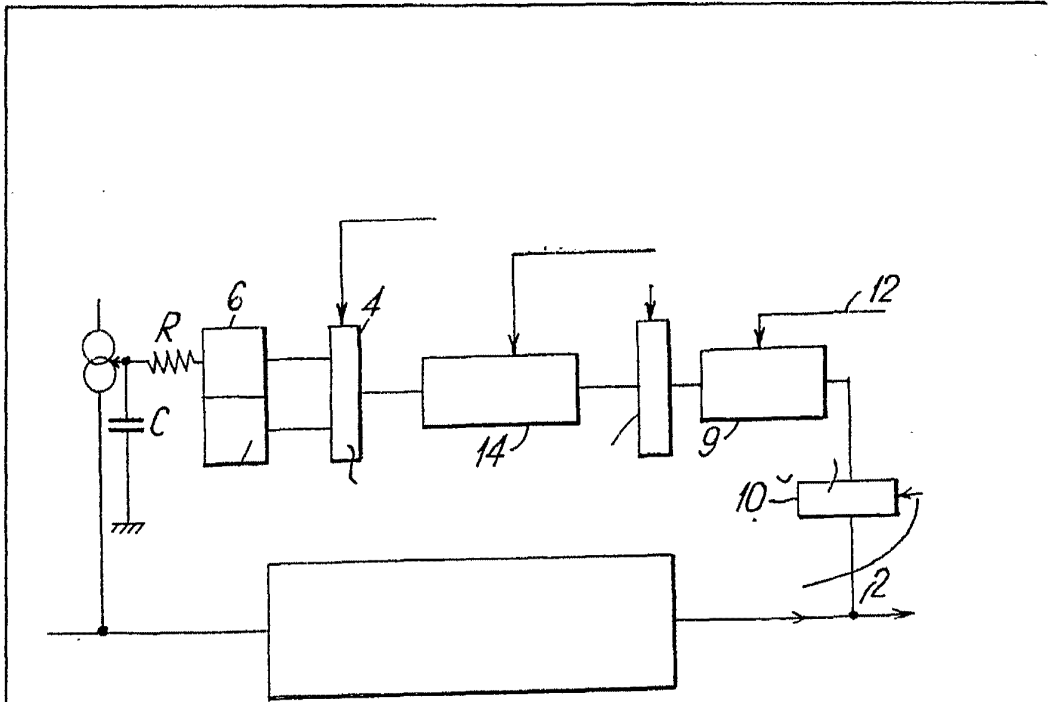


Fig.3.

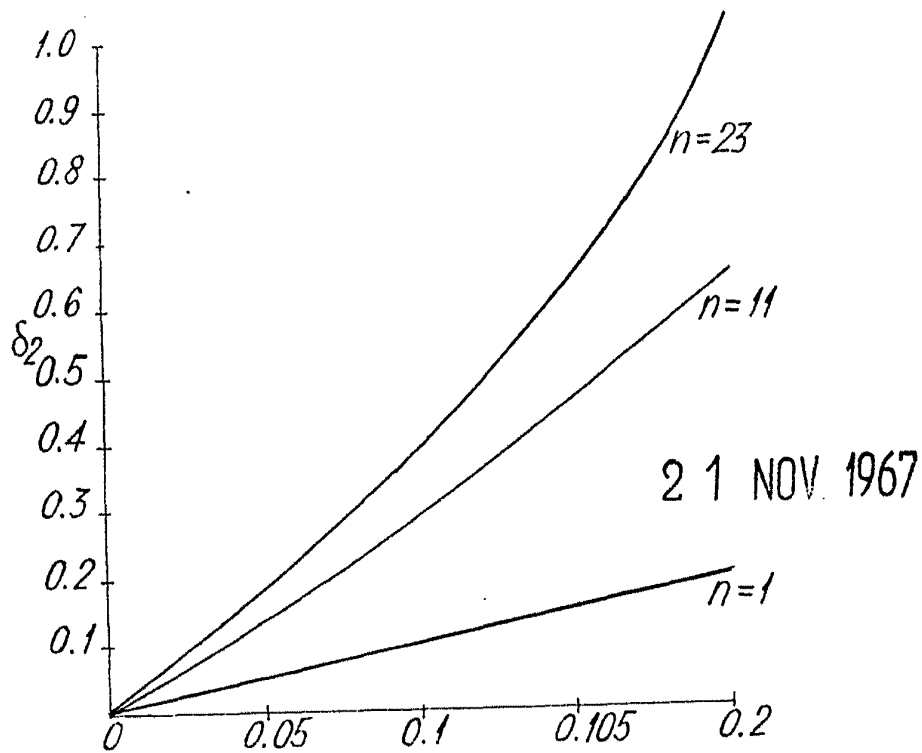


Fig.4.



E. Barrocc
EUGENIO BARROCC
 Secretario General