

P.- 36.752

File 7378 R

347094

Memoria descriptiva



1 FEB 1968

para solicitar PATENTE DE INVENCION EN ESPAÑA por 20 años

a nombre de AMP INCORPORATED

entidad / de nacionalidad norteamericana

**con domicilio en Eisenhower Boulevard, Harrisburg, Pensilva
nia, Estados Unidos de América**

**por: "UN SISTEMA DE SEÑALIZACION SELECTIVO" (Clase Interna
cional HO⁴m)**

=====

27.1.68.



Este invento se refiere a un sistema de señalización selectiva para transmitir información codificada desde un transmisor a una seleccionada de entre una pluralidad de estaciones receptoras. La información codificada está en forma de un carácter, o de una pluralidad de caracteres, cada uno de ellos compuesto de bitios binarios.

En tales sistemas, cada receptor tiene un código de llamada que es característico para el mismo y sólo al cual responde. Cuando ha de transmitirse una señal para su recepción solamente por un receptor seleccionado de todas las estaciones receptoras del sistema, es emitido por el transmisor el código de llamada característico de la estación receptora. Cada estación receptora del sistema recibe la señal y la trata para ver si es la señal de llamada de esa estación. El tratamiento se consigue comparando la señal recibida con una señal localmente generada sobre la base de bitio por bitio. Solamente la señal que resulte completamente idéntica con la señal de llamada transmitida actuará para recibir el mensaje codificado transmitido a continuación. Todas las otras estaciones permanecerán herméticas al mensaje.

El presente invento proporciona un sistema de señalización selectiva perfeccionado para llamar selectivamente a una estación receptora seleccionada.

Un sistema de señalización selectiva para transmitir información codificada, de la clase en la cual la información codificada tiene la forma de un carácter, o de una pluralidad de caracteres, compuestos de bitios binarios, tiene, de acuerdo con el invento, un transmisor que incluye un miembro de entrada dispuesto para generar

30
27.1.68.



5 un carácter seleccionado en forma codificada en bitios bi-
narios y para suministrar dicho carácter a una memoria de
datos, medios de reloj o de base de tiempos dispuestos pa-
ra dar salida seriada a caracteres de la memoria, un cir-
cuito de recirculación conectado a la memoria y destinado
a volver a escribir la información en la memoria a medida
que es transmitida, y una memoria de caracteres conectada
con la memoria de datos para registrar el número de caracte-
res que hay en la memoria de datos y para asegurar la
10 posición correcta de dichos caracteres al ser transmiti-
dos por el transmisor.

15 Un receptor para ser usado en este sistema pue-
de incluir un registro de caracteres que tiene una plura-
lidad de posiciones de bitios igual en número a la plura-
lidad de bitios en un solo carácter transmitido, y medios
para comparar bitio a bitio los bitios del código de un
carácter recibido con los bitios de código de un carácter
de identificación alimentado desde un secuenciador de ca-
racteres, estando dispuestos dichos medios para generar
20 una señal para hacer que el secuenciador de caracteres
sea repuesto al faltar la identidad de los bitios compara-
dos.

25 El sistema emplea, de preferencia, un formato
de llamada de señal que incluye un carácter inicial, una
pluralidad de caracteres de identificación característi-
cos y un carácter final.

30 Describiremos ahora una realización de un sis-
tema de señalización selectiva y sus partes detalladas im-
portantes de acuerdo con el invento, haciendo esta des-
cripción a modo de ejemplo solamente y con referencia a

27.1.68.



los dibujos adjuntos, en los cuales:

La fig. 1 es un diagrama de secuencia en el tiempo que muestra una composición de código típica en términos de bits binarios y de tonos de marcas y espacios;

las figs. 2A y 2B son diagramas esquemáticos que muestran un circuito de puesta en código;

las figs. 3A y 3B son diagramas esquemáticos que muestran un circuito descodificador del receptor;

la fig. 4 es un diagrama esquemático que muestra un circuito lógico para desarrollar señales de control desde la unidad receptora de las figs. 3A y 3B;

la fig. 5 es un diagrama esquemático de un circuito lógico para desarrollar salidas en código para información de acceso posterior suministrada al receptor;

la fig. 6 es un diagrama de circuito esquemático de un circuito lógico que forma una parte generadora de código del explorador del sistema;

las figs. 7, 8 y 9 son diagramas esquemáticos de circuitos lógicos que forman parte de la puerta de distribución de canales del explorador del sistema;

la fig. 10 es un programa que muestra conexiones para el funcionamiento del explorador del sistema;

la fig. 11 es un diagrama esquemático de un circuito para proporcionar salidas tonales compatibles con el sistema, en respuesta a diversas clases de entradas; y

la fig. 12 es un diagrama esquemático de un circuito para proporcionar una llamada automática de acuse de recibo por parte de un receptor.

En la siguiente descripción del sistema del

30
27.1.68.



invento, se dará primero una reseña de un formato típico de mensaje de señalización que está destinado a bosquejar los periodos de tiempo y las funciones del sistema. Irá seguida por una descripción detallada de un codificador que genera primero un código de llamada en un formato binario y traduce luego dicho código a una forma de onda marca/espacio compuesta por dos tonos diferentes. Luego, se dará una descripción de una realización de receptor que traduce los tonos marca/espacio en un código de receptor binario y que genera localmente un código binario singular para una estación receptora particular y opera luego para comparar el código recibido con el código localmente generado para dar una indicación de llamadas. Serán descritas después diversas otras características que son realizaciones del sistema incorporado en el receptor para desarrollar señales de control y para explorar canales.

Formato del mensaje de señalización.

La fig. 1 muestra un formato típico del mensaje de señalización. Leyendo desde la izquierda hay un primer intervalo identificado como intervalo de tono preliminar que está representado como de 200 a 220 milisegundos de duración. El intervalo de tono preliminar sirve como tiempo de ataque en el receptor para permitir que el equipo del receptor que contiene circuitos de control automático de ganancia o de control automático de frecuencia se estabilice y también para permitir la exploración de canales múltiples. Luego, a la derecha del intervalo de tono preliminar, hay un intervalo de acceso de cinco dígitos de una duración de aproximadamente 1232 milisegundos. Como puede verse, el intervalo de acceso está dividido en

30
27.1.68.



siete intervalos separados de aproximadamente 176 milise-
gundos de longitud, estando cada uno de los siete interva-
los de caracteres formado por ocho intervalos de 22 mili-
segundos para la definición de los bitios individuales. A
5 la izquierda del intervalo de acceso hay un intervalo de
carácter inicial marcado con SOH para la iniciación del
encabezamiento o epígrafe. El intervalo SOH y el código
para el mismo, se utilizan con cada mensaje para iniciar
las señales de sincronización en el equipo receptor. Como
10 puede verse por la fig. 1, cada uno de los caracteres vie-
ne definido por unos y ceros binarios en siete posiciones
de bitios numeradas marcadas con $b_1 - b_7$. Se prevé una po-
sición de bitio adicional marcada con C para cada interva-
lo de carácter individual con el fin de proporcionar pari-
15 dad, haciendo un total de ocho posiciones de bitios por
carácter.

La fig. 1 muestra la codificación para el carác-
ter inicial SOH con relación a las siete posiciones de bi-
tios y a la posición C del bitio de paridad. Después del
20 carácter inicial hay cinco intervalos para los caracteres
alfanuméricos primero, segundo, tercero, cuarto y quinto
utilizados en el intervalo de acceso. Cada uno de los in-
tervalos de caracteres alfanuméricos contiene siete posi-
ciones de bitios para codificación en binario con una oc-
25 tava posición para paridad, como en el caso del carácter
inicial. La codificación en binario para un acceso típico
de NK7A5 es como se muestra en la fig. 1. El intervalo de
acceso queda completado por un séptimo intervalo que es
el final del carácter de acceso, STX. El carácter STX se
30 usa siempre en el formato de mensaje y sirve para desarro-
27.1.68.



5 llar señales de control en el receptor. Después del inter-
valo de acceso completo, hay otro intervalo para la desig-
nación del canal, control del dispositivo o para datos de
telex, teletipo u otros usos. El carácter representativo
que sigue se muestra con la referencia 3.

10 En la parte inferior de la fig. 1, está el có-
digo marca/espacio que se utiliza para excitar el equipo
de transmisión. Como resultará evidente por la fig. 1, el
tono de marca F1 es la frecuencia individual de 2.375 Hz
y el tono de espacio F2 es de 1.525 Hz.

La representación de la fig. 1 para los tonos
F1 y F2 puede imaginarse como un tren de frecuencias den-
tro de los bloques realmente representados.

15 Se emplea un mecanismo de teclas del tipo de
"no retorno a cero" con el fin de elevar al máximo la ve-
locidad de la señalización posible con una velocidad de
45 baudios que permite señalizar sobre líneas alquiladas
y que se estima es la máxima velocidad de mensaje espera-
da para su uso con un sistema que tenga utilidad general.

20 Como puede verse, el intervalo de tono preli-
minar, el tono de espacio F2 es mantenido constantemente
y el tono de marca está ausente. Durante el intervalo de
acceso y el intervalo siguiente, el tono de marca F1 está
presente cada vez que hay un uno en una posición de bitio
25 y el tono de espacio F2 está presente cada vez que hay un
cero en una posición de bitio.

30 Como resultará evidente por lo que sigue, el
anterior formato de mensaje puede acortarse por la simple
utilización de menos de los cinco caracteres alfanuméri-
cos y añadiendo STX inmediatamente después del último ca-



rácter alfanumérico empleado. El sistema del invento acomodará con facilidad mensajes tales como SOH NK STX, SOH NK 7 SOH y similares.

5 Se considera que el sistema puede ser expandi
do por la adición de pasos en el mismo para acomodar un
mayor intervalo de acceso que el ilustrado. No obstante,
se cree que el uso de un intervalo de acceso de siete ca-
racteres es muy adecuado para manejar todos los símbolos
necesarios para fines de acceso y comunicación en todo el
10 mundo. Un código de siete caracteres puede acomodar 128
símbolos distintos. Una lista típica de los símbolos que
pueden desarrollarse mediante un código de este tipo pue-
de hallarse en el alfabeto No. 5 de la CCITT para la trans-
misión de datos y telegrafía.

15 Codificador.

Con referencia a las figs. 2A y 2B, el circui-
to codificador patrón de un sistema del invento será des-
crito a continuación. El codificador patrón está alojado
en una consola, no mostrada, que tiene aproximadamente el
20 tamaño de una calculadora de sobremesa electrónica y que
contiene el teclado 14 con cierto número de pulsadores in
dividuales asociados con los diversos caracteres usados
en el sistema. Está prevista una serie de interruptores
que incluye un interruptor manual de liberación 16 o de
25 despeje y un interruptor de emisión 18 mostrado abajo a
la izquierda en la fig. 2A. Estos interruptores son accio-
nados por los pulsadores situados en el frente de la con-
sola. La consola contiene un interruptor de corriente 22
y una serie de lámparas que incluyen una lámpara de libe-
ración o despeje 24, mostrada en la parte superior de la

30
27.1.68.



fig. 2B, que indica que el codificador patrón está prepara
do para la entrada de datos; y lámparas 26 de entrada de
caracteres, que indican el número de caracteres que hay
almacenados en el codificador patrón. La consola incluye
5 también una lámpara 28 de preparación para la emisión, a
la derecha de las lámparas 26, que indica que el codifica
dor patrón está completamente cargado con caracteres o que
está preparado para un ciclo de emisión. Una lámpara 30,
a la derecha de la fig. 2B, sirve como lámpara de emisión
10 para indicar que el codificador patrón está en pleno ci-
clo de emisión.

Estos diversos elementos permiten a un usua-
rio manipular el codificador patrón para desarrollar un
mensaje de señalización del tipo antes descrito con rela-
15 ción a la fig. 1. Las figs. 2A y 2B muestran juntas el dia-
grama de circuitos del codificador patrón incluyendo los
diversos otros componentes, y conexiones entre componentes,
necesarios para generar el formato de mensaje que hemos
descrito con anterioridad.

20 Como fase preliminar de la operación del codi-
ficador patrón, sus elementos son llevados a través de lo
que se denomina un ciclo de despeje/reposición. El ciclo
de despeje/reposición es iniciado siempre que se conecte
el interruptor de corriente 22; o si 22 ya está conectado,
25 siempre que se opere el interruptor 16 de despeje manual.

Como resultará evidente por la fig. 2A, los
elementos 16 y 22 está conectados mediante un conductor a
un excitador 32 de despeje/reposición que es un excitador
de impulsos normal capaz de producir un impulso suficiente
30 para excitar un número sustancial de elementos. El excita-
27.1.68.



5 dor 32 tiene un conductor de salida 34 que opera para co-
nectar un impulso procedente de 32 simultáneamente a cier-
to número de componentes como se muestra en las figs. 2A
y 2B. El primer componente, conectado por un conductor 36,
es una puerta 0 normal 38 que tiene una salida 40 conecta-
da a un conductor 42 que opera para ajustar un bi-estable
44 de control de salida en el estado mostrado en la fig.
2A. El conductor 40 está también conectado a otros conduc-
tores 46 y 48, que alimentan la salida de 38 para ajustar
10 un bi-estable de emisión 50 al estado inicial como se
muestra en la fig. 2A. El conductor 46 está también conec-
tado a un conductor 52 que opera para conectar la salida
de 38 a una entrada de parada a una puerta 0 56 de tiempo
o de reloj a través de un conductor de entrada 54. El im-
pulso en el conductor 52 opera también para despejar un
15 registro de datos mostrado como 58. El registro de datos
incluye pasos de biestable en número suficiente para acom-
modar los bitios del código mostrado en la fig. 1. Una sa-
lida de la puerta 0 56 a través del conductor 60 está co-
nectada al reloj 62 del circuito; un impulso en 60 actua-
rá para parar el reloj 62.

 El conductor 34 procedente del excitador de
reposición de despeje 32 está también conectado a través
del conductor 64 para alimentar un impulso de despeje a un
25 registro de memoria de siete pasos de biestable mostrado
como 66 en la parte inferior de la fig. 2B y, a través de
un conductor 68, conectado a una puerta 0 mostrada como
70, que opera en respuesta a una entrada de impulsos para
activar el biestable mostrado como 72 en un estado inicial
como se ha representado en la fig. 2B. El conductor 68 es

30
27.1.68.



tá también conectado en la fig. 2B a otro conductor 74 conectado a su vez a una puerta 0 76 operable para activar el biestable mostrado como 78 en un estado inicial como se indica en la fig. 2B.

5 El conductor 34 está conectado por medio de otro conductor, 80, en la fig. 2A, a un registro de caracteres de ocho pasos de biestable, 82 en la fig. 2B, para alimentar un impulso de despeje al mismo para preajustar el registro de caracteres a estado despejado que viene de
10 finido por la presencia de un 1 binario en su paso 0 y por 0 binarios en los pasos sucesivos numerados de 1 a 7. Cada uno de los pasos del registro de caracteres 82 tiene conductores de salida desde él a lámparas mostradas encima que están conectadas para ser alimentadas para representar el estado binario de los pasos de 82. En un estado de reposición inicial para el circuito codificador 10, la lámpara 24 estará encendida para indicar un estado despejado y las lámparas 1 a 6 y la lámpara de preparado para emisión, 28, estarán apagadas para indicar que no se han
15 introducido caracteres en 82.
20

Suponiendo ahora que el circuito del codificador del sistema, 10, está en el estado despejado, el codificador puede ser cargado deprimiendo selectivamente los pulsadores de caracteres del teclado 14. Para el código representativo ilustrado en la fig. 1, las teclas asociadas con los símbolos NK7A5 serían las deprimidas. Después de efectuada la carga de los caracteres de acceso, se deprimiría la tecla STX para insertar el carácter de parada del código. La razón para cargar a mano el carácter de parada es porque el codificador debe poder manejar accesos
25
30
27.1.68.



de longitudes variables y antes de que se cargue cualquier carácter de control, tal como el carácter de control 3 mostrado en la fig. 1. Después de la depresión de la tecla STX, se deprime la del carácter de control seleccionado, tal como 3, para insertar el carácter de control.

5

Una realización preferida para inyectar bitios en 58 por la depresión de teclas de un teclado se ha enseñado en la solicitud de patente americana No. 565.624 presentada el 15 de Junio de 1966 a nombre de Edward Camp Dowling y otro. Resumiendo, el registro de datos, de acuerdo con una realización preferida, se hace que incluya ocho posiciones de bitios para la fase de carga y por cada uno de los ocho pasos numerados y un paso SYNC. Cada posición de bitios puede imaginarse como un bi-estable o un par de núcleos de aberturas múltiples acoplados entre sí para transferencia en serie y acoplados para ser alimentados por una excitación de avance impar-avance par bien conocida en la técnica. El reloj 62 suministra esta alimentación y es capaz, al ser puesto en marcha, de producir impulsos alternados sobre los conductores mostrados como 84 y 85 que son respectivamente arrollamientos de excitación impar y par para 58.

10

15

20

De acuerdo con el invento, cada una de las teclas de 14 está conectada a un grupo de contactos para excitar un conductor tal como 15 que está conectado en una configuración a través de las ocho posiciones de bitios del paso de carga de 58 de modo que se establezcan algunas determinadas de las posiciones de bitios y se despejen otras para definir un grupo binario en tal paso. Por ejemplo, con relación al primer carácter del formato de

30
27.1.68.



mensaje que consideramos que es el carácter N, la depre-
sión de la tecla N de 14 comunicaría impulsos al paso de
carga para efectuar un código binario 01110011. Véanse
las posiciones de bitios $b_1 - b_7$ y C para N en la fig. 1.
5 Tan pronto como el paso de carga ha sido cargado por com-
pleto viene dada una salida desde el paso de carga a tra-
vés del conductor 86 conectado al conductor mostrado como
88 que va al terminal de entrada de iniciación del reloj
62 para hacer que el reloj funcione para producir impul-
10 sos en los conductores 84 y 85 y excitar el código bina-
rio del paso de carga a lo largo del registro de datos. A
medida que el reloj 62 desplaza los bitios del paso de car-
ga al paso numerado con 1, los impulsos de excitación ex-
citarán también el paso SYNC. El paso SYNC contiene un bi-
15 tío 1 simple en todo momento que circula bajo excitación
de 62. Al final de siete y media carreras de avance, el
bitio 1 producirá una salida en el conductor mostrado con
90. Esta salida se denomina impulso S1 y es alimentada al
registro de caracteres 82 para hacer que el 1 almacenado
20 en el paso cero sea transferido al paso de la posición 1
del registro de caracteres. Esto hará que la lámpara nú-
mero 1 de entrada de caracteres conectada al paso de la
posición 1 de 82 sea encendida, indicando que el carácter
uno ha sido cargado en el circuito codificador. Hay una
25 salida adicional procedente de la posición 1 a través de
un conductor 92 a una puerta O 94 que es capacitada con-
siguientemente para dar una salida a través del conductor
96 a una puerta Y 98. La puerta Y 98 tiene también una en-
trada a través del conductor 100, 102 y 104 desarrollada
por el bitio del paso SYNC de 58 que llega en la posición
30

27.1.68.



de bitio ocho para producir lo que se muestra como impulso S2. Esto producirá un impulso conectado por el conductor mostrado como 110 desde 98 a través de la puerta 0 56 al conductor 60 para parar el reloj.

5 Esto habrá hecho avanzar el carácter cargado en el registro de datos 58 a la posición numerada con 1 y habrá hecho avanzar el uno almacenado en la posición cero del registro de caracteres a la posición numerada con 1, apagando la lámpara de despeje y encendiendo la lámpara
10 numerada con 1 encima del registro de caracteres.

La depresión subsiguiente de las teclas de 14 repetirá el ciclo lógico anterior.

Después que el codificador ha sido completamente cargado, es hecho funcionar en un ciclo de emisión
15 que desplaza los datos previamente almacenados en el registro de datos 58 a la lógica de salida siendo el equipo de transmisión automáticamente manipulado y no pudiendo recibir más datos el teclado. El ciclo de emisión del codificador puede iniciarse por el operador cuando el registro de datos está sólo parcialmente cargado, o cuando el
20 registro de datos está completamente cargado.

Volviendo primero al estado parcialmente cargado en el que el registro de datos 58 contiene de uno a seis caracteres, cuando el interruptor de emisión 18 es
25 excitado por la depresión del pulsador de emisión es producido un impulso a través de un conductor 112 al biestable de emisión 50 que es activado para capacitar una puerta 0 116, mostrada a la derecha en la fig. 2B, a través del conductor 114. Esto conecta la lámpara de emisión 30
30 y produce también una salida a través del conductor 118

27.1.68.



a otra puerta 0 120 que produce un impulso en el conductor 122 para interrumpir la alimentación de corriente al teclado e inhibir de este modo la entrada de información por el teclado en el registro de datos 58. La activación de 50 da también impulsos a una puerta Y con retardo de tiempo mostrada como 124. La puerta 124 es de un tipo que producirá una salida en respuesta a una entrada en ambos terminales de entrada a la misma, incluso aunque haya un retardo en la ocurrencia de dichas entradas. Una segunda entrada a la puerta 124 es desarrollada a través del conductor 128 que está conectado a una unidad interfacial de ocupado no mostrada pero que se entiende produce una señal a 124 si el equipo de transmisión asociado al sistema no está ocupado. Esto es aconsejable si el sistema contendrá una pluralidad de codificadores que comparten el mismo equipo de transmisión.

Suponiendo que es excitada la puerta 124, producirá una salida de impulsos para establecer el biestable de control de la salida, 44. El impulso de la puerta 124 es conectado también a través del conductor 134 a una pluralidad de puertas Y, mostrándose dos como 136 y 138, que están conectadas a pasos individuales del registro de memoria 66. El registro de memoria 66 incluye unos siete pasos que pueden estar formados por un biestable o núcleo magnético capaz de ser llevado a un estado binario distinto, de 1 o 0. Cada una de las puertas tales como 136 y 138 incluye entradas adicionales separadas, 140 y 142, conectadas a los pasos de número respectivo del registro de caracteres 82. El conductor 140, por consiguiente, estaría conectado al paso número 1 del registro de caracteres 82

30
27.1.68.



para dar una entrada a 136 en cualquier momento, en que el paso número 1 del registro de caracteres contuviera un 1 binario. Una entrada del registro de caracteres a una de las puertas 136 y 138 capacitará a la puerta y una entrada en el conductor 134 hará luego que uno de los pasos del registro de memoria sea activado dependiendo de cuál de los pasos del registro de caracteres está activado. Así, si se han cargado cinco caracteres en el codificador patrón de modo que el paso 5 del registro de caracteres es excitado y la lámpara 5 es conectada, la posición 5 del registro de memoria sería excitada. El registro de memoria se utiliza para mantener sincronizados el registro de datos 58 y el registro de caracteres 82 a pesar de variaciones en la longitud de los mensajes.

La presencia de un carácter en el paso 5 del registro de caracteres 82 proporcionará una entrada a la puerta O 94 que, a su vez, proporcionará una entrada a una puerta Y 146, en la fig. 2A, a través del conductor 144; y al haber sido establecida la puerta Y 146 por la activación del bi-estable 44, será suministrada una salida de 146 a través del conductor 148 al conductor 88 que pondrá en funcionamiento el reloj 62. El reloj 62, entonces, proporciona impulsos de desplazamiento de avance para desplazar los datos del registro de datos 58. El registro de caracteres 82 es obligado también a avanzar mediante una salida en el conductor 90 y el reloj es hecho funcionar hasta que el bitio de 82 llega al paso número 7. La puerta 98 no funciona para detener el reloj porque el bi-estable 44 está en la condición mostrada en la fig. 2A. Cuando el paso 7 del registro de caracteres 82 es excita-

30
27.1.68.



do para emitir, se enciende la lámpara de preparado y la puerta O 120, a la derecha en la fig. 2B, es capacitada para inhibir el teclado como se ha descrito.

5 El registro de caracteres 82 es excitado sola-
mente por el borde trasero del impulso S1 y, por tanto,
la puerta Y 152 conectada por 151 no es capacitada por la
conexión del conductor, 154, del paso 7 de 82. Una puerta
Y mostrada como 156, sin embargo, es capacitada por medio
del conductor 158 del paso 7 y es excitada por una entra-
10 da del bi-estable 44 a través del conductor 160. Esta puer-
ta Y 156 funciona para activar un biestable 72, en la fig.
2B y, a través del conductor 162, para activar o estable-
cer un bi-estable de salida 164 en la condición de espa-
cio. Cuando el bi-estable 72 es establecido produce una
15 salida a través del conductor 166 que pone en funciona-
miento un elemento de retardo de un tiempo de 200 milise-
gundos, mostrado como 168. Capacita también una plurali-
dad de puertas Y de salida mostradas como 170 y 172 a tra-
vés de un conductor 174 en la parte alta de la derecha de
20 la fig. 2B. Cuando las puertas Y de salida han sido capa-
citadas, el bi-estable 164 excitará un oscilador de tono,
mostrado como 178 a través de un conductor 180, para pro-
ducir una señal de salida de espacio de 1525 Hz en un con-
ductor de salida 182 a la puerta de salida 170. Esta, a
25 su vez, producirá una salida del codificador al equipo de
transmisión a través de la barra colectora de salida 184
para desarrollar el intervalo de tono preliminar de 200
milisegundos de tono de espacio mostrado en la fig. 1.

De acuerdo con el sistema del invento, se pre-
30 vén dos tipos de salida. La salida en 184 es una salida

30
27.1.68.



5 tonal excitada directamente por el oscilador de tono 178. La excitación del semi-espacio del bi-estable 164 sirve también para excitar la puerta Y 172, que ha sido capacitada por el biestable 72 a través del conductor 174. La entrada de señal a 172 producirá una corriente que excita un relé de salida 189 a través de la bobina mostrada como 190, que excitará el brazo de contacto 192 del mismo conectado a alguna fuente de corriente adecuada para tocar el contacto de espacio mostrado como 194. Esto producirá una salida de corriente en el conductor de espacio 196. La desexcitación de la bobina 190, al ser excitado 164 al estado de marca hará que el brazo de contacto 192 sea llevado a la posición mostrada aplicándose al terminal de marca 198 para producir una salida en el conductor de marca mostrado como 200.

15 El codificador del invento, por consiguiente, puede usarse con un equipo de transmisión que requiera entradas de tono y/o con un equipo de transmisión que requiera entradas del tipo de relé.

20 La excitación del biestable 72 excita también un relé 201 de teclado de transmisor a través de una puerta 202, en la fig. 2B, a través del conductor 204. El relé de teclado de transmisor incluye una bobina 206 operable para excitar un brazo de contacto 208 entre terminales 210 y 212 asociados con las líneas de espacio y de marca. Durante el retardo de tiempo de 200 milisegundos, son excitados el tono de espacio, el contacto de espacio y los contactos de teclado de transmisor.

30 Cuando ocurre una salida de impulso en el conductor 100, en la fig. 2A, debido al impulso S2, una puer

27.1.68.



ta Y, mostrada como 214 en la fig. 2B, será capacitada mediante el conductor 102. Esto operará a través de un conductor 216 para excitar la puerta O 76 para asegurar que ha sido restablecido el biestable 78.

5

Al final del retardo de tiempo de 200 milisegundos, el carácter de iniciación SOH es cargado en la posición 8 del registro de datos 58 por un impulso proporcionado desde 168 en el conductor 169. También, es excitado el reloj desde 168 a través del conductor 83 para desplazar datos desde el paso número 8 al biestable de salida 164, que es excitado entonces para conmutar de espacio a marca, dependiendo del código y de los datos que están siendo sacados de 58. Se prevé un circuito de recirculación mostrado como 220, que alimenta salidas desde el paso número 8 del registro de datos de nuevo a la posición 1.

10

15

Las salidas del biestable de salida 164 operan los osciladores de tono en 178 para producir los tonos apropiados para la transmisión y, como las salidas de contacto de relé 172 y 202 han sido capacitadas, se transmiten tanto salidas de tono como de contactos.

20

Entre tanto, al final del carácter de iniciación, el paso SYNC en 58 habrá producido otro impulso S1 en el conductor 90 para operar el biestable 78 por medio de la puerta Y 152 anteriormente capacitada. Cuando es operado el biestable 78, establecerá una puerta Y 222 anteriormente capacitada conectada a través de un conductor 224 a la salida del biestable 78 por medio de un elemento de retardo 226. La puerta Y 222 es capacitada por una entrada procedente del biestable 72, por medio de un conduc

25

30
27.1.68.



tor 228. Cuando el biestable 78 es establecido, produce también una salida para incapacitar la puerta Y 98 y conectar la lámpara de emisión 30 por medio de la conexión desde la puerta O 116 que incluye también una conexión a la

5 puerta de inhibir 120, que inhibe el teclado. El registro de datos 58 y el registro de caracteres 82 continuarán desplazando hasta que las posiciones de los registros sean idénticas. Cuando las dos posiciones son idénticas, será dada una salida desde una de las puertas Y previamente capacitadas mostradas como 230. Estas puertas están conectadas a los diversos pasos del registro de memoria, a través de conductores como se muestra y están también conectadas a los pasos del registro de caracteres por conductores indicados como 236 y 238; y están conectadas además a

10 la puerta Y 222 por el conductor 240. El biestable 72 es establecido o activado por una salida de una de las puertas 230-234 a través de una puerta Y 70 desde una puerta Y 242 conectada para producir una salida en respuesta a un impulso S2 y 230-234. Cuando el biestable 72 ha sido

15 repuesto incapacitará las puertas de salida 170 y 172 y la puerta 202 del relé de teclado del transmisor.

20

El registro de datos 58 y el registro de caracteres 82 continuarán todavía desplazando hasta que el registro de caracteres contenga un bitio en la posición

25 número 7. Cuando ocurre esto y ocurre un impulso S2, la puerta Y 214 es capacitada para dar un impulso por el conductor 216 para detener el reloj y reponer el biestable 78 para apagar la lámpara de emisión 30.

El codificador patrón está preparado ahora para la iniciación de un ciclo de emisión. En este momento,

30
27.1.68.



5 el teclado en 14 está todavía inhibido desde la puerta 120
y el registro de memoria 66 retiene todavía los datos de
posición. Los registros de caracteres y de datos, en este
momento, están establecidos para la emisión. La depresión
de un pulsador asociado con el interruptor de emisión 18
hará que el codificador del sistema comience un nuevo ciclo.
Si se desea, el interruptor de emisión puede ser capacitado
por medios separados, no mostrados, para funcionar en ciclo
repetidamente tantas veces como se desee para producir salidas
codificadas de manera reiterada.

10 Si el registro de datos ha sido completamente cargado con siete
caracteres, habría un bitio en la posición 7 y la lámpara de
preparado para emisión habría sido encendida. El teclado
habría sido inhibido por medio del relé 120 y la depresión
de un pulsador asociado con el interruptor de emisión 18
habría hecho que todos los ciclos lógicos antes discutidos
comenzaran con el establecimiento del biestable 72.

15 Antes de poder transmitir un código diferente es necesario
iniciar el ciclo de despeje accionando el interruptor manual 16
de despeje para despejar el circuito como antes hemos descrito.

20 Podemos suponer ahora que un código como el analizado con
relación a la fig. 1 ha sido generado y transmitido en el
formato de tonos mostrado en la fig. 1. Descodificador.

25 Volviendo ahora a las figs. 3A y 3B, se muestra como 250 un
circuito descodificador de receptor para el sistema del invento.
El código transmitido, con una composición como la que hemos
descrito, es recibido por un



equipo receptor adecuado, no mostrado, y suministrado por medio de una entrada 252 de barra colectora de audio. La barra colectora de audio alimenta a un compensador 254 de señales de audio, que es un transformador normal y un circuito de adaptación capaces de proporcionar la clase de señales requeridas por los componentes de 250. Se hace que una salida 256 y 254 alimente a circuitos paralelos que incluyen, en el superior, un filtro 258 de tono de marca y, en el inferior, un filtro 260 de tono de espacio. Los filtros de tono son de tipo normal capaz de dejar pasar una anchura de banda de aproximadamente 250 Hz y cada uno se centra en su frecuencia respectiva de 2375 Hz y 1525 Hz. Las salidas de los filtros de tono son alimentadas a amplificadores idénticos de integrador mostrados como 262 y 264. Estas unidades sirven para amplificar, rectificar y dar rectangularidad a los impulsos procedentes de los filtros de tono para proporcionar impulsos de marca y espacio al resto del circuito.

Conectado a cada amplificador de integrador hay un circuito inversor que proporciona ciertas entradas lógicas al resto del circuito. Así, con respecto al circuito de marca, hay un primer inversor mostrado como 266 y señalado por lo demás con \bar{M} para indicar que, cuando hay una entrada de marca 266 no da salida y cuando no hay entrada de marca 266, proporciona una salida. Un conductor desde la salida de 266, mostrado como 268, está acoplado a una puerta Y 270 de espacio y a una puerta 272 de ausencia de señal. La salida de 266 está también conectada a otro inversor 274, por lo demás señalado con \bar{M} , que produce una señal que es la inversa de la señal suminis-

30
27.1.68.



trada por 266; es decir, una salida de tono de marca cuando no hay salida de 266, lo que significa que hay salida de 262. El inversor 274 está conectado por un conductor 276 a una puerta de marca 278.

5

El amplificador integrador 264 conectado en el circuito del tono de espacio está similarmente conectado a un par de inversores para producir señales opuestas desde el punto de vista lógico para condiciones de tono de espacio y de ausencia de espacio. Se muestran como \bar{S} y S conectados por conductores a las puertas Y de marca, espacio y ausencia de señal. La puerta Y de marca 278 es capacitada solamente cuando recibe tanto M como \bar{S} y produce una salida a través de los conductores 280 y 282 a un par de reguladores de tiempo. Estos reguladores de tiempo se muestran como regulador de tiempo 284 de marca y regulador de tiempo 286 de marca larga. La puerta de espacio 270 está similarmente conectada a un regulador de tiempo 288 de espacio y a un regulador de tiempo 290 de espacio largo. La puerta 272 de ausencia de señal está conectada a un regulador de tiempo 292 de ausencia de señal.

10

15

20

Los reguladores de tiempo de marca y espacio son excitadores capaces de producir impulsos de salida solamente después de la presencia de una señal de entrada durante 11 milisegundos. Después de 11 milisegundos, estas unidades continuarán generando impulsos cada 22 milisegundos mientras esté presente una señal de entrada. La puerta 272 de ausencia de señal es operada por la ausencia de señales de marca y espacio durante más de 25 milisegundos para producir un impulso de salida de capacitación.

25

30
27.1.68.

El regulador de tiempo largo de marca y el re



5 regulador de tiempo largo de espacio generan señales de salida en el caso de que existan entradas a ellos durante más de 250 milisegundos; por ejemplo, en el caso de que haya una señal de marca de 278 más larga que 250 milisegundos, el regulador de tiempo largo de marca 286 produce un impulso de salida.

10 Los reguladores de tiempo de marca, espacio y ausencia de señal realizan una función lógica que, según se ha visto, aumenta mucho la seguridad del sistema al eliminar ciertas consideraciones de las condiciones de señalización que ocurren a veces. Estas condiciones pueden resultar de señales espurias desarrolladas por las condiciones atmosféricas, RFI, aviones que pasan o cualquiera de diversas influencias. El regulador de tiempo largo de marca, 286, sirve para impedir que cualquier señal de marca continua y falsa de más de 250 milisegundos haga funcionar el receptor y el regulador de tiempo largo de espacio 290 funciona similarmente con respecto a señales de espacio de más de 250 milisegundos. El regulador de tiempo 20 de ausencia de señal hace que el receptor sea re- puesto cada 25 milisegundos si no ocurre señal. Este opera también un explorador del sistema para hacer que el receptor busque en otros canales receptores. Los reguladores de tiempo de marca y espacio 284 y 288 operan como se 25 ha descrito, solamente después de una entrada para 11 milisegundos. Esto elimina impulsos falsos que sean demasiado cortos para ser legítimos. La lógica de marca y espacio con inclusión de los inversores \bar{M} , \bar{M} , \bar{S} y \bar{S} aumenta la seguridad al garantizar que una señal espuria que contenga señales tanto de marca como de espacio simultánea-

30
27.1.68.



mente no hará que el sistema responda.

5 El regulador de tiempo de marca está conectado a un excitador de salida de datos mostrado como 296 y también, a través de un conductor 298, a una puerta O de marca/espacio mostrada como 300. La puerta 300 es alimentada también con una entrada por el conductor 302 desde el regulador de tiempo 288 de espacio. Hay un excitador de movimiento 304 que es alimentado por entradas desde 286, 290 y 292 por medio de conductores 306, 308 y 310. El excitador de movimiento 304 es una puerta O capaz de proporcionar una señal a través de 305 a una unidad exploradora que describiremos posteriormente.

15 La puerta O marca/espacio 300 está conectada a través del conductor 312 a un excitador de impulsos monoestable mostrado como 314, que es capaz de producir impulsos de salida en los conductores impares o pares separados mostrados como 316 y 318 y señalados por lo demás con O y E. Estos conductores suministran impulsos de excitación a un contador de bitios 320 y en serie a un registro de caracteres 322. El contador de bitios es un registro de desplazamiento por pasos de biestable, normal, que tiene ocho pasos estando el octavo paso acoplado al primero por un circuito de recirculación mostrado con 323 de modo que un uno individual hecho avanzar por 314 lo hará por pasos a través de cada uno de los pasos numerados y luego será hecho recircular desde el octavo paso de nuevo al primero.

30 El registro de caracteres 322 está formado por ocho dispositivos de pasos de biestables destinado a ser activado a condiciones de 1 o 0 binarios por ocho entradas

27.1.68.



5 separadas indicadas como 324 y operables para producir
ocho salidas separadas mostradas como 326, que represen-
tan los bitios C y b_1 y b_7 . Estas salidas están conecta-
das en paralelo a un circuito de salida de descodificador
de post-acceso mostrado en la fig. 4 y que describiremos
luego. El registro de caracteres tiene también una salida
seriada única en 330 que producirá los bitios $b_1 - b_7$ y C
como tren de impulsos binarios que responde a accionamien-
to O y E desde 314 a través de 320. El registro de carac-
10 teres 322, como se observará, tiene una capacidad de un
carácter solamente.

La salida seriada desde 322 a través de 330
es conectada a una puerta lógica O-Exclusivo 332. Hay una
segunda entrada a 332 desde un conductor mostrado como
15 334, que está conectada a través de un interruptor mostra-
do como 336 a través de un brazo de contacto 338 termina-
do en un conductor 340 con el excitador de la salida de
datos 296. El código entrante procedente del codificador
patrón es alimentado por 296 a 332. La puerta lógica
20 O-Exclusivo es de construcción normal, hecha para suminis-
trar una salida solamente cuando las entradas a ella son
diferentes; es decir, 0 binario y 1 binario, o 1 binario
y 0 binario. Mientras las entradas sean las mismas, la
puerta O-Exclusivo 332 no producirá salida.

25 El conductor de salida de 332 mostrado como
342 está conectado a una puerta O 344 de salida de error,
que está conectada a través del conductor 345 a través del
interruptor 348 que tiene un brazo de contacto 350 situa-
do durante un ciclo de recepción para suministrar una en-
trada a una puerta O 352 de reposición SOH. La puerta 352
30
27.1.68.



tiene también una entrada mostrada como 354 desde el regu
lador de tiempo 292 de ausencia de señal.

Una salida de 352 es suministrada a través del con-
ductor 356 y 357 a un elemento de retardo 359 y luego a
5 una puerta Y de error 367. Se prevé el retardo a fin de
permitir que 367 reciba una entrada por 363 desde un bi-
estable 365 de SOH. En el caso de una salida de error des-
de la O-Exclusivo 332, la puerta de reposición SOH 352 re-
pondrá 358 para dar un impulso de reposición desde el pa-
so de SOH.
10

Una salida de 367 está conectada por el con-
ductor 346 de nuevo con el excitador de movimiento 304 pa-
ra hacer que el explorador del sistema se mueva a otro
canal, funcionando de nuevo el circuito receptor para bus-
15 car un código apropiado. Una salida del paso SOH está tam-
bién conectada por medio de un conductor 371 para reponer
el contador de bitios 320.

La puerta 352 tiene una salida 356 conectada
al secuenciador de caracteres 358. El secuenciador de ca-
20 racteres es un registro de desplazamiento de siete bitios
que tiene siete pasos de bi-estable en él, cada uno de
los cuales está conectado en paralelo con el registro de
caracteres 342. El secuenciador, normalmente, está activa-
do con un bitio 1 en el primer paso, estando despejados
25 los otros pasos. El primer paso está reservado para el ca-
rácter SOH y el último paso lo está para el carácter STX.
Los pasos SOH y STX producen salidas para activar o esta-
blecer los pasos 1-8 de 322, con el modelo de bitios mos-
trado en la fig. 1. Los pasos números 1 a 5 están reserva-
30 dos para cinco caracteres alfanuméricos y están individual-
mente conectados en paralelo a enchufes de codificación
mostrados como 360. Estos enchufes de codificación contie



nen barras conductoras dispuestas selectivamente para excitar los pasos numerados del registro de caracteres 322 para activar tales pasos con un código binario. Una entrada al enchufe de codificación N hará entonces que los bitios $b_1 - b_7$ y C sean activados con un diseño binario correspondiente al diseño para N, mostrado en la fig. 1. Se considera que pueden preverse terminales acoplables en el circuito de modo que los enchufes de codificación puedan cambiarse para dar diferentes caracteres para diferentes estaciones de recepción.

El secuenciador de caracteres 358 es operado por la activación secuencial de los pasos SOH, 1 a 5 y STX por un bitio 1 hecho avanzar a lo largo del registro. A medida que el bitio 1 recorre los pasos, excita progresivamente los pasos asociados con los conductores 324, con inclusión de los conductores conectados a través de enchufes de codificación 360. Una salida procedente del paso STX está también conectada a un excitador 364 de relé de descodificación, que opera un relé de descodificación 369 para producir una salida indicando que el descodificador ha recibido un código de llamada apropiado.

Como será evidente ahora, el modo de control para detección de un código es a través de la puerta O-Exclusivo que compara el código entrante con un código generado localmente, no produciendo salida mientras la comparación esté presente y produciendo una salida de rechazo y de reactivación o error si hay falta en la comparación con cualquiera de los bitios del código. La regulación de tiempo para la mencionada comparación está sincronizada con los datos entrantes por medio del excitador mo

30
27.1.68.



monoestable 314. La lógica que permite esta operación y que permite que el circuito 250 rechace o acepte de manera segura las condiciones entrantes de marca/espacio será descrita ahora con más detalle.

5 En reposo, el relé de descodificación 369 está situado en la posición de no descodificación en respuesta a un impulso de capacitación suministrado desde el excitador 364 del relé de descodificación. El relé de descodificación 369 controla el brazo de interruptor 338 en
10 336, en la fig. 3A. El excitador 364 del relé de descodificación está también conectado para ser accionado a través del conductor 305 por el excitador de movimiento 304. Cuando el relé de descodificación 369 está en la posición de descodificación, suministra una señal desde el excitador 296 de salida de datos a la puerta O-Exclusivo 332 y
15 conecta la salida de error 344 a la puerta de reposición SOH 354. Si suponemos ahora que es recibido un mensaje de la composición de la fig. 1 a través de 252, el filtro de tono de espacio 260 operará para excitar la puerta de espacio 270. El tono preliminar de 200 milisegundos hará que
20 el excitador 314 del monoestable genere impulsos de desplazamiento de 0 y 1 que excitan al contador de bitios 320 y al registro de caracteres 322. El contador de bitios 320 genera un impulso de desplazamiento al registro de caracteres 322. El contador de bitios 320 genera un impulso de
25 desplazamiento al secuenciador de caracteres 322 después que el paso número 8 es excitado. Luego es encaminado un impulso por el conductor 370 al paso de reposición SOH de 358. Como el secuenciador de caracteres está en este momento en la posición SOH, habrá sido cargado el diseño de
30

27.1.68.



código SOH en el registro de caracteres 322. Según el tono preliminar de espacio de 200 milisegundos continúa, la puerta O-Exclusivo 332 compara continuamente la señal de espacio entrante con la que ha sido almacenada en el registro de caracteres 322. Por consiguiente, será generada una señal de error cada 22 milisegundos, ya que los caracteres SOH comienzan con un bitio de marca. La salida de error repone continuamente el contador de bitios 320, el registro de caracteres 322 y el secuenciador de caracteres 358, volviéndolos de nuevo a la posición SOH de modo que el circuito descodificador 250 está buscando constantemente un carácter SOH.

Después de terminado el tono preliminar, el primer carácter entrante debe ser un carácter SOH. Si el circuito 250 determina que ha sido recibido un carácter SOH (es decir, sin salida de error durante ocho bitios sucesivos y comparaciones), el contador de bitios producirá un impulso que desplaza el secuenciador de caracteres, haciéndole que comunique impulsos al registro de caracteres con el carácter relacionado con el paso número 1. De acuerdo con el enchufe de código mostrado, que es un enchufe N, el registro de caracteres sería cargado con un código binario de 1100111 en los pasos números 1 a 8. Este será comparado luego bitio a bitio en orden inverso en la O-Exclusivo con el código entrante. Si existe comparación, no habrá salida de error o reposición desde 344 y otro impulso de desplazamiento desde 320 excitará a 358 a la segunda posición o paso. Esto hará que el carácter K sea activado en el registro 322, seguido por otra comparación seriada hecha por 332.

30
27.1.68.



5 Cuando el séptimo carácter, en este caso el carácter STX, ha sido comparado, el relé descodificador 369 será excitado para dar una salida de descodificación a diversos excitadores de relé de canal que describiremos. Esto proporcionará una salida de señal para activar una alarma que notifica a la estación receptora que ha sido llamada y que el equipo descodificador del receptor ha descodificado satisfactoriamente el código de llamada.

10 Como ambas funciones, la de reposición o rechazo y satisfactoria son determinadas por los caracteres STX, el receptor puede hacerse funcionar fácilmente con códigos de menos caracteres que cinco conectado el paso STX de 358 al último paso usado.

15 La excitación del relé de descodificación 369 interrumpe también la línea entre el excitador 296 de la salida de datos y la puerta O-Exclusivo 332 y conecta el excitador de la salida de datos directamente al registro de caracteres por medio del conductor mostrado como 370. El relé de descodificación 369 interrumpe también la línea que va de la puerta 344 de salida de error a la puerta 352 de relé SOH. Al mismo tiempo, un contacto separado excita una salida de control del dispositivo para capacitar al excitador de salida de descodificador de post-acceso que hemos de describir. La salida de datos es suministrada ahora por 340 a la posición de carga de datos de post-acceso del registro de caracteres 322. Cuando el siguiente carácter de dato es cargado en 322 las salidas de cada una de las posiciones del registro alimentarán los excitadores de salida del descodificador de post-acceso que excitan una unidad de control del dispositivo, que

30
27.1.68.



describiremos.

5 Cuando no hay presentes señales ni entrando, la puerta 272 de ausencia de señal pondrá en funcionamiento el regulador de tiempos de ausencia de señal y en 25 milisegundos generará una señal de movimiento desplazando el explorador básico que describiremos. Análogamente, el regulador de tiempos de ausencia de señal 292 excitará el secuenciador de caracteres a un estado de reposición acti
10 vando el paso SOH que repondrá el contador de bitios 320 por medio del conductor 371 y el registro de caracteres 322 por medio del conductor 373.

Circuito de control del dispositivo.

15 Con referencia, de nuevo, a la fig. 3B, hay una conexión por medio del conductor 370 desde el paso número 8 de 320 a una puerta 372 que sirve como excitador es
20 troboscópico para el circuito 380 de control del dispositivo, mostrado en la fig. 4. El excitador estroboscópico produce impulsos de entrada a través de un conductor 374 a la unidad de control del dispositivo, cada vez que un bitio 1 recorre el paso número 8 de 320. El circuito 380 de control del dispositivo es una unidad opcional de adición para el sistema destinada a desarrollar una pluralidad de señales de control para controlar equipo auxiliar en una estación receptora en respuesta a códigos de caracteres. En la fig. 4, a la derecha, hay conductores que ex
25 citan una pluralidad de relés, 1-9 y 0, que pueden considerarse conectados a equipo auxiliar, no mostrado, para realizar funciones auxiliares. Cada relé es excitado por una señal de entrada procedente de una puerta Y distinta conectada a él. Las puertas Y son como se representa por

30
27.1.68.



el número 1 y la puerta Y 382. Cada puerta Y tiene ocho
entradas asociadas con las posiciones de bitios de caracte-
res referenciados aquí con $B_1 - B_7$ y C y una novena en-
trada procedente del conductor del excitador estroboscópi-
5 co, 374. La entrada del excitador estroboscópico alimenta
una puerta 384 de inversor para dar una señal \bar{S} a un con-
ductor 386 y una puerta 388 de inversor para dar una se-
ñal S a un conductor 390. La señal \bar{S} , así como las sali-
das \bar{B}_5 , \bar{B}_6 y \bar{B}_7 pueden usarse con relación al desarrollo
10 de otras señales de control de código alfanumérico. El in-
versor 388 produce una salida en 390 a todas las puertas
Y siempre que haya una entrada desde el excitador estro-
boscópico en el conductor 374.

Las restantes entradas de bitios a la unidad
15 380 de control del dispositivo están similarmente dispues-
tas con inversores para desarrollar un par de señales.
Por ejemplo, una entrada en B_1 produce una entrada B en
el conductor 392 y una entrada \bar{B} en el conductor 394 cuan-
do no hay entrada a B_1 . Los pares de conductores asocia-
20 dos con los inversores de bitios están conectados en la
matriz, como se muestra, para dar una operación lógica de
las diversas puertas Y 382 de acuerdo con el contenido de
bitios de la entrada a 380.

Circuito de post-acceso.

25 La fig. 5 muestra otra opción adicional en
forma de un circuito de descodificador 400 de post-acceso,
que puede usarse para desarrollar entradas al circuito de
control de la descodificación desde salidas del tipo de
RF generadas si se usan núcleos para los pasos del regis-
tro de caracteres. Un interruptor mostrado como 401 es
30
27.1.68.



operado por el relé 369 de descodificación en la fig. 3B. El interruptor 401 incluye un brazo de contacto 402, que puede ser llevado entre dos terminales, con inclusión de un terminal mostrado como 404, conectado a un conductor 5 406 que es común a una serie de puertas Y 403. Las puertas Y son excitadas individualmente por conductores desde cada una de las posiciones de bitios $b_1 - b_7$ y C tienen salidas denominadas similarmente $B_1 - B_7$ y C. Cuando el interruptor 401 es obligado a dar una entrada por medio 10 de 404 a las diversas puertas, tal como la 403, producirá señales de CC de acuerdo con el contenido de bitios almacenado en el registro de caracteres.

Un conductor auxiliar mostrado como 412 está previsto para fines de acuse de recibo espontáneo, que 15 describiremos luego.

Circuito de exploración.

Volviendo ahora a otro aspecto del invento que se refiere a la disposición de una exploración automática de cierto número de canales diferentes, se hace referencia a las figs. 6-10. En la fig. 6 se muestra un circuito 20 420 capaz de generar seis señales lógicas de control A-C y $\bar{A}-\bar{C}$, que pueden combinarse para efectuar una selección de cualesquiera de ocho canales que proporcionan ocho entradas en paralelo desde ocho receptores, no mostrados, 25 al codificador de receptor, 250. El circuito 420 está insertado entre las entradas de los canales y 250. El control para 420 es desarrollado desde el conductor 305 a partir de la puerta 304 de señales de movimiento, mostrada en la fig. 3A, y desde un generador de impulsos, mostrado como 30 426. Un interruptor 422 está conectado a un conductor de

30
27.1.68.



5 salida 424 desde 426 y a un terminal conectado al conductor 305. Cuando el interruptor está en la posición mostrada, son suministradas a un conductor 428 señales procedentes de la puerta de movimiento 304. Cuando el interruptor es deprimido, se genera un solo impulso de avance en el conductor 424 y se dirige al conductor 428. En una posición central, el interruptor 422 está incapacitado o desactivado. Por el uso del interruptor 422 el circuito 420 puede ser operado paso a paso, o hecho funcionar automáticamente.

10

Conectado al conductor 428 hay un contador binario normal de tres pasos compuesto por tres bi-estables. Son desarrolladas señales desde cada mitad de cada biestable sobre conductores, tales como 432, conectados a la mitad \bar{A} del primer biestable, mostrado como 430. Los biestables están acoplados en cruz como se indica por los conductores 433 y 435 para dar un cómputo binario que pone salidas binarias diferentes en los diversos conductores desde las mitades de los biestables. Cada uno de estos conductores está conectado a un excitador de inversor tal como 440, que tiene una salida para dar una señal lógica como se muestra por la fig. 6, por los símbolos $A-C$ y $\bar{A}-\bar{C}$. A medida que son proporcionados impulsos de entrada desde 422 desde el generador de impulsos manual 426 o desde la puerta de movimiento, el contador es movido por pasos para recorrer un ciclo a través de una configuración de salidas en los conductores señalados con $A-C$ y $\bar{A}-\bar{C}$.

15

20

25

Las salidas de 420 son conectadas a circuitos lógicos que operan para conectar selectivamente un receptor dado asociado con un canal dado a la barra de audio

30

27.1.63.



de entrada 252 del circuito descodificador 250 del receptor, mostrado en las figs. 3A y 3B. Esta lógica está dispuesta de una manera que permita añadir módulos para acomodar dos, cuatro, seis u ocho canales de receptor. Las figs. 7 y 8 muestran los módulos lógicos requeridos para acomodar los canales que normalmente serían llevados en una unidad que podría ser enchufada en el chasis del receptor del equipo para ser interconectada a 420 y sus salidas. La fig. 9 muestra un módulo lógico de adición para acomodar dos canales adicionales numerados 3 y 4. De acuerdo con el invento, habría dos módulos de adición más como el mostrado en la fig. 9 para acomodar canales adicionales 5 y 6, y 7 y 8.

Las entradas para excitar módulos lógicos para ocho canales serían suministradas desde las salidas referenciadas con A-C y $\bar{A}-\bar{C}$ en el circuito 420 con interconexiones hechas a los diversos canales de adición a través de las entradas x-z, a-c, d-f y g-i, como se muestra en la fig. 10. El programa en la fig. 10 identifica los números de canales a la izquierda, la capacidad de canales en la parte alta y, en forma coordinada, el programa de las interconexiones desde las salidas de conductores de 420 a las diversas entradas de los módulos de adición. En la parte inferior de la fig. 10, se muestra el número de exploraciones y los tiempos de permanencia por exploración para diferentes números de canales.

Con referencia ahora a la fig. 7, el receptor asociado con el canal número 1 proporciona una entrada a través de un conductor 450 a una puerta Y de audio 452, que tiene su salida conectada a la barra de audio 252, del

30
27.1.68.



circuito descodificador del receptor mostrado en las figs. 3A y 3B. Conectada también como entrada a 452 y necesaria para dar la conexión desde la entrada de audio del canal 1 a la barra de audio, hay una entrada lógica desarrollada en un conductor mostrado como 454 desde una puerta Y 456. Esta puerta Y tiene tres posibles entradas x, y y z, antes mencionadas. Las entradas x, y y z, están conectadas a las salidas de 420 en la fig. 6, de acuerdo con el programa mostrado en la fig. 10. La puerta 456 tiene otra salida, mostrada como 458, que conduce a un excitador de lámpara del canal 1 para indicar que el explorador está en el canal 1. Una tercera salida desde 456 es dada mediante un conductor identificado como 460, a una puerta mostrada como 462. Esta puerta tiene una entrada desde el relé de descodificación 369 por el conductor 361, mostrado también en el circuito de las figs. 3A y 3B. Es dada también una salida mostrada como 464 a la salida del excitador para un relé del canal número 1, que funciona para conectar otro equipo asociado con el uso del canal número 1. Unas entradas manuales de capacitación y de reposición mostradas como 463 y 466 están previstas para permitir el funcionamiento manual del equipo de exploración.

En la fig. 8 se muestra el circuito lógico para el canal número 2. La lógica del canal número 2 es sustancialmente idéntica a la del canal número 1 en el sentido de que incluye una puerta de audio 470 que tiene una salida conectada a la barra de audio 252 en paralelo con la conexión del canal número 1. La puerta de audio 470 es excitada por una entrada del receptor asociada con el canal número 2, mostrada como conductor 472 y por una entrada

30
27.1.68.



da mostrada como 474 procedente de una puerta del canal número 2 conectada a las tres entradas a, b y c. Estas entradas están también conectadas a las salidas del circuito 420 mostrado en la fig. 6, de acuerdo con la configuración de conexiones mostrada en la fig. 10. La salida de la puerta de canal 476 está también conectada por un conductor 478 a un alimentador 480 de lámpara para el canal número 2, que alimenta una lámpara 490. La entrada de la lámpara desde el canal número 1 en el conductor 458 está conectada a un alimentador de lámpara 492 para alimentar la lámpara 494 del canal número 1. Un conductor 478 está conectado a un excitador de relé 496, que tiene una salida por el conductor 498 conectado para excitar un relé del canal número 2 con los fines antes explicados con relación al relé 462 de la fig. 7. La puerta Y 496 es alimentada de modo semejante por una entrada en el conductor 361 desde el circuito 250.

La fig. 9 muestra el circuito lógico para los canales 3 y 4, que es similar al mostrado y discutido antes para los canales 1 y 2 pero mostrándose las entradas a las puertas de los canales como d, e y f, para el canal 3, y g, h e i para el canal 4. La lógica para los canales 5 y 6 y para los canales 7 y 8 sería idéntica a la mostrada en la fig. 9 con las entradas a las puertas de los canales referenciadas de modo similar con d, e y f, y g, h e i.

Con referencia, de nuevo, a la fig. 10, las interconexiones para conseguir dos, cuatro, seis u ocho exploraciones de canal son como se han mostrado. Si, por ejemplo, sólo se necesita explorar dos canales, las con-

27.1.68.



xiones serían desde el conductor referenciado A en 420 a los conductores referenciados x en la fig. 7, y desde el conductor referenciado \bar{A} en 420 al conductor referenciado a en la fig. 8.

5 Suponiendo ahora que el sistema incluye ocho receptores que proporcionan recepción en ocho canales, y que el interruptor 422, mostrado en la fig. 6, está en la posición indicada, el circuito explorador explorará automáticamente los ocho canales mientras reciba una entrada
10 de la puerta de movimiento 304. Si suponemos que no hay código entrante, este estado se producirá y el circuito explorador continuará moviéndose por pasos para explorar los ocho canales para buscar la presencia de una señal. Si el interruptor es movido a la posición central, fuera
15 de contacto con los conductores 305 y 426, el circuito explorador se detendrá donde se halle y se bloqueará en un canal dado. Si el interruptor 422 está en la posición de conexión 426 al conductor 428, el circuito explorador será hecho moverse paso a paso. Las lámparas asociadas con
20 el circuito explorador mostrarán al operador en qué canal se halla el circuito explorador en un momento dado.

De acuerdo con la realización que hemos indicado, el intervalo de tono preliminar de 200 milisegundos permitirá al circuito explorador recoger la señalización
25 que entre por cualquier canal durante una exploración completa en tiempo para bloquearse sobre el canal de señalización y permitir que el circuito receptor 250 descodifique un mensaje de dirección subsiguiente. Si el circuito explorador está establecido para explorar dos canales,
30 explorará cada canal cuatro veces durante el intervalo de

27.1.68.



tono preliminar y si está establecido para ocho canales, explorará cada canal una sola vez. Una variación en el número de exploraciones puede hacerse como se indica en la fig. 10, con relación a seis canales, siendo los canales de uso más frecuente favorecidos por la simple disposición de terminaciones adicionales a 420.

Si suponemos ahora que el circuito explorador está conectado para explorar los diferentes ocho canales y que entra una señal de mensaje a través de un receptor, tal como por el canal número 1, el circuito explorador se moverá por pasos hasta que se llegue al canal número 1. En este momento, la presencia de una señal incapacitará efectivamente al regulador de tiempos de ausencia de señal del circuito 250 de modo que no haya ya señal de movimiento procedente de 304 en el conductor 305. El circuito explorador, por tanto, se detendrá en el canal número 1. Si suponemos que el mensaje entrante es incorrecto en cuanto al código del receptor particular en el circuito 250, será generada en 346 una señal de salida de error, la cual excitará 304 y proporcionará una salida en 305 que hará que el circuito explorador comience de nuevo a explorar. Si suponemos que hay, en ese momento, un mensaje entrante por el canal número 3, el explorador se detendrá en el canal 3. Como hay un mensaje entrante, el regulador de tiempos de ausencia de señal será incapacitado y el circuito de 250 intentará descodificar el mensaje. Si suponemos que es un mensaje adecuado, el circuito 250 producirá una salida al excitador 364 del relé de descodificación, haciendo funcionar el relé de descodificación para señalar a la estación que está siendo llamada. La recep-

30
27.1.68.



ción de una salida de descodificación excitará una puerta como la 462 en la fig. 7 para bloquear el relé del canal número 1 y permitir que se siga una conversión en el canal número 1, si se desea. Puede hacerse que el circuito explorador reanude inmediatamente la exploración, una vez que ha sido bloqueado el relé del canal.

Unidad de cara intermedia del receptor y acuse de recibo espontáneo.

La fig. 11 muestra un circuito simple 500 que se incluye de preferencia con el equipo de receptor para servir como cara intermedia al sistema desde el equipo del usuario. Se incluye un oscilador 502 de tono de marca capaz de producir una salida de 2.375 Hz y un oscilador de tono de espacio 504 capaz de producir una salida de 1525 Hz. Las salidas de 502 y 504 son llevadas a contactos por medio de conductores 506 y 508 en un relé 510. El brazo de relé 512 está conectado a una salida mostrada como 514 que puede utilizarse para desarrollar señales en una forma compatible con el sistema del invento para la re-emisión y similares. La bobina de relé 516 está conectada a un terminal tal como 518, que puede ser alimentado por cualquier dispositivo adecuado para excitar selectivamente el contacto 512 para tocar los conductores 506 y 508 y producir una salida de tono marca/espacio en 514. De este modo, la unidad de receptor del sistema del invento puede hacerse compatible con casi cualquier clase de equipo capaz de generar señales binarias.

La fig. 12 muestra un circuito lógico 530 de acuse de recibo espontáneo, que puede preverse como característica opcional en combinación con el circuito descodi-

30
27.1.68.



5 ficador 250. Desde un conductor 532 conectado a la última
posición de bitio del registro de caracteres 322, se desa
rolla una salida que genera los diversos bitios $b_1 - b_7$
y C en forma seriada. Esta entrada es alimentada a través
10 de un primer inversor 534 y luego a un circuito en parale
lo que incluye un segundo inversor 536, y un conductor
538, a un par de osciladores mostrados como 540. El osci-
lador superior es para generar la salida de señal de marca
de 2375 Hz y el oscilador inferior es para generar la se-
ñal de tono de espacio de 1525 Hz. Las salidas de 540 es-
tán conectadas a una puerta de salida 542, conectada a
una salida 544, que conduce al equipo de transmisión en
una estación receptora. La puerta Y 542 es incapacitada
15 por un conductor 546 siempre que tal conductor esté conec
tado a masa por medio de un contacto de interruptor mos-
trado como 558.

20 El contacto de interruptor 558 es uno de va-
rios contactos de interruptor accionados desde una posi-
ción NC, normalmente cerrada, a una posición NO, normal-
mente abierta, por medio de un solenoide que incluye una
bobina mostrada como 550. La bobina de solenoide 550 es
parte de un relé de control del dispositivo excitado des-
de un excitador de relé de control del dispositivo por me
25 dio de un conductor 383 después de un ciclo de detección
satisfactorio en 250. Siempre que 550 sea operado, mueve
los contactos de debajo de la bobina en la fig. 12 fuera
de las posiciones mostradas, y lleva al contacto inferior
asociado con 570 y 578 fuera de la posición mostrada. En
esta posición, un conductor procedente del regulador de
30 tiempos de ausencia de señal mostrado como 552 es desconec

30
27.1.68.



tado de la puerta de reposición SOH y un conductor mostr
do como 554 de la puerta de espacio es desconectado del
regulador de tiempos de espacio. Un conductor procedente
del relé de descodificación mostrado como 556 es desconec
5 tado de la línea de descodificación. En el estado opuesto,
bajo el control de 550, los conductores 552, 554 y 556 es
tá en una posición normalmente abierta o no conectada y
el conductor 548 está conectado a masa, una puerta estro-
boscópica inhibirá al conductor 560, una puerta de marca
10 inhibirá al conductor 562 y a un conductor de relé de des
codificación. Esto inhibe el funcionamiento del mismo.

La excitación de 550 provoca una conexión de
los contactos normalmente abiertos mostrados conectados
juntos por un conductor 570 en la fig. 12, que bloquea a
15 550 al manantial de 12 V c.c. mostrado. El contacto supe-
rior asociado con 570 es controlado por una bobina mostra
da como 572, bajo la excitación de un excitador STX mos-
trado como 574, que es operado por un biestable de STX
mostrado como 576. El biestable STX es controlado por una
20 entrada ajustada desde el paso SOH en el secuenciador de
caracteres 358 y por una entrada desde el paso STX de 358.
El conductor del paso STX del secuenciador de caracteres
se muestra como 578 a través de los contactos de interrup
tor bajo el control de la bobina 550 del solenoide.

25 Cuando se desee acusar recibo de la llamada,
el circuito de 530 es operado por medio de los citados com
ponentes para conectar el conductor 532 a una salida del
registro de caracteres que es transformada en la salida de
tonos de marca y espacio por el conductor 544. Este ciclo
30 se repite hasta que todos los caracteres de la estación re

27.1.68.



ceptora hayan sido transmitidos y la señal STX repone 576 para interrumpir 570 y desexcitar 550, lo que lleva a todos los conductores a la posición NC.

5 La presente solicitud que corresponde a la presentada en los Estados Unidos de América, el 14 de Noviembre de 1966, bajo el número 593.966, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

N O T A

10 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

15 1ª.- Un sistema de señalización selectiva para transmitir información codificada desde un transmisor a una seleccionada de una pluralidad de estaciones receptoras, en el cual la información codificada tiene la forma de un carácter, o de una pluralidad de caracteres, compuesto por bitios binarios, que se caracteriza porque el transmisor incluye un miembro de entrada dispuesto para generar un carácter seleccionado en forma codificada en bitios binarios y para alimentar dicho carácter a una memoria de datos, medios de reloj o de base de tiempo dispuestos para dar salida seriada a caracteres desde la memoria, un circuito de recirculación conectado a la memoria y destinado

24 27.1.68.



a escribir de nuevo la información en la memoria a medida que es transmitida, y una memoria de caracteres conectada a la memoria de datos para registrar el número de caracteres de la memoria de datos y para asegurar la posición correcta de dichos caracteres al ser transmitidos por el transmisor.

5

2ª.- Un sistema según la reiv. 1ª, caracterizado porque las memorias incluyen una pluralidad de elementos biestables en equipo seriado, siendo capaces los elementos biestables de ser activados a uno u otro de los estados binarios 1 o 0 de acuerdo con la información codificada.

10

3ª.- Un sistema según las reivs. 1ª ó 2ª, caracterizado porque un miembro de maniobra está conectado con las memorias para iniciar la transmisión de información almacenada en la memoria de datos.

15

4ª.- Un sistema según la reiv. 3ª, caracterizado porque el miembro de maniobra acciona medios de retardo para provocar la generación de un carácter de tono preliminar por unos medios apropiados antes de transmitir la información.

20

5ª.- Un sistema según la reiv. 4ª, caracterizado porque el miembro de maniobra acciona miembros lógicos para dar una señal que inhibe el funcionamiento del miembro de entrada.

25

6ª.- Un sistema según la reiv. 5ª, caracterizado porque ciertos de los miembros lógicos operan unos medios indicadores para mostrar que está en curso una operación de emisión.

30

27.1.68.

7ª.- Un sistema según cualquiera de las reivs.



precedentes, caracterizado porque los medios de memoria están conectados a miembros de salida destinados a producir señales binarias de salida para transmisión por el transmisor cuando la memoria de datos recibe instrucciones para emitir salidas.

8a.- Un sistema según la reiv. 7a, caracterizado porque unos relés de transmisión son controlados por los miembros de salida para ser conmutados de acuerdo con la información codificada en binario transmitida.

9a.- Un sistema según cualquiera de las reivs. anteriores, caracterizado porque la memoria de caracteres incluye medios indicadores para señalar que un número pre determinado de caracteres están contenidos en la memoria.

10a.- Un sistema según cualquiera de las reivs. precedentes, caracterizado porque el reloj está conectado para hacer avanzar caracteres seriadamente a través de dicha memoria de datos, estando dispuesto el reloj para ser conectado por la entrada de un carácter desde el miembro de entrada y para ser desconectado por medios de puerta eléctrica después de que la entrada del carácter ha sido registrada en la memoria de caracteres.

11a.- Un sistema según cualquiera de las reivs. precedentes, caracterizado porque los pasos 1,2,3,4,5,6,7 de la memoria de caracteres tienen cada uno una salida separada conectada a pasos correspondientes 1,2,3,4,5,6,7 de una memoria de almacenaje.

12a.- Un sistema según la reiv. 11a, caracterizada porque unas puertas lógicas asociadas con las salidas de los pasos de la memoria de almacenaje están dispuestas para controlar el funcionamiento del reloj para hacer

30
27.1.68.



avanzar los caracteres en la memoria de datos a una posición apropiada para transmisión.

5 13^a. - Un sistema según cualquiera de las reivs. precedentes, caracterizado porque están previstos unos medios de distribución para despejar y reponer las memorias.

10 14^a. - Un sistema según cualquiera de las reivs. precedentes, caracterizado porque unos medios de paso discriminado están previstos para inhibir la salida de la memoria de datos al transmisor si el transmisor está ya funcionando.

15 15^a. - Un sistema según cualquiera de las reivs. precedentes, caracterizado porque un receptor incluye un registro de caracteres que tiene una pluralidad de posiciones de bitios igual en número al número de bitios en un sólo carácter transmitido y medios para comparar bitio a bitio los bitios de código de un carácter recibido con los bitios de código de un carácter de identificación suministrado desde un secuenciador de caracteres, estando dispuestos dichos medios para generar una señal para hacer que el secuenciador de caracteres sea repuesto al faltar la identidad de los bitios comparados.

20 16^a. - Un sistema según la reiv. 15^a, caracterizado porque unos medios están conectados a la salida del secuenciador de caracteres para producir una salida cuando ocurre identidad de un código comparado con el código del receptor.

25 17^a. - Un sistema según la reiv. 15^a, caracterizado porque los medios que generan la señal que provoca la reposición del secuenciador de caracteres incluyen una puerta lógica O-exclusivo conectada a una salida del re-

30
27.1.68.



gistro de caracteres y que tiene su salida conectada a una entrada de una puerta de reposición.

5 18ª.- Un sistema según cualquiera de las reivs. 15ª a 17ª, caracterizado porque el receptor incluye una pluralidad de reguladores de tiempo dispuestos para percibir la presencia continua de una señal codificada.

10 19ª.- Un sistema según cualquiera de las reivs. 15ª a 18ª, caracterizado porque el receptor incluye un regulador de tiempo operable en respuesta a la ausencia de señales codificadas para desarrollar una serie de impulsos de control para hacer funcionar un equipo explorador del receptor.

15 20ª.- Un sistema según cualquiera de las reivs. 15ª a 19ª, caracterizado porque unos medios de filtro en el receptor están dispuestos para dejar pasar respectivamente sólo señales que tengan la naturaleza de un 1 binario o un 0 binario transmitidos.

20 21ª.- Un sistema según cualquiera de las reivs. 15ª a 20ª, caracterizado porque el registro de caracteres tiene una entrada derivada de un contador binario.

25 22ª.- Un sistema según cualquiera de las reivs. 15ª a 21ª, caracterizado porque una serie de clavijas que llevan configuraciones características de interconexiones están conectadas entre el secuenciador de caracteres y el registro de caracteres, estando las configuraciones de acuerdo con la entrada codificada deseada al receptor para que éste responda a una señal transmitida.

30
27.1.68.



23^a.- Un sistema según cualquiera de las reivs. precedentes, caracterizado porque el transmisor está dispuesto para emitir, y el receptor para responder, una señal de llamada que incluye un carácter inicial, una pluralidad de caracteres de identificación y un carácter final.

24^a.- Un sistema según la reiv. 23^a, caracterizado porque el carácter inicial va precedido por una señal de tono preliminar.

25^a.- Un sistema según las reivs. 23 ó 24^a, caracterizado porque los bitios binarios son transmitidos en forma de dos valores de frecuencia diferentes, ninguno de los cuales es un armónico del otro, y porque cada valor de frecuencia ocupa una banda de ondas de frecuencia relativamente estrecha.

26^a.- Un sistema de señalización selectivo. Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de cuarenta y nueve hojas escritas a máquina por una sola cara.

Madrid, 1 FEB. 1968

P. A.

Alberto de Eizaburu
 Alberto de Eizaburu
 Ingeniero de Telecomunicaciones



FIG. 1.

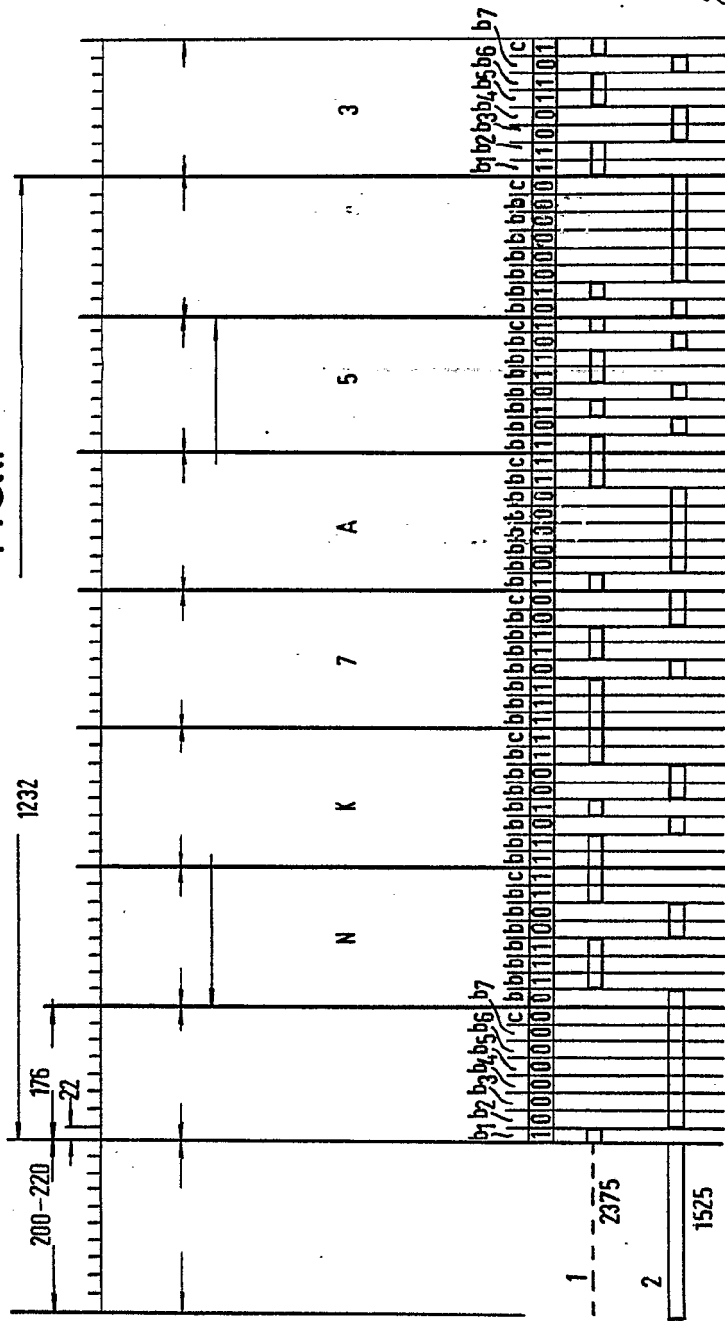


FIG. 8.

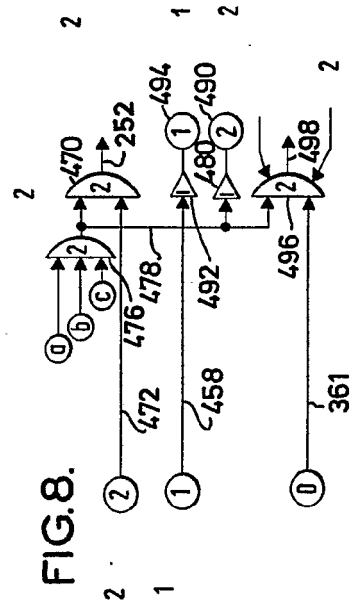
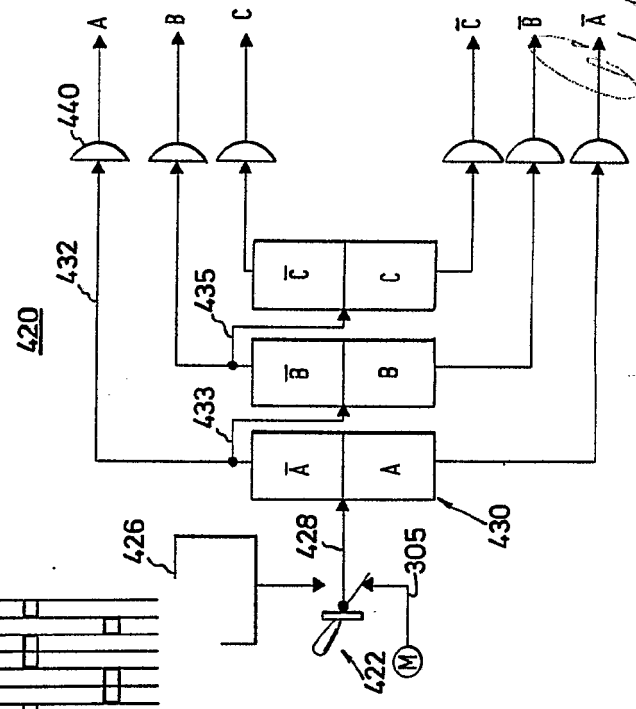


FIG. 6.



Handwritten signature or initials in the bottom right corner.

FIG. I.

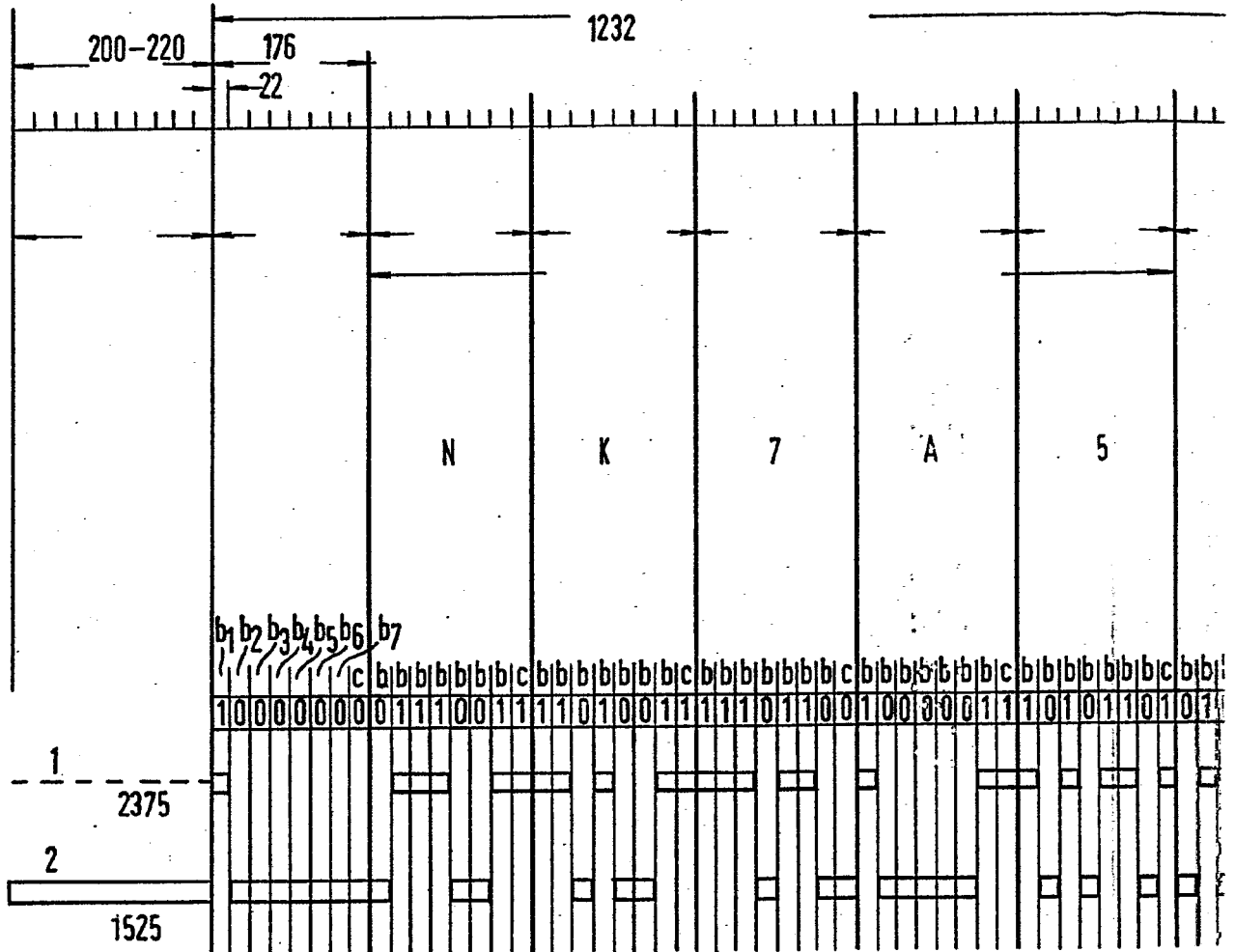


FIG. 8.

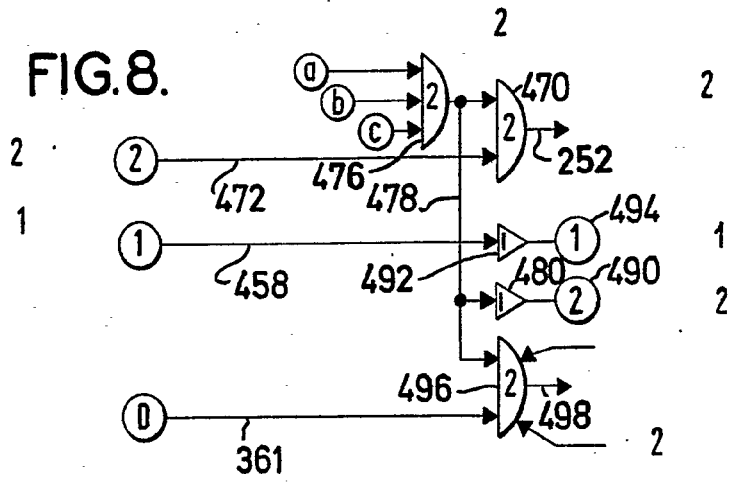


FIG. 6

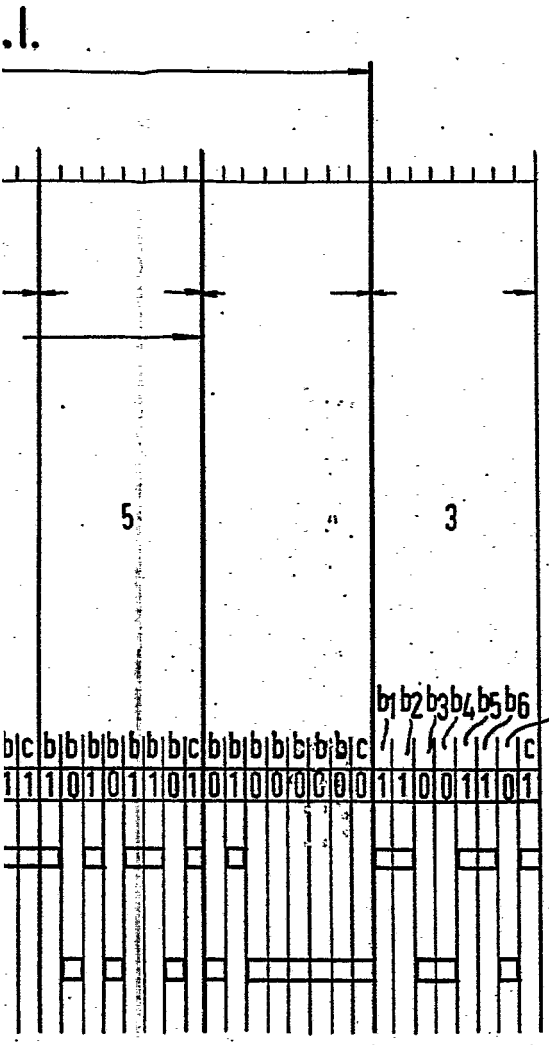
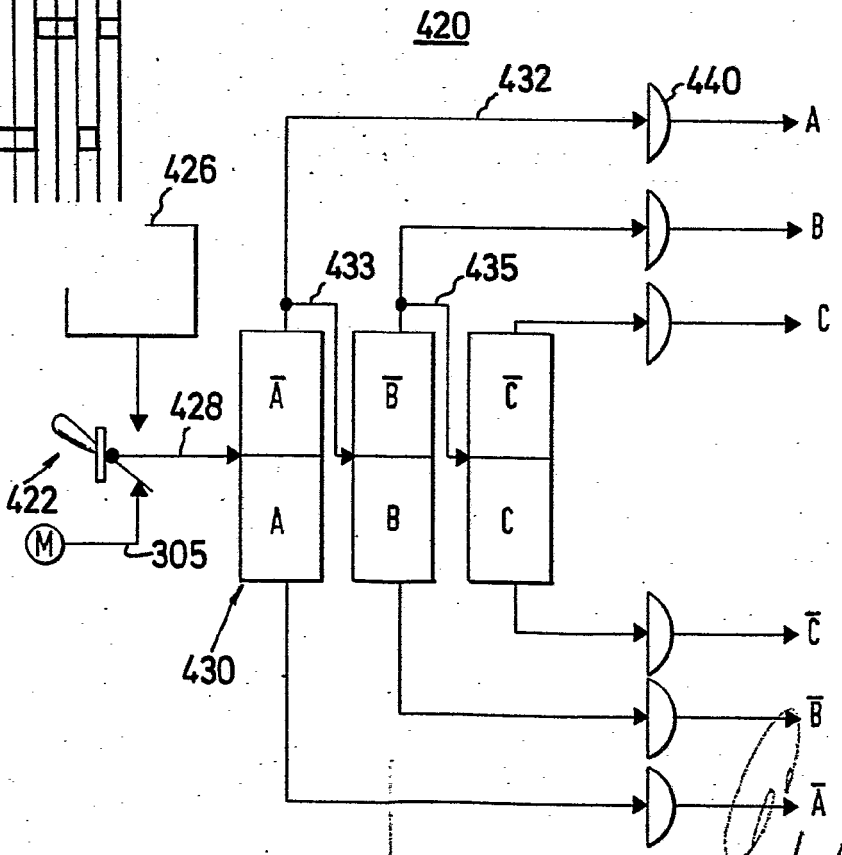


FIG. 6.



W. W. ...



FIG. 2A.

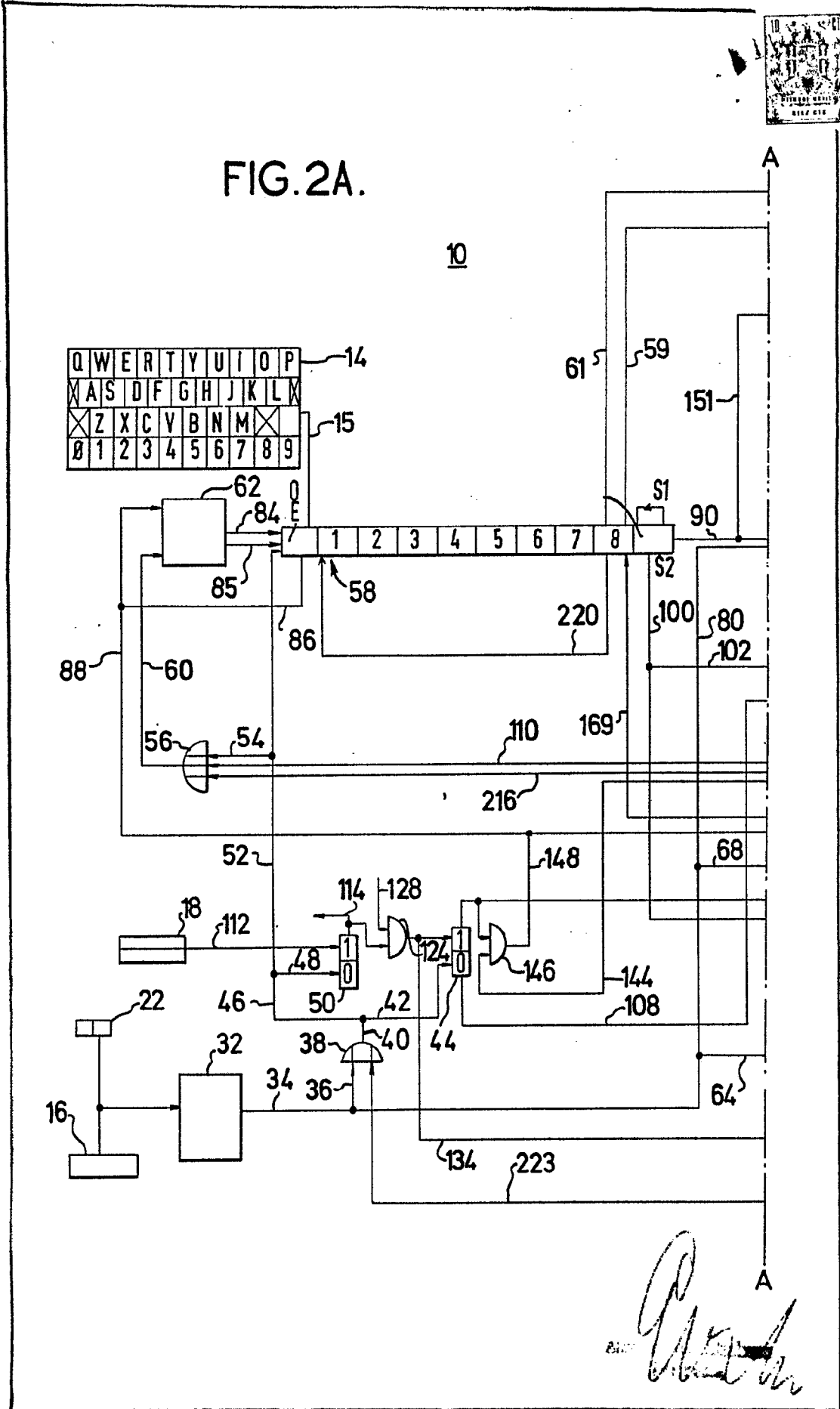
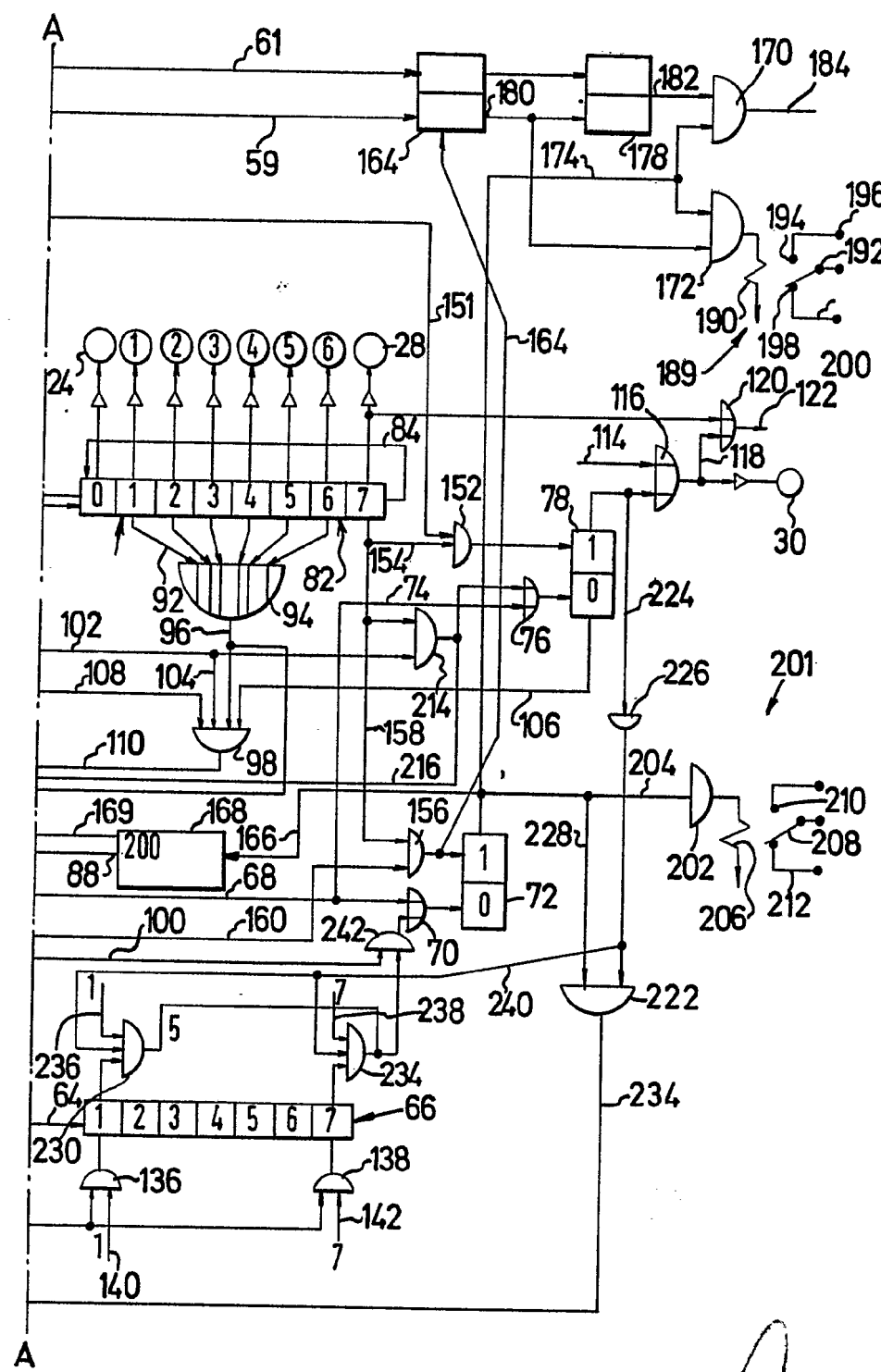




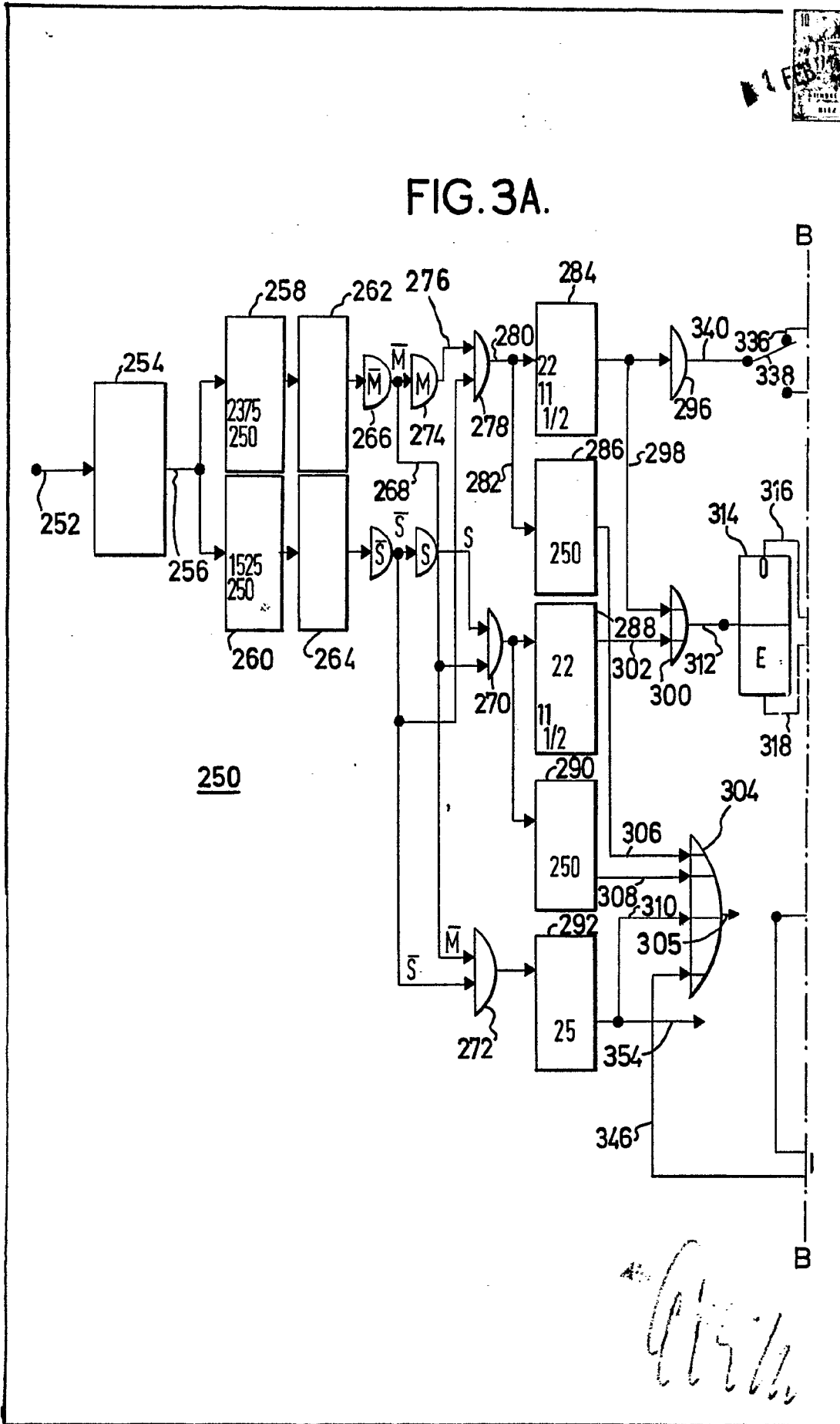
FIG. 2B.



[Handwritten signature]
 AMP INCORPORATED
 THE FUTURE



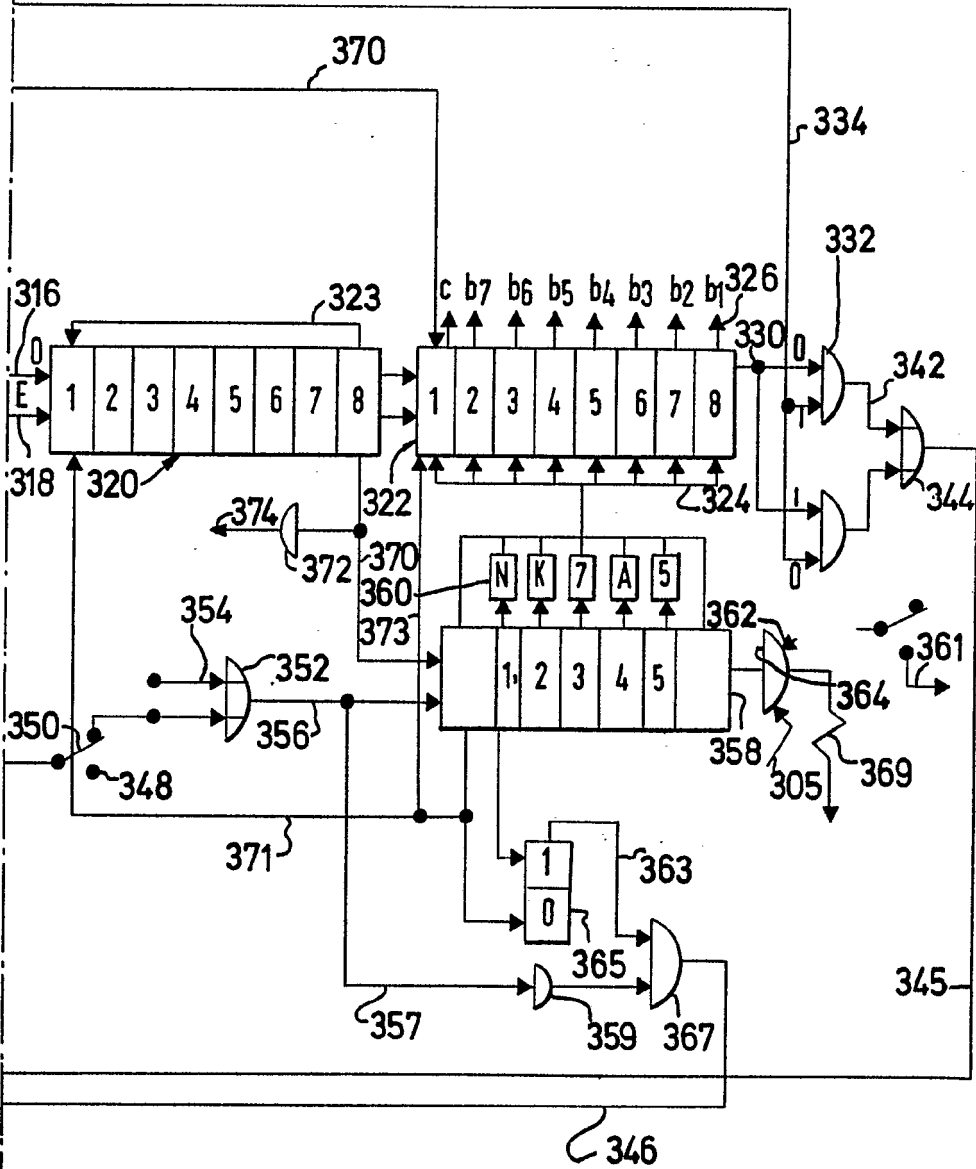
FIG. 3A.





B

FIG. 3B.



[Handwritten signature or initials]



FIG. 4.

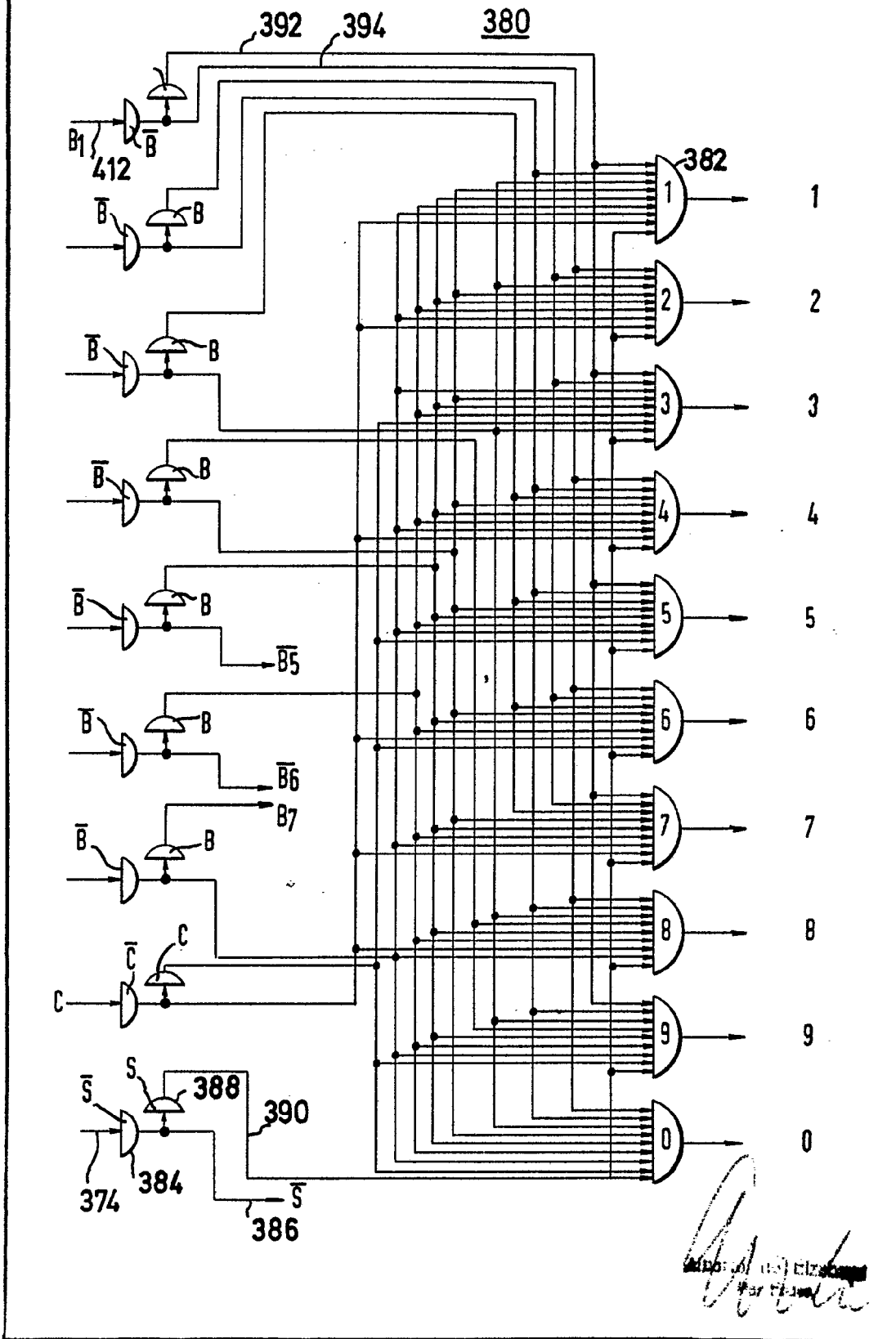




FIG.5.

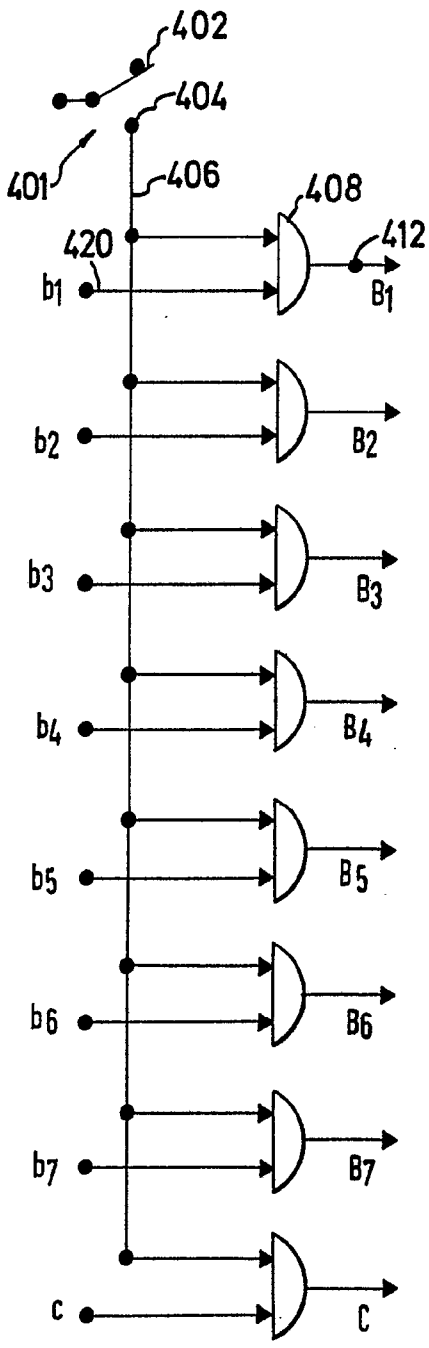
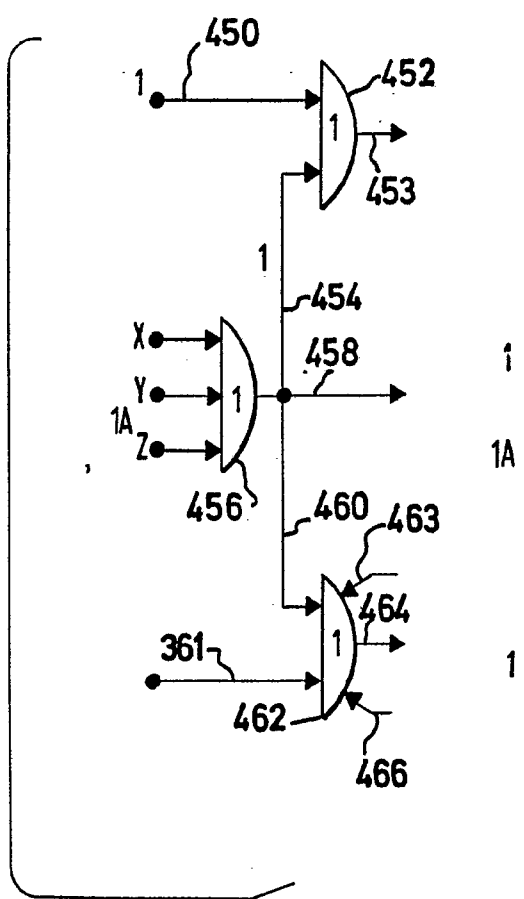


FIG.7.

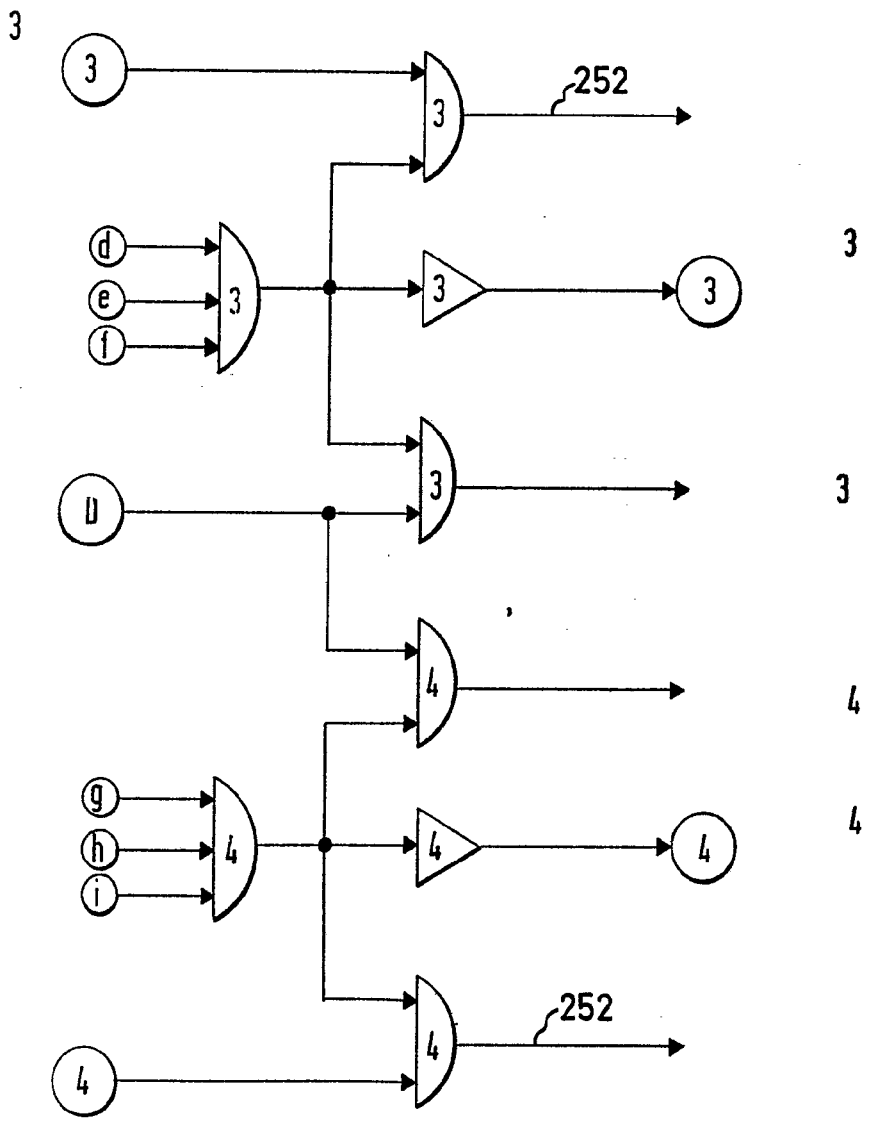


400

[Handwritten signature]



FIG. 9.



Handwritten signature
Att. to do file
10/1/67

347094



FIG. 10.

1	A-x		A-x B-y		A-x B-y				A-x B-y C-z										
2		A-a	A-a B-b		A-a B-b				A-d B-b C-c										
3				A-d B-e		A-d B-e C-f				A-d B-e C-f									
4				A-g B-h		A-g B-h C-i				A-g B-h C-i									
5							A-d B-e C-f				A-d B-e C-f								
6							A-g B-h C-i				A-g B-h C-i								
7																		A-d B-e C-f	
8																		A-g B-h C-i	
	4		2		2 1		1&2 3,4,5&6				1								
	100		50		50 25		1&2 3,4,5&6				25								

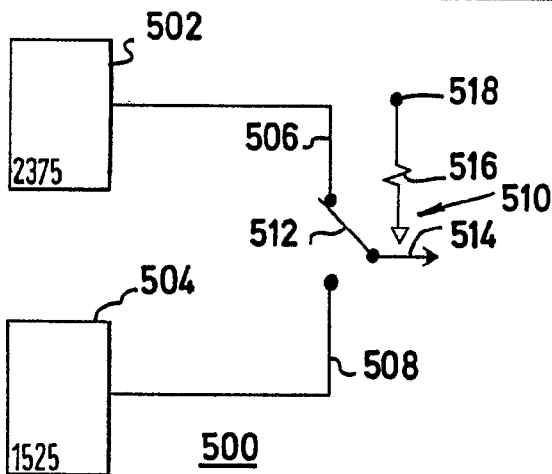
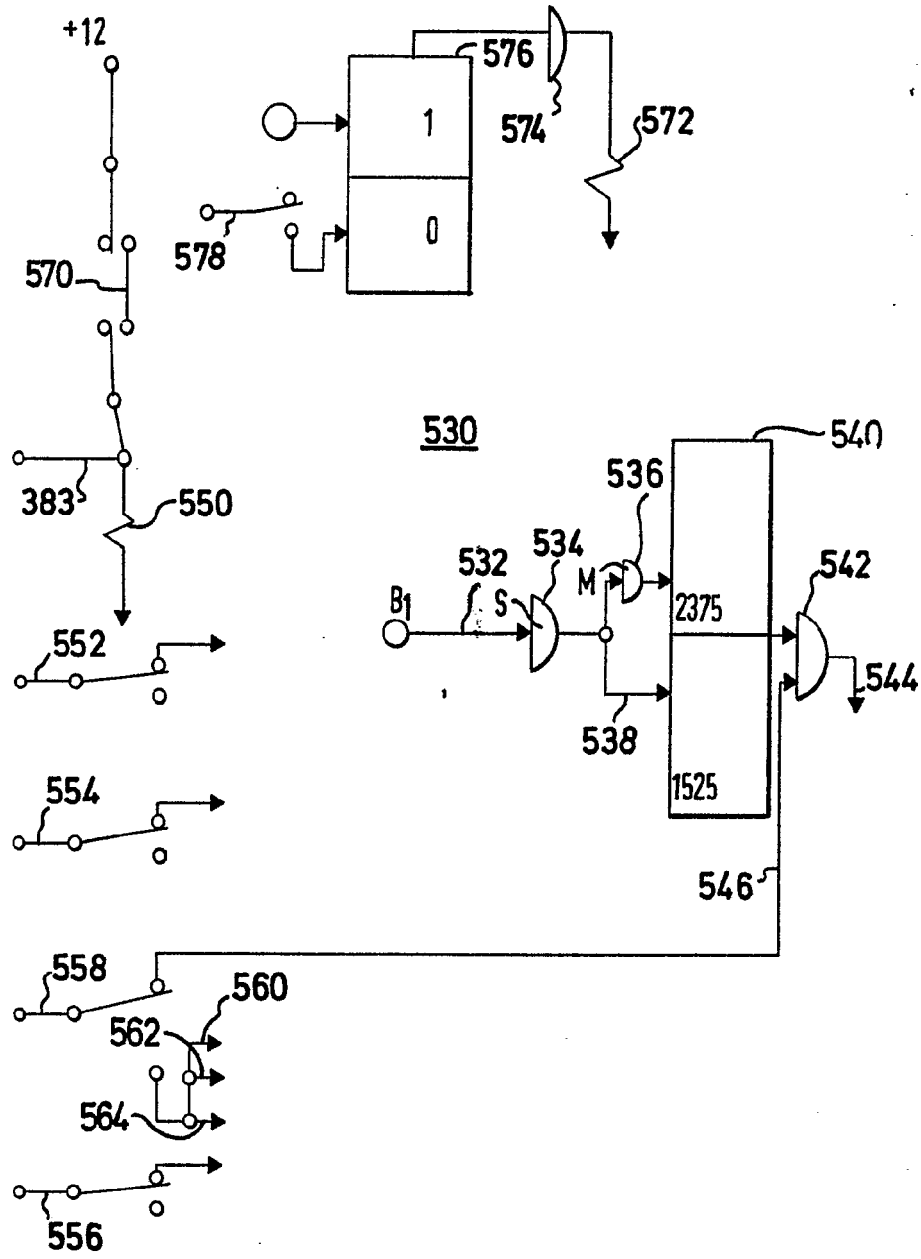


FIG. II.

[Handwritten signature]



FIG. 12.



Handwritten signature or initials in the bottom right corner.