

345367



M.E. GABRIEL - M.J. SEXTON 2-1

345367

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN  
ESPAÑA POR "DECODIFICADOR CON CARACTERISTICAS ASIMETRICA NO LINEAL"  
A NOMBRE DE STANDARD ELECTRICA, S.A. CON DOMICILIO EN MADRID  
CALLE DE RAMIREZ DE PRADO Nº. 5

-----

Este invento se refiere a decodificadores para señales digitales codificadas, como las que se usan, por ejemplo, en los sistemas de modulación de código de impulsos de división multiplex en el tiempo (PCM).

5                    Cuando se usa modulación de código de impulsos para la transmisión de señales de conversación, se sabe que se mejora la calidad de la transmisión cuando la característica de conversión de los codificadores y decodificadores se hace no lineal, es decir cuando la magnitud de los pasos de cuantificación se hace variable con  
10                    la amplitud de las señales.

                    Hay diversos tipos de codificadores de códigos de impulsos de señales analógicas, pero el código "binario simétrico" es particularmente adecuado para la codificación de señales bipolares, como las de conversación. En este código, el primer dígito indica la  
15                    polaridad de la señal y los restantes dígitos indican la magnitud absoluta, es decir la desviación de cero de la señal analógica.

BAD ORIGINAL

345367

2.



En el diseño de decodificadores para estas señales es importante que la característica general de decodificación sea simétrica, esto es que sea igual para las señales positivas y negativas que se envían.

Una característica de decodificación simétrica puede obtenerse con un convertidor simple digital a analógico (D/A) que tenga una característica asimétrica presentándole solamente los dígitos del código que describan la magnitud de la señal, de forma que las señales positivas y negativas se descodifiquen con la misma característica de transferencia y aparezcan como una serie de señales unipolares. Al mismo tiempo, se deriva una segunda serie de señales idénticas pero de polaridad opuesta. Probando las dos series de señales de acuerdo con el primer dígito de código se puede reconstruir la señal analógica bipolar original.

Los conmutadores requeridos para la reconstrucción de las señales analógicas deben funcionar a alta velocidad. En la práctica se usan, por lo tanto, conmutadores electrónicos para este fin. Los conmutadores electrónicos tienen el inconveniente de que tienen un potencial de C.C. que puede representarse como una batería conectada en serie con un conmutador ideal. Si no se toman medidas para neutralizar estos potenciales espúreos, se introducirá en las señales decodificadas un recorte central. La disposición que va a describirse permite que se consiga esto sin ajuste incluso en el caso de que haya unos potenciales continuos relativamente elevados en los conmutadores.

De acuerdo con el invento, se propone un decodificador que tiene una característica simétrica, no lineal, para señales codificadas que comprendo un circuito lógico al que se aplican dichas señales codificadas en forma serie, controlando dicho circuito lógi-



co un convertidor digital a analógico que tiene una característica  
asimétrica para producir señales analógicas unipolares, un primer con-  
mutador conectado a la salida de dicho convertidor, un segundo con-  
mutador conectado a la salida de dicho convertidor a través de un  
50 circuito inversor de amplitud, estando conectados los terminales de los  
dos conmutadores más alejados del convertidor, a un punto común,  
un circuito de carga de alta impedancia para señales decodificadas,  
un condensador conectado entre dicho punto común y un terminal del  
circuito de carga, y un tercer conmutador para conectar dicho termi-  
55 nal del circuito de carga al potencial de tierra.

A continuación se describirá el invento con relación a  
los dibujos en los que:

La figura 1 representa en forma de esquemático de blo-  
ques un decodificador de acuerdo con una realización del invento.

60 Las figuras 2A y 2B representan curvas características  
y,

La figura 3 es un diagrama de tiempos del circuito de la  
figura 1.

En la disposición general de un decodificador de acuer-  
65 do con la figura 1 la señal analógica codificada digitalmente de N  
dígitos se aplica al circuito lógico de control 1 en forma serie. El  
circuito lógico tiene N pasos, el primero de los cuales responde al  
primer dígito del código recibido e indica si la polaridad de la se-  
ñal analógica es positiva o negativa. Los pasos restantes del cir-  
70 cuito lógico convierten los restantes (N-1) dígitos del código reci-  
bido en forma paralela y actúan el convertidor D/A, 2, en cuyo ter-  
minal de salida 3 se produce una señal analógica unidireccional.

La característica de conversión del convertidor D/A se  
ha representado en la figura 2A e indica que las señales decodifica-  
75 das tienen todas la misma polaridad sin tener en consideración la po



345367

4.

laridad de la señal analógica original. La característica general de  
transferecia simétrica deseada se ha representado en la figura 2B  
y se obtiene por medio de un inversor de amplitud 4 y los conmutado-  
ros 5 y 6. La ganancia del inversor de amplitud 4 se hace igual a  
80 la unidad de forma que las señales en los terminales 7 y 8 son de  
igual amplitud pero de polaridad opuesta. Puede usarse cualquier ti-  
po adecuado de divisor de fase para este fin. Las cajas de puntos 5  
y 6 indican los circuitos equivalentes simplificados de conmutado-  
ros prácticos en los que los potenciales continuos están representa-  
85 dos por baterías conectadas en serie  $V_{o1}$  y  $V_{o2}$ . Los terminales 9 y  
10 de estos conmutadores se conectan juntos. Como se ha establecido  
antes, estos conmutadores están accionados por el primer paso del cir-  
cuito lógico de control y están dispuestos de forma que cuando uno  
de ellos se abre se cierra el otro y viceversa.

90           Está claro que un requerimiento esencial para el funcio-  
namiento libre de distorsión del decodificador es que cuando la ampli-  
tud de la señal analógica en el terminal 3 de D/A es cero, el poten-  
cial en el terminal 13 debe permanecer constante sin tener en cuen-  
ta cual de los conmutadores 5 ó 6 está cerrado. Si los potenciales  
95  $V_{o1}$  y  $V_{o2}$  no son iguales no puede conseguirse esta condición y habrá  
distorsión.

Para soslayar esta dificultad, el terminal 11 del conden-  
sador 12 está conectado a la unión de los terminales 9 y 10 de los  
conmutadores electrónicos, y el terminal 13 está conectado al termi-  
100 nal activo de entrada del amplificador de alta impedancia de entra-  
da que forma la impedancia de carga para la señal decodificada. Un  
tercer conmutador electrónico 15 está previsto el cual, cuando se  
cierra por medio de una señal de tiempo, conecta el terminal 13 a  
tierra. Aunque este conmutador, como los conmutadores 5 y 6 puede  
105 tener un potencial residual, éste no produce consecuencias y queda



en el camino común de transmisión.

El funcionamiento del circuito de compensación de este potencial residual se describirá a continuación con relación a la figura 3.

110 En el momento  $t_0$  anterior a la llegada de la señal digital al circuito lógico de control, la salida 2 del convertidor D/A se repone a cero, y la colocación de los conmutadores 5 y 6 es como se ha determinado según la polaridad de la última señal decodificada. Supongamos, por ejemplo que están como se ha indicado en la figura 1.

115 En el momento  $t_1$  llega el primer dígito de la señal codificada. Si indica que la señal que tiene que decodificarse es negativa, los conmutadores 5 y 6 permanecen en sus condiciones previas. Al mismo tiempo, una señal de tiempo cerrará el conmutador 15 y conecta el terminal 13 a tierra. Mientras se determina la polaridad de la señal entrante la salida del convertidor 2 es cero. El condensador 12 se cargará por lo tanto al voltaje  $V_{01}$  con la polaridad como se ha indicado en la figura 1.

125 En el tiempo  $t_2$  cuando los  $(N-1)$  dígitos restantes de la señal codificada han llegado y se han traducido en el convertidor 2 a los voltajes analógicos apropiados,  $V_{s1}$ , que aparecen en el terminal 3 del convertidor, se abre el conmutador 15. La señal que está ahora aplicada a la entrada del amplificador 14 es la suma algebraica de la señal  $-V_{s1}$  a la salida del inversor 4, el voltaje  $V_{01}$  y el voltaje  $-V_{01}$  del condensador 12. Resulta evidente que los dos últimos voltajes se anulan entre sí, de forma que  $-V_{s1}$  es la única señal que se aplica a la entrada del amplificador.

En el momento  $t_3$  se cierra el conmutador 15 y el convertidor vuelve a cero.

135 En el momento  $t_4$  llega el dígito de "polaridad" de la se-



345367

6.

ñal digital siguiente. Suponiendo que indica una señal positiva, se cerrará el conmutador 6 y el conmutador 5 se abrirá. Puesto que la señal analógica en el terminal 3 es cero nuevamente, el condensador 12 se cargará al potencial  $V_{O2}$ .

140 En el momento  $t_5$  se abre el conmutador 15 y aparece el voltaje analógico  $V_{S2}$  en el terminal 8 del conmutador 6, el voltaje que aparece en el terminal 13 es de nuevo la suma de los voltajes  $V_{S2}$ ,  $V_{O2}$  y  $-V_{O2}$ . Las dos últimas componentes se anulan con el resultado de que solo se aplica  $V_{S2}$  a la entrada del amplificador.

145 En el momento  $t_6$  se cierra el conmutador 15, se pone a cero el convertidor y queda listo para la llegada de la señal codificada siguiente y se repite el proceso de decodificación.

Es evidente que el condensador previsto 15 puede cargarse totalmente al potencial residual particular en los períodos ( $t_2-t_1$ ), ( $t_5-t_4$ ), etc. con lo que entonces habrá compensación completa de este voltaje.

155 Se sobrentiende que la descripción precedente de ejemplos específicos de este invento ha sido hecha a título de ejemplo solamente y no tiene que considerarse como una limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Inglaterra el 23 Sept. de 1966 señalada con el número 42493/66 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

160 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un decodificador con característica asimétrica no lineal, para señales codificadas, que comprende un circuito lógico

345367



7.

165 al que se aplican dichas señales codificadas en forma serie, controlando dicho circuito lógico un convertidor digital analógico que tiene una característica asimétrica para producir señales analógicas unipolares, un primer conmutador conectado a la salida de dicho convertidor, un segundo conmutador conectado a la salida de dicho convertidor, a través de un circuito inversor de amplitud, estando conectados los terminales de los dos conmutadores mas alejados del convertidor a un punto común, un circuito de carga de alta impedancia para señales decodificadas, un condensador conectado entre dicho punto común y un terminal del circuito de carga, y un tercer conmutador para  
170  
175 conectar dicho terminal del circuito de carga al potencial de tierra.

2.- Un decodificador como el del punto 1 en el que la señal codificada es una señal binaria simétrica.

3.- Un decodificador como el del punto 2 en el que la señal codificada tiene N dígitos, el circuito lógico tiene N pasos y el convertidor digital a analógico tiene (N-1) pasos.  
180

4.- Un decodificador como el del punto 3 en el que el primer dígito de la señal codificada indica la polaridad de la señal analógica y en el que el paso del circuito lógico de control que responde a dicho primer dígito actúa los conmutadores primero y segundo cerrando uno de ellos para señales de una polaridad y el otro para señales de la otra polaridad.  
185

5.- Un decodificador como el del punto 4 en el que el tercer conmutador está cerrado por un generador de impulsos de tiempo durante un intervalo de tiempo que sigue a la determinación de la polaridad de la señal codificada y que precede a la aparición de la señal analógica unipolar en la salida del convertidor, durante el cual intervalo se carga dicho condensador al voltaje residual del primer o del segundo conmutador.  
190

6.- Un decodificador como el del punto 5 en el que cuando se



345367

8.

195 aplican las señales analógicas unipolares al primer y al segundo conmutador, y cuando el tercer conmutador está abierto, se conecta el voltaje residual del conmutador que está cerrado en serie con el voltaje del condensador que tiene la misma magnitud y polaridad opuesta a la de dicho voltaje con lo que se cancela.

200 7.- Un decodificador como el del punto 6 en el que el circuito inversor de amplitud es un dispersador de fase.

8.- Un decodificador sustancialmente como se ha descrito con referencia a la figura 1 de los dibujos que se acompañan.

205 9.- Un decodificador con característica asimétrica no lineal.

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de ocho hojas, escritas por una sola cara.

210 Madrid, 22 SEP. 1967



EUGENIO BARROSO  
Secretario General

345367

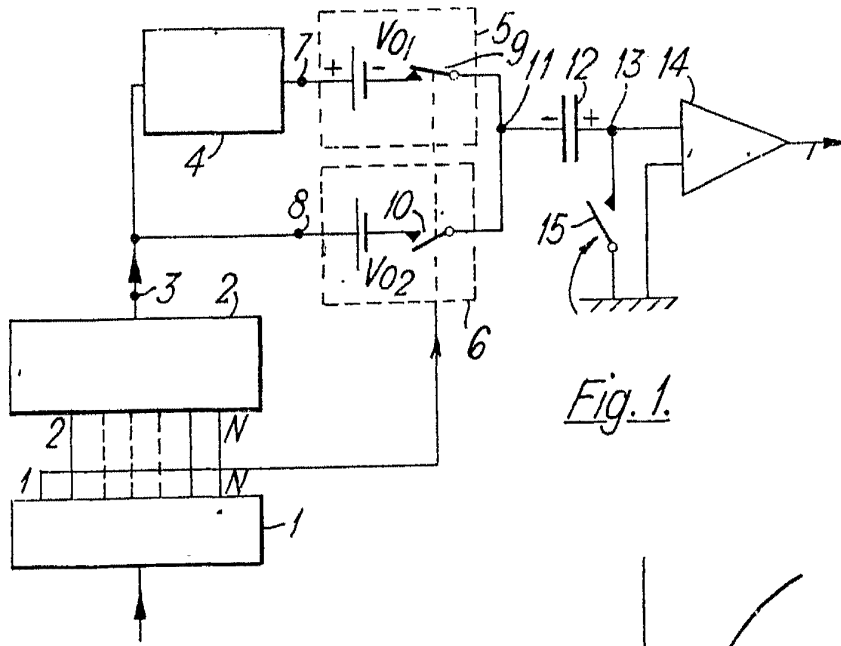


Fig. 1.

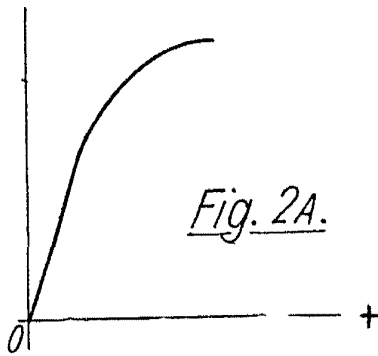


Fig. 2A.

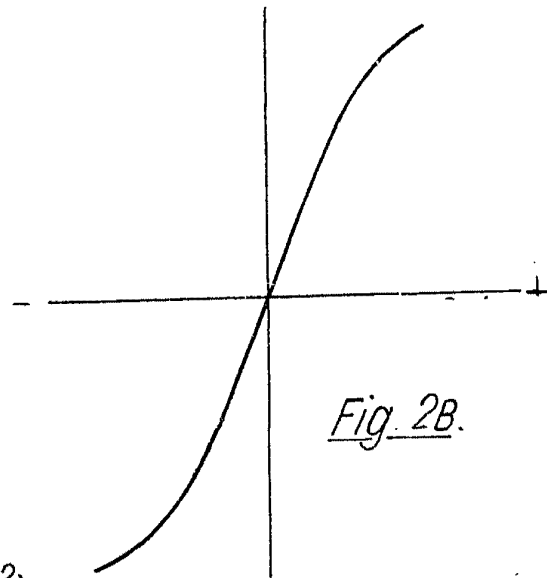


Fig. 2B.

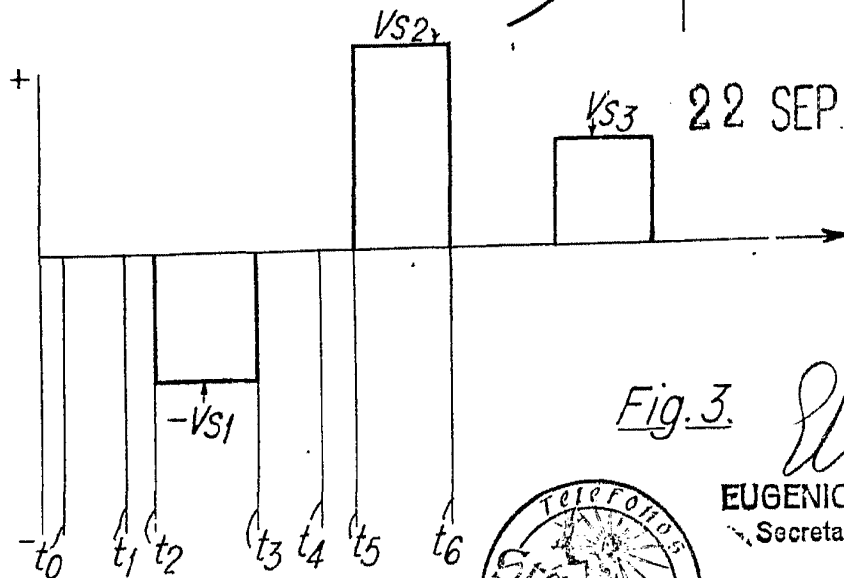


Fig. 3.

*Eugenio Barroso*  
**EUGENIO BARROSO**  
 Secretario General

